

Analog Dialogue

《模拟对话》合订本2015-2016



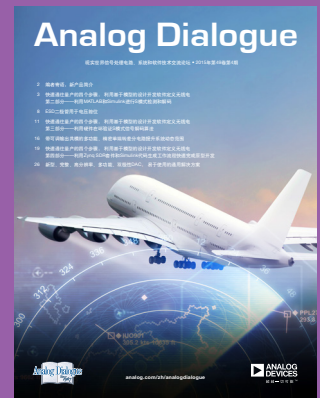
第49卷第1期



第49卷第2期



第49卷第3期



第49卷第4期



第50卷第1期



第50卷第2期



第50卷第3期



第50卷第4期

《模拟对话》(Analog Dialogue)是ADI公司的技术杂志。
主要讨论关于模拟、数字和混合信号处理的产品、应用、技术及技巧。
获取工学新动态，激发设计新思路！

目录

为逐次逼近型 ADC 设计可靠的数字接口.....	4
射频集成电路的电源管理.....	8
在 Xilinx FPGA 上快速实现 JESD204B.....	14
在仅有零点电阻和电容可调节的情况下设计 PLL 滤波器.....	18
基于 FPGA 的系统提高电机控制性能.....	24
IC 上电和关断.....	32
利用电容-数字转换器检测液位.....	36
射频采样 ADC 输入保护：这不是魔法.....	39
无烦恼，高增益：构建具有纳伏级灵敏度的低噪声仪表放大器.....	44
低功耗同步解调器设计考虑因素.....	47
MEMS IMU/陀螺仪对准基础.....	52
多功能：困境抑或现实？.....	58
交错 ADC 揭秘.....	61
零漂移放大器：现可轻松用于高精度电路中.....	66
分析、优化和消除带 VCO 的锁相环在高达 13.6 GHz 处的整数边界杂散.....	70
用于高温电子应用的低功耗数据采集解决方案.....	73
四个步骤快速投入生产：针对软件定义无线电使用基于模型的设计.....	79
能量采集功率转换的新进展.....	86
ESD 二极管用于电压箝位.....	89
快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电.....	92
快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电.....	97
带可调输出共模的多功能、精密单端转差分电路提升系统动态范围.....	102
新型、完整、高分辨率、多功能、双极性 DAC：易于使用的通用解决方案.....	105
快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电.....	110
集成多路复用输入 ADC 解决方案减轻功耗和高通道密度的挑战.....	117
ADI 公司数据转换器产品在线评估工具 <i>Virtual Eval</i> 使用指南.....	122

铁氧体磁珠揭秘.....	125
为 GPS 或 RF 采样 ADC 供电：开关与 LDO.....	131
有源滤波器相位响应.....	137
RTD 比率式温度测量的模拟前端设计考虑.....	141
用过压故障保护模拟开关代替分立保护器件.....	144
精密 ADC 用滤波器设计的实际挑战和考虑.....	149
采用 MEMS 陀螺仪的低噪声反馈控制设计.....	154
运算放大器输入过压保护：箝位与集成.....	158
电磁流量计：设计考虑和解决方案.....	161
数字下变频器的发展和更新——第一部分.....	172
最新 RF DAC 拓宽了软件无线电的应用视野.....	179
ADC 中的集成式容性 PGA：重新定义性能.....	183
GPS ADC 开拓多频段接收机的新疆域——第一部分.....	187
零中频的优势：PCB 尺寸减小 50%，成本降低三分之二.....	190
射频收发器为航空航天和防务应用提供突破性的 SWaP 解决方案.....	197
完整的采用非分散红外(NDIR)技术的气体传感器电路.....	200
运算放大器电源上电时序导致的风险分析.....	209
全自动自校准电导率测量系统.....	215
数字下变频器的发展和更新——第二部分.....	222
新一代 SAR ADC 解决精密数据采集信号链设计的难点.....	228
突破 PLC DCS 多通道模拟输入通道间隔离、高密度和 EMI 高辐射的设计障碍.....	234

为逐次逼近型 ADC 设计可靠的数字接口

作者: Steven Xie

共享    

简介

逐次逼近型模数转换器（因其逐次逼近型寄存器而称为 SAR ADC）广泛运用于要求最高 18 位分辨率和最高 5 MSPS 速率的应用中。其优势包括尺寸小、功耗低、无流水线延迟和易用。

主机处理器可以通过多种串行和并行接口（如 SPI、I²C 和 LVDS）访问或控制 ADC。本文将讨论打造可靠、完整数字接口的设计技术，包括数字电源电平和序列、启动期间的 I/O 状态、接口时序、信号质量以及数字活动导致的误差。

数字 I/O 电源电平和序列

多数 SAR ADC 都提供独立的数字 I/O 电源输入（ V_{IO} 或 V_{DRIVE} ），后者决定接口的工作电压和逻辑兼容性。此引脚应与主机接口（MCU、DSP 或 FPGA）电源具有相同的电压。数字输入一般应在 $DGND - 0.3\text{ V}$ 与 $V_{IO} + 0.3\text{ V}$ 之间，以避免违反绝对最大额定值。须在 V_{IO} 引脚与 $DGND$ 之间连接走线短的去耦电容。

采用多个电源的 ADC 可能拥有明确的上电序列。应用笔记 AN-932《电源时序控制》为这些 ADC 电源的设计提供了良好的参考。为了避免正向偏置 ESD 二极管，避免数字内核加电时处于未知状态，要在接口电路前打开 I/O 电源。模拟电源通常在 I/O 电源之前加电，但并非所有 ADC 均是如此。请参阅并遵循数据手册中的内容，确保序列正确。

启动期间的数字 I/O 状态

为了确保初始化正确无误，有些 SAR ADC 要求处于某些逻辑状态或序列，以实现复位、待机或关断等数字功能。在所有电源都稳定之后，应施加指定脉冲或组合，以确保 ADC 启动时的状态符合预期。例如，一个高脉冲在 RESET 上持续至少 50 ns，这是配置 AD7606 使其在上电后能正常运行所必须具备的条件。

在所有电源均完全建立之前，不得切换数字引脚。对于 SAR ADC，转换开始引脚 $CNVST$ 可能对噪声敏感。在图 1 所示示例中，当 AV_{CC} 、 DV_{CC} 和 V_{DRIVE} 仍在上升时，主机 cPLD 拉高 $CNVST$ 。这可能使 AD7367 进入未知状态，因此，在电源完全建立之前，主机应使 $CNVST$ 保持低电平。

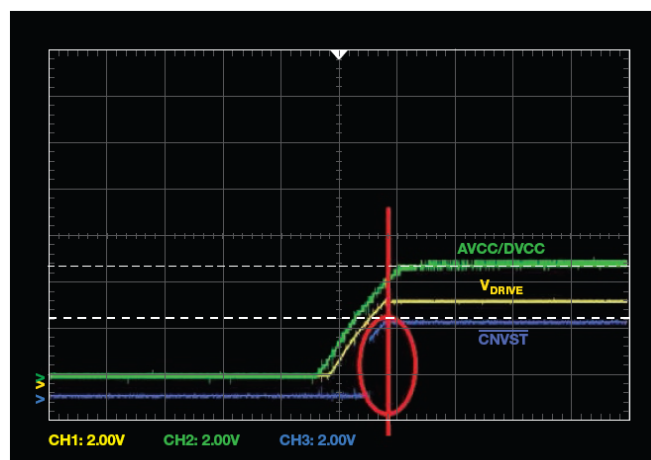


图 1. 在电源上升时拉高 $CNVST$ 可能导致未知状态。

数字接口时序

转换完成之后，主机可以通过串行或并行接口读取数据。为了正确读取数据，须遵循特定的时序策略，比如，SPI 总线需要采用哪种模式等。不得违反数字接口时序规范，尤其是 ADC 和主机的建立和保持时间。最大比特率取决于整个循环，而不仅仅是最小额定时钟周期。图 2 和下列等式展示了如何计算建立和保持时间裕量。主机把时钟发送至 ADC 并读取 ADC 输出的数据。

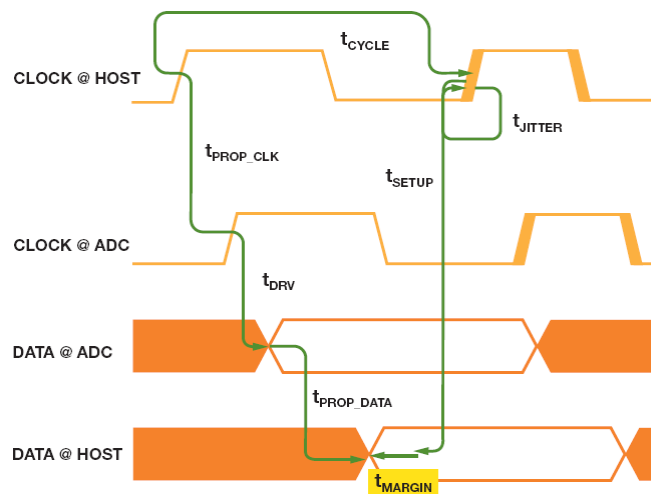


图 2. 建立和保持时序裕量。

$$t_{CYCLE} = t_{JITTER} + t_{SETUP} + t_{PROP_DATA} + t_{PROP_CLK} + t_{DRV} + t_{MARGIN}$$

$$t_{CYCLE}: \text{时钟周期} = 1/f_{CLOCK}$$

t_{JITTER} : 时钟抖动

t_{SETUP} : 主机建立时间

t_{HOLD} : 主机保持时间

t_{PROP_DATA} : 从 ADC 到主机的传输线路的数据传播延迟

t_{PROP_CLK} : 从主机到 ADC 的传输线路的数据传播延迟

t_{DRV} : 时钟上升/下降沿后的数据输出有效时间

t_{MARGIN} : 裕量时间大于等于 0 表示达到建立时间或保持时间要求, 小于 0 表示未达到建立时间或保持时间要求。

主机建立时间裕量

$$t_{MARGIN_SETUP} = t_{CYCLE, MIN} - t_{JITTER} - t_{SETUP} - t_{PROP_DATA} - t_{PROP_CLK} - t_{DRV, MAX}$$

建立时间等式以最大系统延迟项定义最小时钟周期时间或最大频率。要达到时序规格, 必须大于等于 0。提高周期(降低时钟频率)以解决系统延迟过大问题。对于缓冲器、电平转换器、隔离器或总线上的其他额外元件, 把额外延迟加入 t_{PROP_CLK} 和 t_{PROP_DATA} 。

类似地, 主机的保持时间裕量为

$$t_{MARGIN_HOLD} = t_{PROP_DATA} + t_{PROP_CLK} + t_{DRV} - t_{JITTER} - t_{HOLD}$$

保持时间等式规定了最小系统延迟要求, 以避免因违反保持时间要求而出现逻辑错误。要达到时序规格, 必须大于等于 0。

ADI公司带SPI接口的许多SAR ADC都是从 \overline{CS} 或CNV的下降沿为MSB提供时钟信号, 剩余的数据位则跟随SCLK的下降沿, 如图3所示。在读取MSB数据时, 要使用等式中的 t_{EN} 而非 t_{DRV} 。

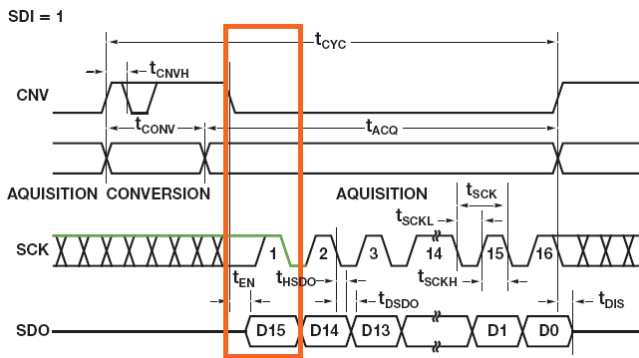


图3. AD7980 3线 \overline{CS} 模式下的SPI时序。

因此, 除了最大时钟速率以外, 数字接口的最大工作速率也取决于建立时间、保持时间、数据输出有效时间、传播延迟和时钟抖动。

在图4中, DSP主机访问AD7980处于3线 \overline{CS} 模式下, 其中, $V_{IO} = 3.3V$ 。DSP锁存SCLK下降沿上的SDO信号。DSP的额定最小建立时间为5ns, 最小保持时间为2ns。对于典型的FR-4PCB板, 传播延迟约为180ps/in。缓冲器的传播延迟为5ns。CNV、SCLK和SDO的总传播延迟为

$$t_{PROP} = 180 \text{ ps/in} \times (9 \text{ in} + 3 \text{ in}) + 5 \text{ ns} = 7 \text{ ns}.$$

$t_{JITTER} = 1 \text{ ns}$ 。主机SCLK的工作频率为30MHz, 因此, $t_{CYCLE} = 33 \text{ ns}$ 。

$$t_{SETUP_MARGIN} = 33 \text{ ns} - 1 \text{ ns} - 5 \text{ ns} - 7 \text{ ns} - 11 \text{ ns} - 7 \text{ ns} = 2 \text{ ns}$$

$$t_{HOLD_MARGIN} = 11 \text{ ns} + 7 \text{ ns} + 7 \text{ ns} - 1 \text{ ns} - 2 \text{ ns} = 22 \text{ ns}$$

建立时间和保持时间裕量均为正, 因此, SPI SCLK可以在30MHz下工作。

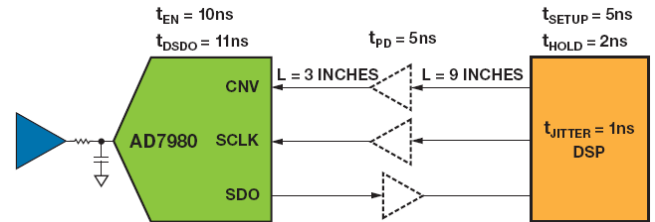
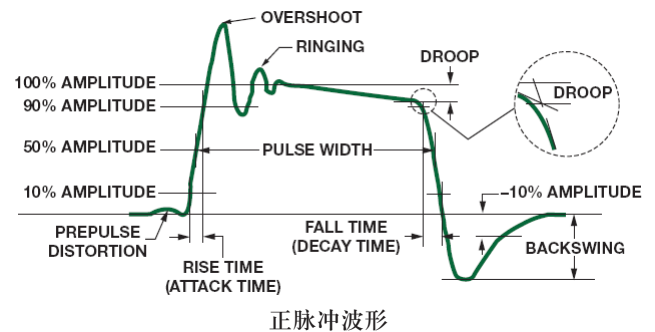


图4. DSP和AD7980之间的数字接口。

数字信号质量

数字信号完整性(包括时序和信号质量)确保: 在额定电压下接收信号; 不相互干扰; 不损坏其他器件; 不污染电磁频谱。信号质量由多个项定义, 如图5所示。本部分将介绍过冲、振铃、反射和串扰。



正脉冲波形

图5. 常用信号质量规格。

反射是阻抗不匹配导致的结果。当信号沿着走线传播时, 每个接口处的瞬时阻抗都不相同。部分信号会反射回去, 部分信号会继续沿着线路传播。反射可能在接收器端产生过冲、欠冲、振铃和非单调性时钟边沿。

过冲和欠冲可能损坏输入保护电路, 或者缩短IC的使用寿命。图6所示为AD7606的绝对最大额定值。数字输入电压应在-0.3V和 $V_{DRIVE} + 0.3V$ 之间。另外, 如果振铃高于最大 V_{IL} 或小于最小 V_{IH} 可能导致逻辑误差。

绝对最大额定值
除非另有说明, $T_A = 25^\circ\text{C}$ 。

参数	额定值
AV _{CC} 至AGND	-0.3V至+7V
V _{DRIVE} 至AGND	-0.3V至AV _{CC} +0.3V
模拟输入电压至AGND	±16.5V
数字输入电压至DGND	-0.3V至V _{DRIVE} +0.3V
数字输出电压至GND	-0.3V至V _{DRIVE} +0.3V
REFIN至AGND	-0.3V至AV _{CC} +0.3V
输入电流至任何引脚(电源引脚除外)	±10mA

图6. AD7606的绝对最大额定值。

为了减少反射：

- 尽量缩短走线的长度
- 控制走线的特性阻抗
- 消除分支
- 使用适当的端接方案
- 用环路面积小的固体金属作为返回电流参考平面
- 使用较低的驱动电流和压摆率

针对走线特性阻抗的计算，目前有许多软件工具或网站，比如 Polar Instruments Si9000 PCB 传输线路场求解器。借助这些工具，特性阻抗计算起来非常简单，只需选择传输线路型号并设置相应的参数即可，比如电介质类型和厚度以及走线宽度、厚度和隔离。

作为一种新兴标准，IBIS 用于描述 IC 数字 I/O 的模拟行为。ADI 提供针对 SAR ADC 的 IBIS 模型。预布局仿真可检测时钟分布、芯片封装类型、电路板堆叠、网络拓扑结构和端接策略。也可检测串行接口时序限制以便为定位和布局提供指导。后仿真可验证设计是否符合所有指导方针和限制的要求，同时检测是否存在反射、振铃、串扰等违反要求的情况。

在图 7 中，一个驱动器通过一条 12 英寸的微带线路连接 SCLK1，另一个驱动器通过一个与微带串联的 43 Ω 电阻连接 SCLK2。

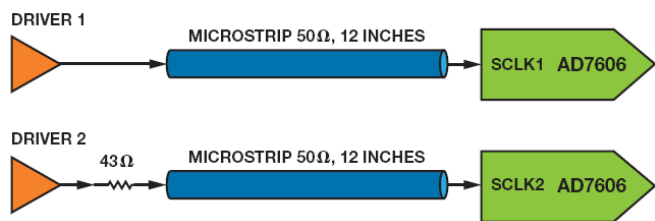


图 7. 驱动 AD7606 SCLK。

在图 8 中，SCLK1 上的大过冲违反了 -0.3 V 至 +3.6 V 的绝对最大额定值。串联电阻可减小 SCLK2 上的压摆率，使信号处于额定值之内。

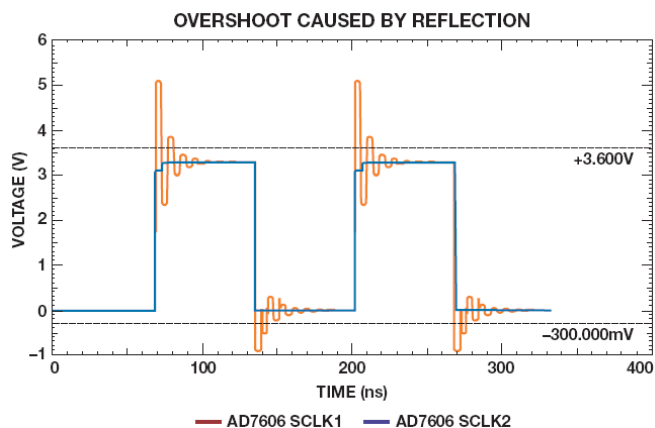


图 8. AD7606 IBIS 过冲模型仿真。

串扰是能量通过互电容（电场）或互感（磁场）在并行传输线路间耦合的情况。串扰量取决于信号的上升时间、并行线路的长度以及它们之间的间距。

控制串扰的一些常用方法为：

- 增加线路间距
- 减小并行布线
- 使走线靠近参考金属平面
- 使用适当的端接方案
- 减小信号压摆率

数字活动导致的性能下降

数字活动可能导致 SAR ADC 性能下降，使 SNR 因数字地或电源噪声、采样时钟抖动和数字信号干扰而减小。

孔径或采样时钟抖动设定 SNR 限值，尤其是对高频输入信号。系统抖动有两个来源：来自片内采样保持电路的孔径抖动（内部抖动），以及采样时钟上的抖动（外部抖动）。孔径抖动为转换间的采样时间变化，为 ADC 的函数。采样时钟抖动通常为误差源，但两个源都会导致模拟输入采样时间变化，如图 9 所示。它们的影响难以区分。

总抖动会产生误差电压，ADC 总 SNR 的限制因素为

$$\text{SNR} = 20 \log_{10} \left[\frac{1}{2 \pi f t_j} \right]$$

$$\text{总抖动} = t_j (\text{rms}),$$

$$\text{总抖动} = \sqrt{(\text{ADC 孔径抖动})^2 + (\text{采样时钟抖动})^2}$$

其中， f 为模拟输入频率， t_j 为总时钟抖动。

例如，当模拟输入为 10 kHz，总抖动为 1 ns 时，SNR 限值为 84 dB。

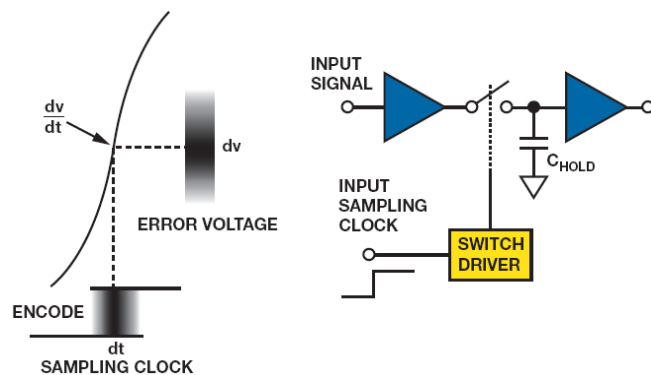


图 9. 采样时钟抖动导致的误差电压。

数字输出开关导致的电源噪声应与敏感的模拟电源相隔离。分别去耦模拟和数字电源，密切注意地回路路径。

高精度 SAR ADC 可能对数字接口上的活动很敏感,即使电源适当去耦和隔离时。突发时钟往往优于连续时钟。数据手册通常会列出接口不应活动的安静时间。在较高吞吐速率条件下,可能难以减少这些时间内的数字活动,通常为采样时刻及出现关键位判断点时。

结论

密切注意数字活动,确保 SAR ADC 转换有效。数字活动导致的误差可能使 SAR ADC 进入未知状态,导致故障,或者降低性能。希望本文能帮助设计师排查根本原因,同时还能提供解决方案。

参考文献

Kester, Walt. “数据转换器支持电路,” 《数据转换手册》, 第 7 章, ADI 公司, 2004 年。

Brad Brannon, AN-756 应用笔记. [采样系统以及时钟相位噪声和抖动的影](#)响, ADI 公司, 2004 年。

Ritchey, Lee W. 《[一举成功: 高速 PCB 和系统实用设计手册](#)》, 第 1 卷, Speeding Edge, 2003 年。

Usach, Miguel. AN-1248 应用笔记. [SPI 接口](#), ADI 公司, 2013 年。

Casamayor, Mercedes. AN-715 应用笔记: [走近 IBIS 模型: 什么是 IBIS 模型? 它们是如何生成的?](#) ADI 公司, 2004 年。

Steven Xie [steven.xie@analog.com]于 2011 年加入 ADI 北京分公司,是中国设计中心的一名 ADC 应用工程师。他负责中国市场 SAR ADC 产品的技术支持工作。在此之前,他曾在 Ericsson CDMA 团队做过四年的硬件设计人员。2007 年,Steven 毕业于北京航空航天大学,并获得通信与信息系统硕士学位。



Steven Xie

该作者的其他文章:

[逐次逼近型 ADC: 确保首次转换有效](#)
第 47 卷, 第 4 期

射频集成电路的电源管理

作者: Qui Luu

共享    

随着射频集成电路(RFIC)中集成的元件不断增多,噪声耦合源也日益增多,使电源管理变得越来越重要。本文将描述电源噪声可能对 RFIC 性能造成的影响。虽然本文的例子是集成锁相环(PLL)和电压控制振荡器(VCO)的 ADRF6820 正交解调器,但所得结果也适用于其他高性能 RFIC。

电源噪声会在解调器中形成混频积,因而可能导致线性度下降,并对 PLL/VCO 中的相位噪声性能造成不利影响。本文将详细描述电源评估方案,同时提供采用低压差调节器(LDO)和开关调节器的推荐电源设计。

凭借双电源和超高 RF 集成度,ADRF6820 是适合讨论的一款理想器件。它使用的有源混频内核与 ADL5380 正交解调器相似,PLL/VCO 内核与 ADRF6720 相同,因此,本文所提供信息也可用于这些器件。另外,电源设计也可用于要求 3.3 V 或 5.0 V 电源、功耗相似的新型设计。

ADRF6820 正交解调器和频率合成器(如图 1 所示)非常适合新一代通信系统。该器件功能丰富,包括一个高线性度宽带 I/Q 解调器、一个集成小数 N 分频 PLL 和一个低相位噪声多核 VCO。另外集成一个 2:1 RF 开关、一个可调谐 RF 巴伦、一个可编程 RF 衰减器和两个 LDO。这款高度集成的 RFIC 采用 6 mm × 6 mm LFCSP 封装。

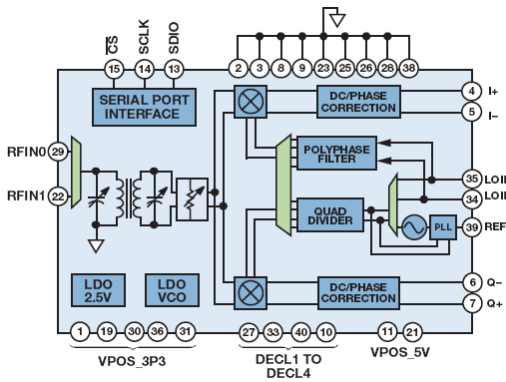


图 1. ADRF6820 简化功能框图

电源灵敏度

受电源噪声影响最大的模块为混频器内核和频率合成器。耦合至混频器内核的噪声会形成无用信号,结果会导致线性度和动态范围下降。这对正交解调器尤其重要,因为低频混频积在目标频带之内。类似地,电源噪声可能导致 PLL/VCO 相位噪声性能下降。无用混频产物和相位噪声性能下降是多数混频器和频率合成器的常见问题,但确切的下降幅度取决于芯片的架构和

布局。了解这些电源灵敏度有利于设计出更加鲁棒的电源,使性能和效率达到最优。

正交解调器灵敏度

ADRF6820 采用一个双平衡吉尔伯特单元有源混频器内核,如图 2 所示。双平衡意味着 LO 和 RF 端口都采用差分驱动方式。

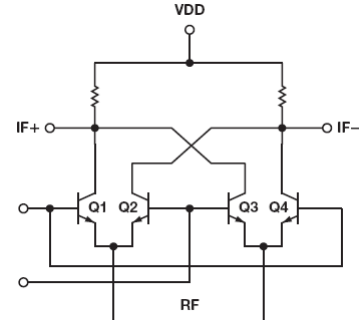


图 2. 吉尔伯特单元双平衡有源混频器

在滤波器抑制高阶谐波以后,所得到的混频器输出为 RF 和 LO 输入的和与差。差项(也称为 IF 频率)在目标频带之内,是所需信号。和项在频带之外,要进行滤波处理。

$$V(t) = \frac{2V_{RF}}{\pi} [\cos(\omega_{RF}t - \omega_{LO}t) + \cos(\omega_{RF}t + \omega_{LO}t)]$$

理想情况下,只有所需 RF 和 LO 信号会输入混频器内核,但很少是这种情况。电源噪声可能耦合到混频器输入中并表现为混频杂散。根据噪声耦合源的不同,混频杂散的相对幅度可能不同。图 3 所示为一种示例混频器输出频谱,其中,由于电源噪声的耦合,其与有用信号的混频产物也出现在输出频谱上。在图中,CW 对应于耦合到供电线路的连续波或正弦信号。比如,噪声可能是来自 600 kHz 或 1.2 MHz 开关调节器的时钟噪声。电源噪声可能导致两个不同的问题;如果噪声耦合到混频器输出,CW 音将没有经过任何频率转换,出现在输出端。如果耦合发生在混频器输入端,则 CW 音会调制 RF 和 LO 信号,并在 $IF \pm CW$ 产生积。

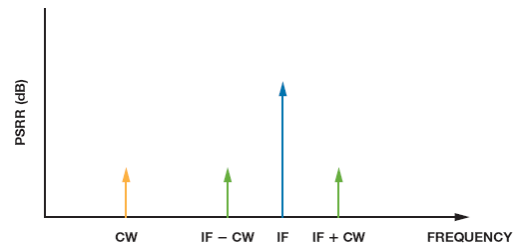


图 3. 电源噪声耦合条件下的示例混频器输出频谱

这些混频积可能接近目标 IF 信号，因此，要滤除它们是很困难的，动态范围损失是不可避免的。正交解调器尤其如此，因为它们的基带是复数且以直流为中心。ADRF6820 的解调带宽范围为直流至 600 MHz。如果用噪声频率为 1.2 MHz 的开关调节器驱动混频器内核，则无用混频积会出现在 $IF \pm 1.2$ MHz。

频率合成器灵敏度

本文末尾的参考文献针对电源噪声如何影响集成 PLL 和 VCO 提供了非常有价值的信息。其原理适用于采用相同架构的其他设计，但不同的设计需要单独进行电源评估。例如，ADRF6820 VCO 电源上的集成 LDO 比不采用集成 LDO 的 PLL 电源具有更强的噪声抑制能力。

ADRF6820 电源域和功耗

要设计电源管理解决方案，首先要考察 RFIC 的电源域，以确定哪些 RF 模块由哪个域驱动、各个域的功耗、影响功耗的工作模式以及各个域的电源抑制性能。利用这些信息，可以收集到 RFIC 的灵敏度数据。

ADRF6820 的每个主要功能模块都有自己的电源引脚。两个域由 5 V 电源供电。VPMX 驱动混频器内核，VPRF 驱动 RF 前端和输入开关。其他域由 3.3 V 电源供电。VPOS_DIG 驱动一个集成 LDO，后者输出 2.5 V 以驱动 SPI 接口、PLL 的 Σ - Δ 调制器和频率合成器的 FRAC/INT 分压器。VPOS_PLL 驱动 PLL 电路，包括参考输入频率(REFIN)、相位频率检测器(PFD)和电荷泵(CP)。VPOS_LO1 和 VPOS_LO2 驱动 LO 路径，包括基带放大器和直流偏置基准电压源。VPOS_VCO 驱动另一个集成 LDO，后者输出 2.8 V 以驱动多核 VCO。该 LDO 对降低对电源噪声的灵敏度十分重要。

ADRF6820 可配置为多种工作模式。正常工作模式下，采用 2850 MHz LO 时，功耗小于 1.5 mW。降低偏置电流会同时降低功耗和性能。增加混频器偏置电流会提高混频器内核的线性度并改善 IIP3，但会降低噪声系数，增加功耗。如果噪声系数非常重要，可以降低混频器偏置电流，结果可减少混频器内核中的噪声并降低功耗。类似地，输出端的基带放大器对低阻抗输出负载具有可变电流驱动能力。低输出阻抗负载要求较高的电流驱动，功耗也更高。数据手册列出了一些数据表，其中展示了各种工作模式下的功耗。

测量步骤和结果

供电轨上的噪声耦合会在 CW 和 $IF \pm CW$ 时产生无用噪声。要模拟该噪声耦合情形，在每个电源引脚上施加一个 CW 音，测量所形成的混频积相对于输入 CW 音的幅度。把该测量值记为电源抑制能力，单位为 dB。电源抑制因频率而异，因此，要对 30 kHz 至 1 GHz 的 CW 频率进行扫描，以捕捉到具体的行为数据。目标频带内的电源抑制能力决定了是否需要滤波。PSRR 计算方法如下：

CW PSRR (单位: dB) = 输入 CW 幅度(dBm) - I/Q 输出端测得的 CW 馈通(dBm)

$(IF \pm CW)$ PSRR (单位: dB) = 输入 CW 幅度(dBm) - I/Q 输出端测得的 $IF \pm CW$ 馈通(dBm)

$(IF + CW)$ (单位: dBm) = $(IF - CW)$ dBm, 因为在载波周围调制的 CW 音具有相等的幅度。

实验室设置

图 4 所示为实验室设置。向网络分析仪施加一个 3.3 V 或 5 V 直流源，以产生失调为 3.3 V 或 5 V 的扫频连续正弦信号。将该信号施加到 RFIC 上的各个供电轨。两个信号发生器提供 RF 和 LO 输入信号。测量频谱分析仪的输出。

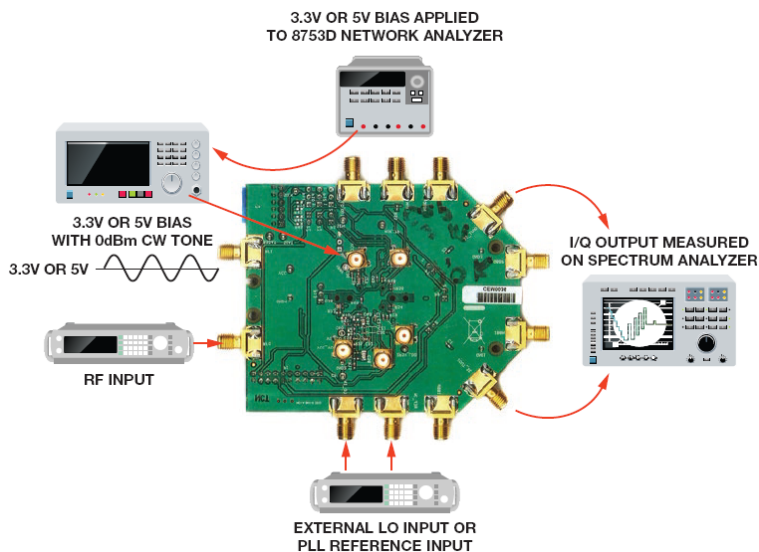


图 4. ADRF6820 PSRR 测量设置

测量步骤

无用混频积的幅度取决于芯片的电源抑制性能，以及评估板上去耦电容的大小和位置。图 5 所示为输出端(IF + CW)音的幅度，其中，电源引脚上给定 0 dB 的正弦信号。无去耦电容时，无用音的幅度在 -70 dBc 和 -80 dBc 之间。数据手册建议在板正面器件旁边设置一个 100 pF 的电容，在背面设置一个 0.1 μ F 的电容。从图中可以看到这些外部去耦电容的谐振。16 MHz 处的瞬变是 0.1 μ F 电容谐振的结果（寄生电感为 1 nH）。356 MHz 处的瞬变是 100 pF 电容谐振的结果（两个电容的寄生电感均为 2 nH）。500 MHz 处的瞬变是 100 pF 电容谐振的结果（寄生电感为 1nH）。

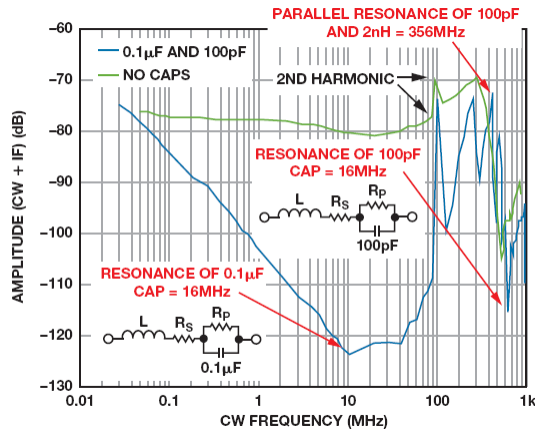


图 5. IF \pm CW 去耦电容谐振的影响

结果

测量了基带输出端的供电轨上干扰信号(CW)和调制信号(IF \pm CW)的幅度。在被测供电轨上引入了噪声，其他电源则保持洁净。图 6 所示为在电源引脚上注入 0 dB 正弦信号并在 30 kHz 至 1 GHz 范围内扫频时(IF \pm CW)音的幅度。图 7 所示为从 CW 音到基带输出的馈通。

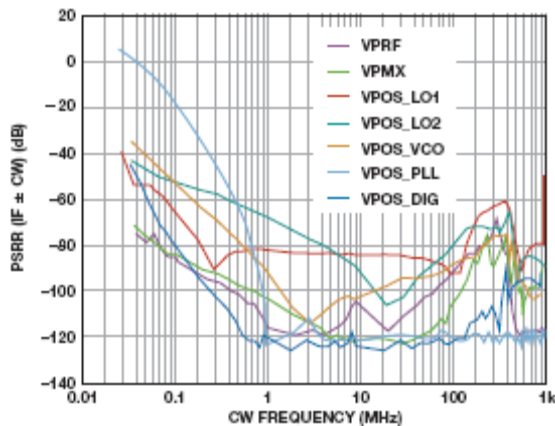


图 6. (IF \pm CW) 音的 PSRR

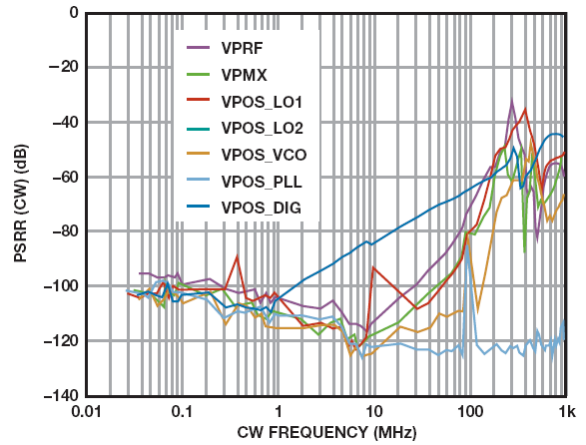


图 7. CW 音的 PSRR

分析

图中提供了各电源引脚处的电源灵敏度数据，这些数据非常有用。VPOS_PLL 具有最差电源抑制性能，因此，是最灵敏的电源节点。该电源引脚驱动 PLL 电路，包括参考输入频率、相位频率检测器和电荷泵。这些敏感的功能模块决定着 LO 信号的精度和相位性能，因此，其上耦合的任何噪声都会直接传播到输出端。

同理，可以认为 VCO 电源也是一个非常重要的节点。从图中可以看出，VPOS_VCO 的抑制性能远远优于 VPOS_PLL。这是实际驱动 VCO 的内置 LDO 造成的结果。LDO 将 VCO 与外部引脚上的噪声隔离开，同时为其提供固定噪声频谱密度。PLL 电源无 LDO，因而是最敏感的供电轨。可见，将其与潜在噪声耦合相隔离对于获得最佳性能至关重要。

PLL 环路滤波器会衰减高 CW 频率，因此，VPOS_PLL 在低频下的灵敏度较差，当频率从 30 kHz 扫描至 1 GHz 时会缓慢改善。在较高频率下，干扰音的幅度会衰减，注入 PLL 的功率水平显著降低。可见，VPOS_PLL 的高频电源抑制性能优于其他电源域。环路滤波器组件是针对 20 kHz 配置的，如图 8 所示。

供电轨（从灵敏度最高到最低）为：VPOS_PLL、VPOS_LO2、VPOS_VCO、VPOS_LO1、VPOS_DIG、VPMX 和 VPRF。

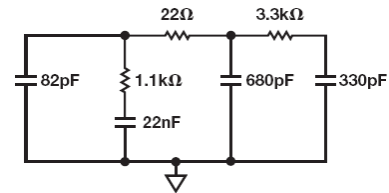


图 8. 针对 20 kHz 环路带宽配置的 PLL 环路滤波器

电源设计

经过前面的讨论，我们对 ADRF6820 在各种模式下的最大功耗以及各电源域的灵敏度有了较好的理解，我们利用开关调节器和 LDO 来设计电源管理解决方案，以决定两种电源解决方案的可行性。首先，把一个 6 V 源调节至 5 V 和 3.3 V，供 ADRF6820 供电轨使用。图 9 所示为针对 VPMX 和 VPRF 的 5 V 电源设计。ADP7104 CMOS LDO 最多可以提供 500 mA 的负载电流。ADP2370 低静态电流降压开关调节器可以在 1.2 MHz 或 600 kHz 下工作。在开关调节器输出端增加了额外的滤波处理，

以衰减开关噪声。ADP2370 最高可以提供 800 mA 的负载电流。ADRF6820 的 5 V 供电轨可以由 ADP7104 或 ADP2370 驱动。在每个电源引脚上施加额外的去耦和滤波处理。

图 10 所示为 3.3 V 电源设计。源电压仍为 6.0 V，但一个额外的 LDO 使源电压降至中间电压，然后，源电压进一步降至 3.3 V。需要一个额外级以减少功率损耗，因为一个直接降压至 3.3 V 的 6 V 源电压工作时的最大效率为 55%。开关调节器路径不需要中间级，因为其脉冲宽度调制(PWM)架构可降低功率损耗。

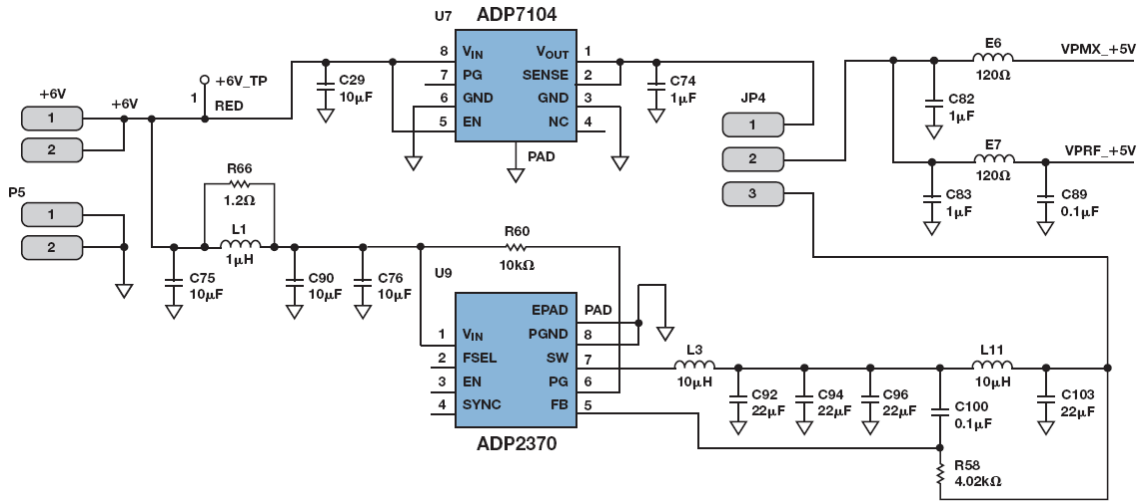


图 9. 5 V 电源设计

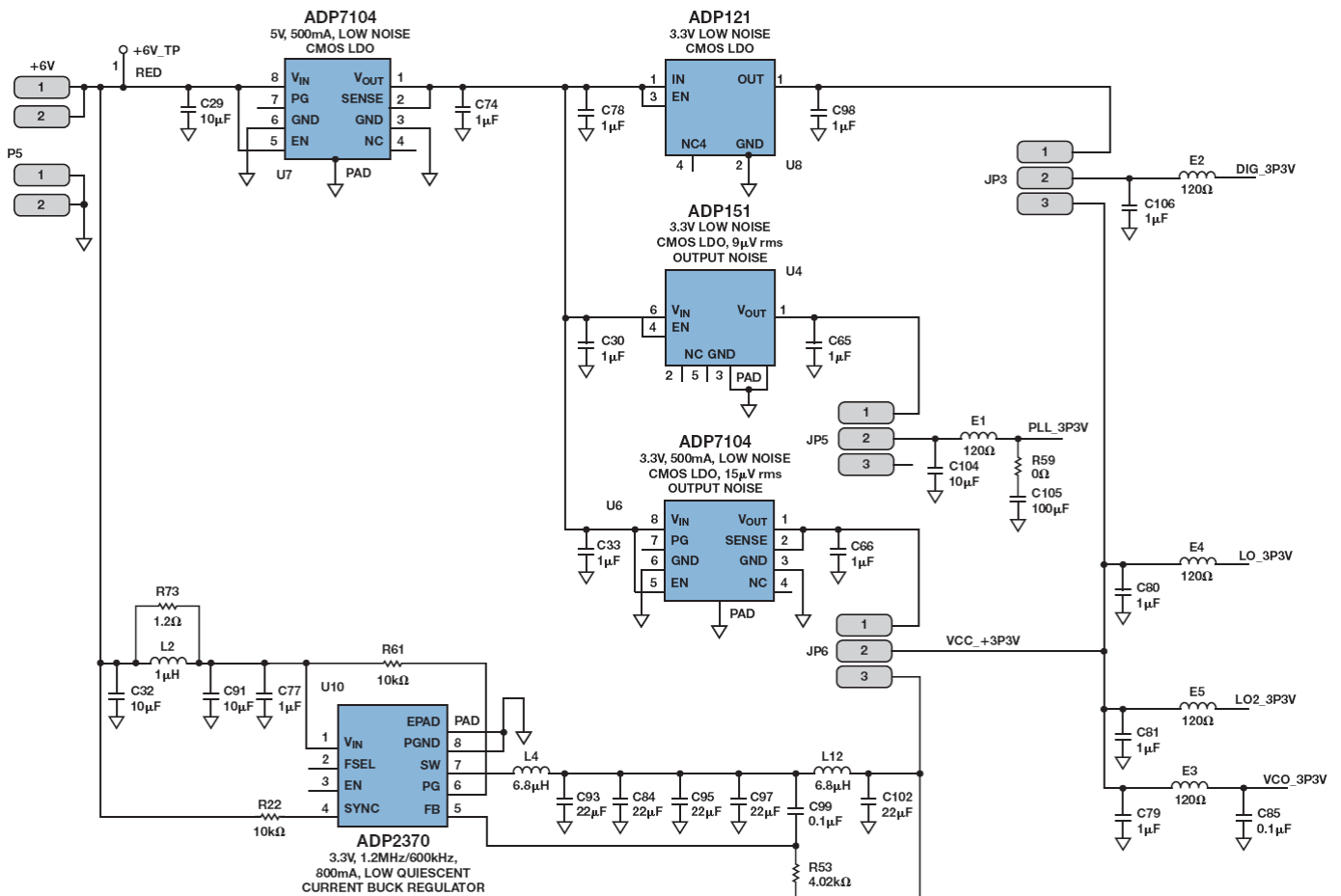


图 10. 3.3 V 电源设计

3.3 V 设计允许进行更多实验。除了用一个 LDO 或开关调节器驱动 3.3 V 供电轨以外，VPOS_PLL 供电轨有额外 LDO 选项，VPOS_DIG 供电轨有一个可选的隔离式 LDO。由于 PLL 电源灵敏度最高，因此，我们尝试了三种电源解决方案，每一种都有不同的输出噪声：**ADP151** 3.3 V 超低噪声 CMOS LDO，输出噪声为 $9\ \mu\text{V}$ ；ADP7104 3.3 V 低噪声 CMOS LDO，输出噪声为 $15\ \mu\text{V rms}$ ；ADP2370 3.3 V 降压调节器。我们希望确定仍能维持所需相位噪声性能的最高电源噪声。最高性能、最低噪声 LDO 是不可或缺的吗？

另外还尝试在 VPOS_DIG 供电轨上采用 **ADP121** 3.3 V 低噪声 CMOS LDO，以确定数字噪声是否会影响性能。受 SPI 接口开关影响，数字供电轨的噪声一般高于模拟电源。我们希望确定 3.3 V 数字电源是需要自己的 LDO，还是可以直接耦合到模拟电源。我们选择 ADP121 作为低成本解决方案。

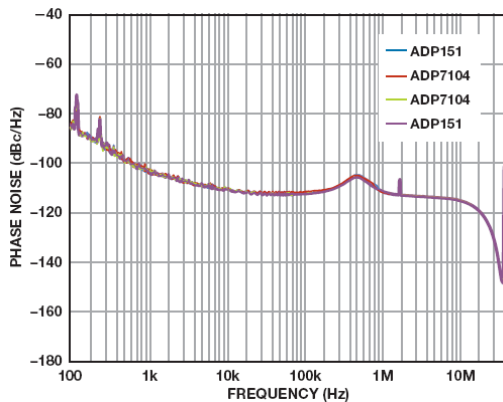


图 11. 使用 ADP151 和 ADP7104 时的集成相位噪声

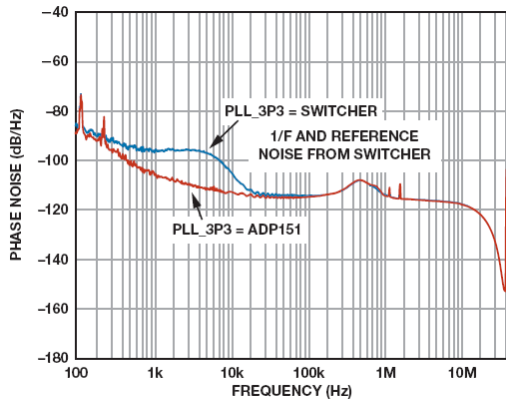


图 12. 使用 ADP151 和 ADP2370 时的集成相位噪声

结论和推荐电源设计

对于 VPOS_PLL（最灵敏的供电轨），低成本的 ADP151 LDO 可以实现与 ADP7104 高性能、低噪声 LDO 相同的相位噪声，如图 11 所示。然而，在采用 ADP2370 开关调节器时，性能下降，如图 12 所示。噪声波峰由开关调节器导致，在其输出端可见，如图 13 所示。因此，VPOS_PLL 最多可以承受 $15\ \mu\text{V rms}$ 的噪声而不造成集成相位噪声性能下降，但不能使用开关调节器来驱动该引脚。使用性能更高、噪声更低的 LDO 并未带来好处。

在用开关调节器或 LDO 驱动剩余供电轨时，可保持良好的相位噪声性能，如图 14 所示。5 V 供电轨引脚 VMPX 和 VPRF 可以相连并用单电源供电。3.3 V 电源引脚 VPOS_LO1、VPOS_LO2 和 VPOS_VCO 也可相连并用单电源供电。VPOS_DIG 不需要独立的 LDO，可以连接模拟 3.3 V 电源。

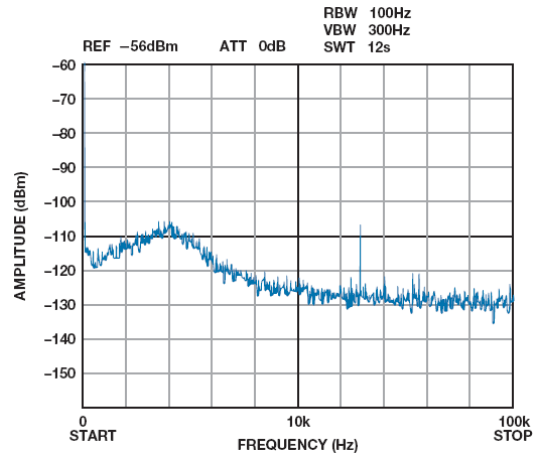


图 13. ADP2370 的输出频谱

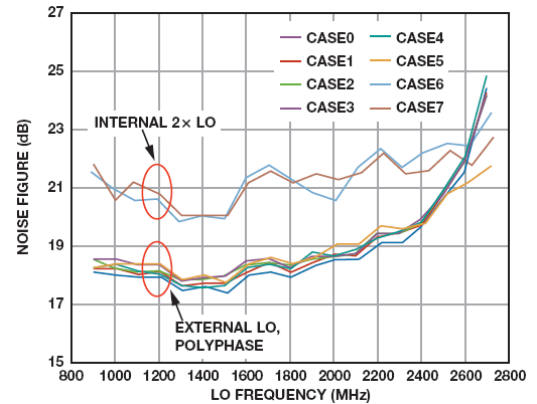


图 14. 开关与 LDO 噪声系数

推荐电源设计 (如图 15 所示) 采用 6 V 源电压, 包括 ADP7104 5.0 V 和 ADP7104 3.3 V LDO。该解决方案只使用了 LDO, 因为源电压接近所需的电源电压。功效处于可接受水平, 因此, 无需额外增添滤波元件和开关调节器。

推荐的电源设计 (如图 16 所示) 采用 12 V 源电压, 包括两个开关调节器和一个 LDO。源电压远远大于所需电源电压, 因此使用了开关调节器来提高功效。除灵敏的 VPOS_PLL 电源以外的所有电源引脚都可用开关调节器供电。ADP7104 或 ADP151 均可用于 VPOS_PLL。

参考文献

电路笔记 CN0147, *利用低噪声 LDO 调节器为小数 N 分频压控振荡器(VCO)供电, 以降低相位噪声*, ADI 公司, 2010 年。

Collins, Ian, *集成 PLL 和 VCO [第 2 部分]*, Radio-Electronics.com, 2010 年 11 月。

调制器/解调器

线性稳压器

开关稳压器

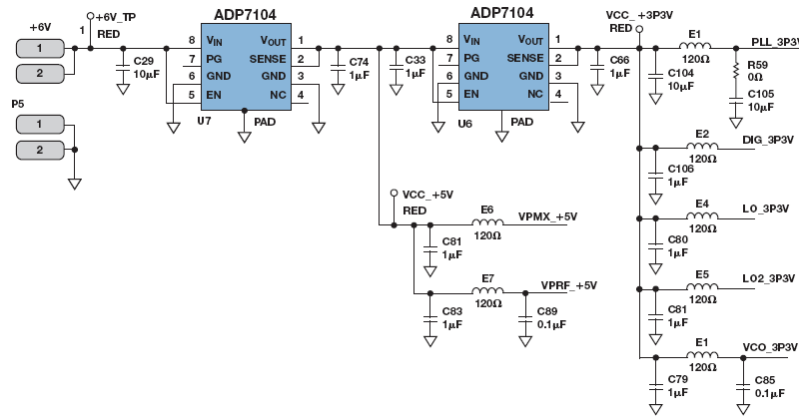


图 15. 6 V 源电压的推荐电源设计

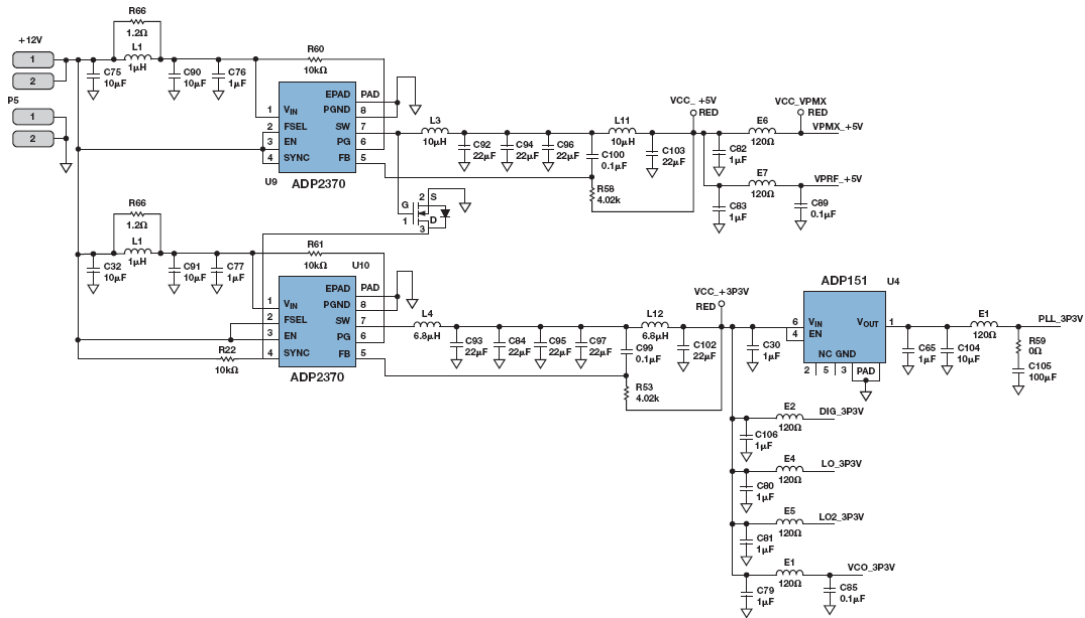


图 16. 12 V 源电压的推荐电源设计

Qui Luu [qui.luu@analog.com] 是 ADI 公司的一名 RF 应用工程师, 于 2000 年 6 月加盟 ADI。Qui 2000 年获马萨诸塞州伍斯特理工学院电气工程学士(BSEE)学位, 2005 年获马萨诸塞州波士顿东北大学电气工程硕士(M.S.E.E)学位。



Qui Luu

该作者的其他文章:

RF 至位解决方案可为材料分析应用提供精密的相位和幅度数据
第48卷, 第4期

在 Xilinx FPGA 上快速实现 JESD204B

作者: Haijiao Fan

共享    

简介

JESD204 是一种连接数据转换器 (ADC 和 DAC) 和逻辑器件的高速串行接口, 该标准的 B 修订版支持高达 12.5 Gbps 串行数据速率, 并可确保 JESD204 链路具有可重复的确定性延迟。随着转换器的速度和分辨率不断提升, JESD204B 接口在 ADI 高速转换器和集成 RF 收发器中也变得更为常见。此外, FPGA 和 ASIC 中灵活的串行器/解串器(SERDES)设计正逐步取代连接转换器的传统并行 LVDS/CMOS 接口, 并用来实现 JESD204B 物理层。本文介绍如何快速在 Xilinx® FPGA 上实现 JESD204B 接口, 并为 FPGA 设计人员提供部分应用和调试建议。

JESD204B 协议实现概述

JESD204B 规范定义了实现该协议数据流的四个关键层, 如图 1 所示。传输层完成样本和未加扰的帧数据之间的映射和解映射。可选的加扰层可用来加扰/解扰 8 位字, 以扩散频谱尖峰来降低 EMI。数据链路层处理链路的同步、建立与保持, 并对加扰后的数据进行 8B10B 编码或译码。物理层负责以比特速率发送和接收编码后的字符。

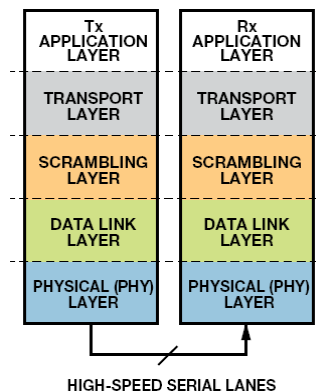


图 1. JESD204B 标准的关键层级

不同的 JESD204B IP 供应商可能以不同的方式实现这些层级。图 2 和图 3 显示 ADI 如何实现 JESD204B 的发送和接收协议。

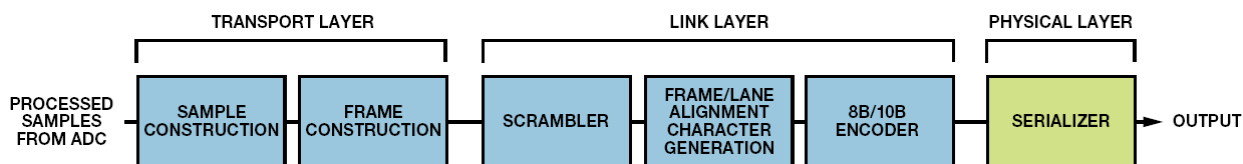


图 2. JESD204B 发送器实现

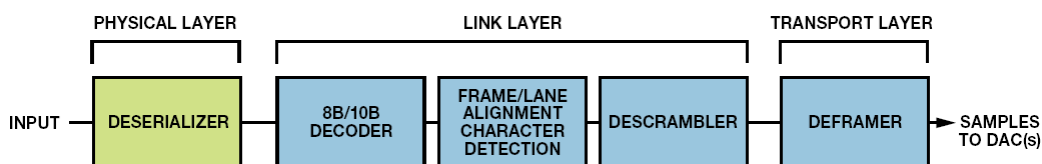


图 3. JESD204B 接收器实现

传输层实现和特定的转换器配置及其样本与帧之间的映射方式强相关，因此大部分 FPGA 供应商将其排除在各自的 JESD204 IP 之外。此外，FPGA 集成了高度可配置、高集成度的 SERDES 收发器，这些 SERDES 收发器可用来支持所有类型的串行协议，包括 PCIe、SATA、SRIO、CPRI 和 JESD204B。因此，一个实现链路层的逻辑核和实现物理层的可配置 SERDES 便构成了 JESD204B 链路的基础。图 4 和图 5 显示 Xilinx FPGA 上的 JESD204B 发送器和接收器框图。发送器/接收器通道实现加扰和链路层；8B/10B 编码器/解码器和物理层在 GTX/GTX/GTH Gbit 收发器中实现。

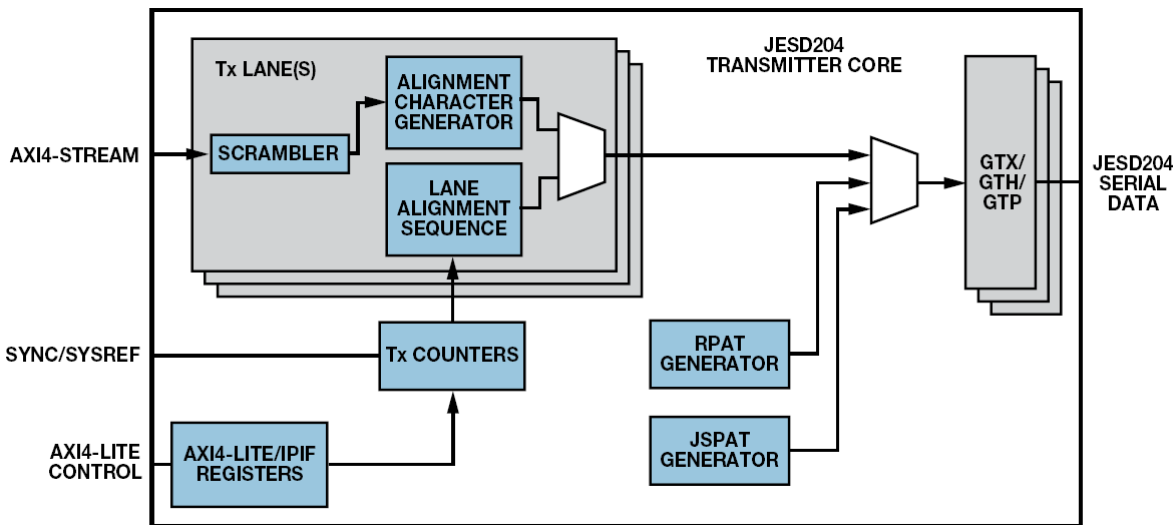


图 4. 使用 Xilinx FPGA 实现 JESD204B 发送器

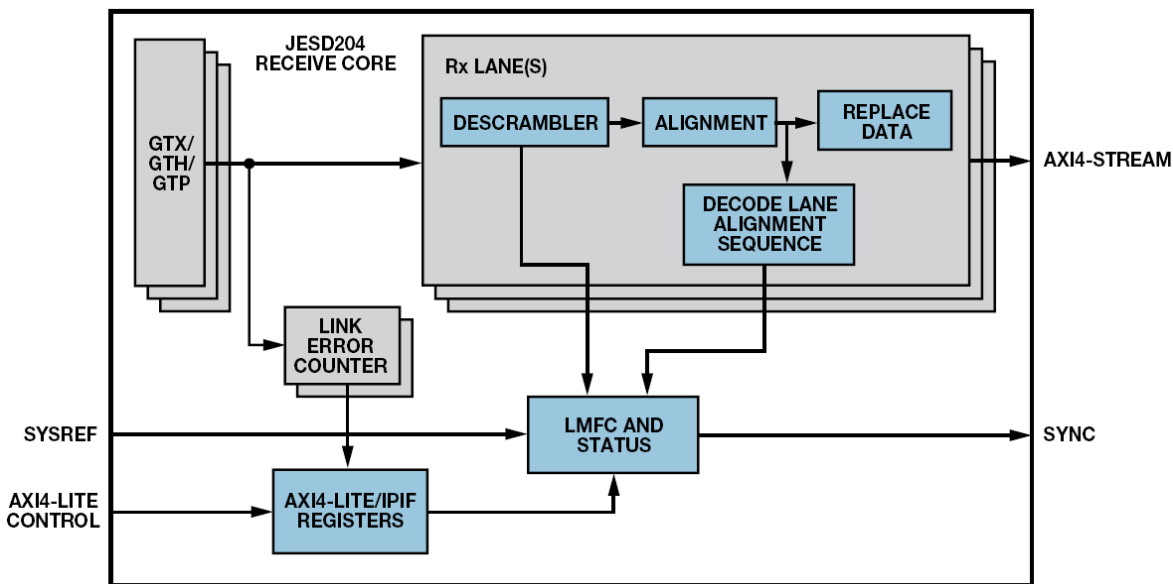


图 5. 使用 Xilinx FPGA 实现 JESD204B 接收器

采用 Xilinx FPGA 的 JESD204B 设计示例

最新的 Xilinx JESD204 IP 核通过 Vivado®设计套件以黑盒子加密交付。Xilinx 还提供使用高级 eXtensible 接口(AXI)的 Verilog 设计示例，但该示例项目对大部分应用而言是过设计的，因为用户通常采用自己的配置接口，无需针对 JESD204B 逻辑集成一个额外的 AXI。图 6 显示的是一个 JESD204 简化设计，旨在帮助 FPGA 用户理解 JESD204 结构，并让他们快速着手设计自己的 JESD204 FPGA 项目。

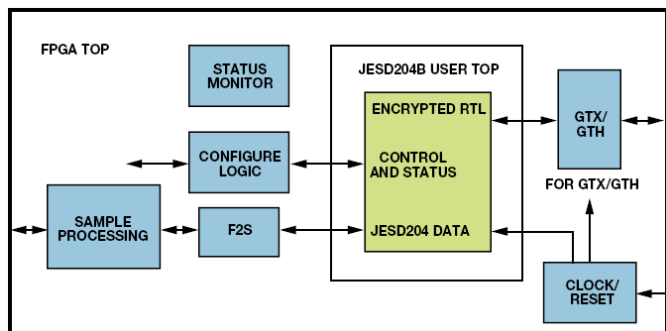


图 6. JESD204B 设计示例

Vivado 产生的 JESD204 逻辑 IP 核，即经过加密的 RTL 模块相当于图 4 和图 5 中的发送和接收模块，其加密接口定义可在 Xilinx 示例设计文件中找到。然后，可将经过加密的 RTL 模块嵌套入 JESD204B 用户顶层。来自加密 RTL 模块的控制、配置、状态和 JESD 数据接口直接通过嵌套层连接到用户逻辑和 GTX/GTH 收发器。GTX/GTH 符号对齐配置经优化和更新，使收发器工作更为稳定。

给 SERDES 收发器的 GTX/GTH 参考时钟应采用专用引脚，对用于 FPGA 逻辑的全局时钟设计必须仔细的考虑，包括内部 PLL、并行接口时钟、JESD204 逻辑核以及用户逻辑时钟。此外，必须确保给 JESD204B 逻辑核（子类 1）的 SYSREF 输入被准确采到，以确保 JESD204 链路的确定性延迟。

若要获得可靠的 JESD 链路初始化性能，GTX/GTH 收发器和 JESD204 核的复位序列十分关键；因此，JESD204 核应处于复位状态，直到 GTX/GTH 收发器的内部 PLL 锁定，且 GTX/GTH 复位完成。

F2S 模块实现 JESD204 的传输层，该模块根据特定 JESD204B 配置将样本映射至帧，或从帧映射至样本。然后根据特定的应用去处理样本数据。采用辅助模块监测 JESD204 逻辑和物理层 (PHY) 状态，供系统调试。

Xilinx SERDES 收发器的符号对齐

在 SERDES 接收器中，串行数据必须与符号边界对齐，才能用作并行数据。为了对齐数据，可让发送器发送一个可供识别的序列，通常称为“逗号”。接收器搜索输入串行数据流中的逗号，一旦找到便将其移到符号边界。这样可让接收到的并行字与发送的并行字相匹配。逗号通常用 K 码表示，它是 8B/10B 表中用作控制符的一些特殊字符。对于 JESD204B 应用，发送器发送 $K = K28.5$ 符号流，以便进行码组同步(CGS)。因此，FPGA 可采用 K28.5 作为逗号，来对齐符号边界，而用户可以指定逗号匹配是由极性为正的逗号或是由极性为负的逗号所组成，或由两者共同组成。JESD204B 针对 GTX/GTH 逗号检测的默认设置允许利用正极性逗号或负极性逗号来对齐。

某些应用中，默认逗号设置可能导致符号的重新对齐，或者对齐至错误的符号边界。这可能会导致大量的 8B/10B 解码错误，并使 JESD204B 链路断链。而正极性逗号加上负极性逗号使用会更稳定，可以使逗号对齐模块连续搜索两个逗号，并仅当收到的数据为正极性逗号（或负极性）后跟一个负极性逗号（或正极性逗号）且中间无额外位时才认为检测到逗号。当线路速率较高或系统噪声过多时，这样做有助于保持符号边界和链路稳定性。

FPGA 上的 JESD204 项目设计考虑因素

来自 JESD204 接收器输出到发送器的同步、低电平有效 SYNC 信号用于表示同步状态。正常工作时，链路重新初始化将导致样本数据混乱，因此必须实时监测链路状态。具体而言，SYNC 上的连续低电平表示接收器在接收到的数据流中无法识别出至少四个连续 K28.5 符号。如果发生这种情况，请检查发送器/接收器 SERDES 配置，或确保发送器正在发送 K28.5。SYNC 上的连续高电平表示链路已建立，且保持稳定。若 SYNC 从高电平变为低电平然后返回高电平，则必须记录低电平状态的持续时间。如果持续时间长于 5 个帧加 9 个字节，则表示接收器检测到了较大的错误，并将发送请求以重新初始化 JESD204 链路。如果持续时间等于两个帧时钟，则表示接收器检测到了较小的错误，但不会触发链路重新初始化。这个功能可极大地简化系统调试，并为进一步的链路监测提供便利。因此，用户应当在设计中包含这个功能。

8B/10B 解码错误可能导致 JESD204B 链路重新初始化，但这并非是唯一的原因；因此，用户在设计时应能够对各通道的解码错误进行计数，从而确定链路重新同步的原因。此外，可通过 8B/10B 解码错误状态实时确定 SERDES 链路质量。

伪随机位序列(PRBS)提供了一个测量高速链路中信号质量和抖动容差的有用资源。大部分 FPGA 中的 SERDES 收发器都内置了 PRBS 发生器和检查器，无需额外的 FPGA 资源。因此，不要忘了实例化此功能，在评估比特误码率(BER)或眼图时会使用到这个功能。

SERDES 收发器中通常会使用一个缓冲器，来改变内部时钟域。如果发送器和接收器的时钟设计不佳或者时钟数据恢复模块(CDR)设置错误，那么就会导致缓冲器上溢或下溢。此时可能会发生某些链路错误，因此有必要监测缓冲器状态。缓冲器上溢或下溢的中断记录对于系统调试而言是很有用的，所以同样应当监测用户逻辑中不允许发生下溢或上溢的其它内部缓冲器的状态。

结论

本文讨论了如何在 Xilinx FPGA 上快速实现 JESD204 模块，实现方法同样可用于其它 FPGA。首先，应了解 FPGA 供应商提供的 JESD204 逻辑核和收发器的功能以及接口，然后将其实例化并与您的逻辑整合。其次，从全局角度出发设计 FPGA 时钟树，和整个工程的复位顺序。然后，仔细定义 JESD204 逻辑核、用户逻辑和收发器之间的接口。最后，加入必要的调试资源。遵循这些步骤有助于您快速、成功地设计 JESD204 接口。

参考文献

[JESD204B 应用指南](#)

[JESD204 数据转换器串行接口 JEDEC 标准](#)

[高速模数转换器](#)

[高速数模转换器](#)

[集成式收发器、发射机和接收机](#)

[联盟计划和 FPGA 参考设计](#)

[解密 JESD204B 高速数据转换器转 FPGA 接口](#)

Ian Beavers, “JESD204B 转换器内确定性延迟解密” *Electronic Design*, 2014 年 2 月 25 日。

Ian Beavers, “原型开发系统：JESD204B 转换器和 FPGA” *Electronic Design*, 2014 年 1 月 23 日。

Ian Beavers 和 Jeffrey Ugalde, “设计 JESD204B 转换器系统，实现低 BER (第一部分)” *EDN*, 2014 年 10 月 22 日。

Ian Beavers 和 Jeffrey Ugalde, “设计 JESD204B 转换器系统，实现低 BER (第二部分)” *EDN*, 2014 年 10 月 28 日。

Jonathan Harris, “了解 JESD204B 规范中的层级：从高速 ADC 的角度出发 (第一部分)” *EDN*, 2014 年 9 月 24 日。

Jonathan Harris, “了解 JESD204B 规范中的层级：从高速 ADC 的角度出发 (第二部分)” *EDN*, 2014 年 10 月 2 日。

Del Jones, “JESD204B 子类 (第一部分)：JESD204B 子类简介与确定性延迟” *EDN*, 2014 年 6 月 18 日。

Del Jones, “JESD204B 子类 (第二部分)：子类 1 与子类 2 的系统考虑因素” *EDN*, 2014 年 6 月 25 日。

Haijiao Fan [haijiao.fan@analog.com] 是 ADI 中国北京公司的应用工程师，从事 JESD204 协议评估和集成 RF 收发器应用与支持工作。他曾就读于中国西北工业大学，并分别于 2003 年和 2006 年获得电子工程学士和电子工程硕士学位。2012 年 7 月加入 ADI 公司，此前 Haijiao 拥有超过 6 年的 FPGA 和系统工程师工作经验。



Haijiao Fan

在仅有零点电阻和电容可调节的情况下设计 PLL 滤波器

作者: Ken Gentile

共享    

简介

如参考文献中所描述,可采用标准过程来确定锁相环(PLL)中二阶环路滤波器的 R_0 、 C_0 和 C_P 数值。它采用开环带宽(ω_0)和相位裕量(ϕ_M)作为设计参数,并可扩展至三阶环路滤波器,从而确定 R_2 和 C_2 (图 1)。该过程可直接解出 C_P , 然后推导出其余数值。

某些情况下, C_P 、 R_2 和 C_2 可能是集成在 PLL 内的固定值元件,因此仅有 R_0 和 C_0 用来控制环路响应。这便使得上述过程无效,因为无法调节 C_P 。本文提出一种替代过程,可在 C_P 数值固定时使用,突破了无法控制 C_P 值造成的限制。

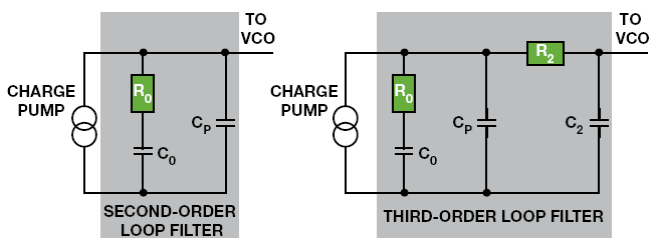


图 1. 典型二阶和三阶无源环路滤波器

假设条件

本环路滤波器设计方法基于两个假设,在三阶无源滤波器设计中,通过调节 R_0 和 C_0 来补偿 R_2 和 C_2 , 可以将一个二阶环路滤波器设计扩展为三阶设计, 此时通常会采用这两个假设条件。

1. R_2 和 C_2 形成的极点频率应当至少比 ω_0 (所需开环单位增益带宽) 大一个数量级; $f_0 \leq 0.1/(2\pi R_2 C_2)$, 其中 $f_0 = \omega_0/(2\pi)$ 。
2. R_0 - C_0 - C_P 网络的 R_2 和 C_2 串联组合的负载可忽略不计。

二阶环路滤波器的传递函数

二阶环路滤波器有两个时间常数 (T_1 和 T_2) 与元件有关:

$$T_2 = R_0 C_0 \quad (1)$$

$$T_1 = \left(\frac{C_P}{C_P + C_0} \right) T_2 \quad (2)$$

环路滤波器传递函数的 T_1 、 T_2 和 C_P 很重要,因为它对于 PLL 的整体响应起着很大的作用:

$$H_{LF}(s) = \left(\frac{1}{C_P} \right) \left(\frac{T_1}{T_2} \right) \left(\frac{sT_2 + 1}{s(sT_1 + 1)} \right) \quad (3)$$

PLL 系统函数

图 2 中的小信号模型为 PLL 响应的等式化提供了一种途径,并为分析输入端相位干扰所造成的输出端相位变化提供了模板。注意,压控振荡器(VCO)作为一个频率源,表现为理想的相位积分器,因而其增益(K_V)系数为 $1/s$ (对积分进行等效拉普拉斯变换)。因此,PLL 的小信号模型是复频率 s 的函数 ($s = \sigma + j\omega$)。

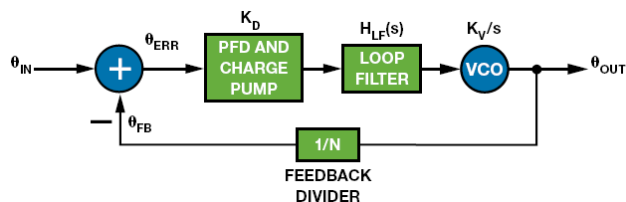


图 2. PLL 小信号模型

PLL 的闭环传递函数(H_{CL})定义为: θ_{OUT}/θ_{IN} 。开环传递函数(H_{OL})定义为: θ_{FB}/θ_{IN} , 与闭环传递函数相关。建议以 H_{OL} 来表示 H_{CL} , 因为开环传递函数包含闭环稳定性的线索:

$$H_{OL}(s) = -K \left(\frac{H_{LF}(s)}{sN} \right) \quad (4)$$

$$H_{CL}(s) = -N \left(\frac{H_{OL}(s)}{1 - H_{OL}(s)} \right) \quad (5)$$

K 表示鉴频鉴相器(PFD)、电荷泵和 VCO 的组合增益——也就是说, $K = K_D K_V$, 其中 K_D 表示电荷泵电流, 单位为 A; K_V 表示 VCO 增益, 单位为 Hz/V。 H_{OL} 、 H_{CL} 和 H_{LF} 均为 s 的函数。等式 4 中的负号表示图 2 中求和节点的负反馈导致相位反转。根据等式 4 定义的 H_{OL} 导致等式 5 中分母的减法运算, 直观地解释了闭环稳定性。

检查等式 5, 可以发现潜在的环路稳定性问题。由于 H_{OL} 是复数频率 $s = \sigma + j\omega$ 的函数, 它必然具有取决于频率的幅度和相位分量。因此, 对于任意的 s 值, 如果 H_{OL} 同时表现出单位增益和零点相移特性 (或 2π 弧度的整数倍), 则 H_{CL} 分母为零, 闭环增益再次变为未定义, 系统变得极不稳定。这意味着稳定性依赖于频率的 H_{OL} 幅度和相位特性所控制。事实上, 在使得 H_{OL} 为单位幅度的频率处, H_{OL} 相位必须离开零 (或离开 2π 任意整数倍) 足够远, 才能避免等式 5 中的分母为零。

使 H_{OL} 为单位幅度处的频率 ω_0 非常重要。 ω_0 处的 H_{OL} 相位决定了系统的相位裕量 ϕ_M 。 ω_0 和 ϕ_M 都可由 H_{OL} 推导得出。

根据 ω_0 和 ϕ_M 定义 R_0 和 C_0

使用设计参数 ω_0 和 ϕ_M 来确定 R_0 和 C_0 值要求表达式包含这四个变量，以及其它常数项。可以从等式 4 入手，因为等式 4 定义了 H_{OL} 。这样便将 H_{LF} 加入其中，进而通过 T_1 和 T_2 加入 R_0 和 C_0 。由于 H_{OL} 具有幅度和相位，因此原则上 ω_0 和 ϕ_M 也能加入其中。

将等式 3 代入等式 4，重新排列各项可得等式 6；等式 6 以 T_1 和 T_2 以及常数 K 、 N 和 C_P 来表示 H_{OL} ：

$$H_{OL}(s) = -\left(\frac{K}{s^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{s T_2 + 1}{s T_1 + 1}\right) \quad (6)$$

在 $s = j\omega$ 时进行评估，可得 H_{OL} 频率响应如下：

$$H_{OL}(j\omega) = -\left(\frac{K}{(j\omega)^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{j\omega T_2 + 1}{j\omega T_1 + 1}\right) \quad (7)$$

分母中的 $(j\omega)^2$ 项可简化为 $-\omega^2$ ：

$$H_{OL}(j\omega) = \left(\frac{K}{\omega^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{j\omega T_2 + 1}{j\omega T_1 + 1}\right) \quad (8)$$

H_{OL} 幅度和相位为：

$$|H_{OL}(j\omega)| = \left(\frac{K}{\omega^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{1}{1+(\omega T_1)^2}\right) \sqrt{(1 + \omega^2 T_1 T_2)^2 + \omega^2 (T_2 - T_1)^2} \quad (9)$$

$$\angle H_{OL}(j\omega) = \arctan(\omega T_2) - \arctan(\omega T_1) \quad (10)$$

记住， T_1 和 T_2 是 R_0 、 C_0 和 C_P 代数组合的缩写表达式。 $\omega = \omega_0$ 时评估等式 9，并使 $|H_{OL}| = 1$ 即可定义单位增益频率 ω_0 ，表示 H_{OL} 为单位幅度时的频率。

$$1 = \left(\frac{K}{\omega_0^2 N C_P}\right) \left(\frac{T_1}{T_2}\right) \left(\frac{1}{1+(\omega_0 T_1)^2}\right) \sqrt{(1 + \omega_0^2 T_1 T_2)^2 + \omega_0^2 (T_2 - T_1)^2} \quad (11)$$

类似地， $\omega = \omega_0$ 时评估等式 10，并使 $\angle H_{OL} = \phi_M$ 即可定义相位裕量 ϕ_M ，表示频率为 ω_0 （单位增益频率）时的 H_{OL} 相位。

$$\Phi_M = \arctan(\omega_0 T_2) - \arctan(\omega_0 T_1) \quad (12)$$

扩展等式 11 和等式 12 很容易，将等式 1 中的 T_2 和等式 2 中的 T_1 代入即可将 R_0 和 C_0 带入等式。因此，我们顺利地将 ω_0 和 ϕ_M 与变量 R_0 和 C_0 以及常数 K 、 N 和 C_P 相关联。

同时求解我们所得到的等式中的 R_0 和 C_0 很困难。MathCad[®] 提供的符号处理器可求解这两个联立方程，但必须以 \arctan 代替 \arccos 。进行变换后，符号处理器便可求解 R_0 和 C_0 ，得到下列解集 (R_{0A} 、 C_{0A} ； R_{0B} 、 C_{0B} ； R_{0C} 、 C_{0C} ；以及 R_{0D} 、 C_{0D})。有关对等式 12 进行变换以便使用 \arccos 函数的详细信息请参见附录。

$$\begin{aligned} R_{0A} &= \frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 + 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2} & C_{0A} &= -\left(\frac{K^2 + 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 + K \cos(\Phi_M))}\right) \\ R_{0B} &= -\left(\frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 + 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}\right) & C_{0B} &= -\left(\frac{K^2 + 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 + K \cos(\Phi_M))}\right) \\ R_{0C} &= \frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 - 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2} & C_{0C} &= -\left(\frac{K^2 - 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 - K \cos(\Phi_M))}\right) \\ R_{0D} &= -\left(\frac{\omega_0 K N \sqrt{1 - \cos^2(\Phi_M)}}{K^2 - 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}\right) & C_{0D} &= -\left(\frac{K^2 - 2K C_P N \omega_0^2 \cos(\Phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (C_P N \omega_0^2 - K \cos(\Phi_M))}\right) \end{aligned}$$

这个结果是有问题的，因为目标是在给定 ω_0 和 ϕ_M 的情况下求解 R_0 和 C_0 ；而运算结果表明存在四对可能的 R_0 和 C_0 ，而非唯一的 R_0 、 C_0 对。然而，若进一步检查这四组结果，便可得出只有一组解。

注意，就 PLL 建模而言，上述等式中的所有变量都具有正值，包括 $\cos(\phi_M)$ ；这是因为， ϕ_M 的范围限制在 0 和 $\pi/2$ 之间。因此， C_{0A} 和 R_{0B} 显然是负数。由此可知， R_{0A} 、 C_{0A} 和 R_{0B} 、 C_{0B} 可立即加以排除，因为元件值不可能为负，但需进一步分析 R_{0C} 、 C_{0C} 和 R_{0D} 、 C_{0D} 。

注意，包含 R_{0C} 、 C_{0C} 和 R_{0D} 、 C_{0D} 在内的四个等式有公因数：

$$K^2 - 2KC_P N \omega_0^2 \cos(\phi_M) + (C_P N \omega_0^2)^2 \quad (13)$$

进一步分析可知，等式 13 的形式为： $a^2 - (2ac)\cos(\beta) + c^2$ 。以 b^2 表示该式，可得：

$$b^2 = a^2 + c^2 - (2ac)\cos(\beta) \quad (14)$$

等式 14 即为余弦定理，以 a 、 b 和 c 表示三角形的三条边长度， β 表示顶点对边 b 的内角。由于 b^2 表示三角形一条边长度的平方，它必须为正，这也就意味着等式 14 的等号右边也必须为正。因此，等式 13 必须为正，意味着 R_{0D} 的分母为正。 R_{0D} 的分子同样为正，因此 R_{0D} 必须为负，这便排除了 R_{0D} 、 C_{0D} 。这使得仅有 R_{0C} 、 C_{0C} 对可作为等式 11 和等式 12 的解。

$$R_0 = \frac{\omega_0 K N \sqrt{1 - \cos^2(\phi_M)}}{K^2 - 2KC_P N \omega_0^2 \cos(\phi_M) + (C_P N \omega_0^2)^2} \quad (15)$$

$$C_0 = \frac{K^2 - 2KC_P N \omega_0^2 \cos(\phi_M) + (C_P N \omega_0^2)^2}{N \omega_0^2 (K \cos(\phi_M) - C_P N \omega_0^2)} \quad (16)$$

R_0 和 C_0 的限制

虽然等式 15 和等式 16 有可能是等式 11 和等式 12 的公共解，但它们仅在 R_0 和 C_0 均为正时才有效。仔细检查 R_0 可知其为正——它的分子为正，因为 $\cos^2(x)$ 范围为 0 到 1，且它的分母与等式 13 相同，由前文可知其为正。 C_0 分子同样与等式 13 相同，因此只要分母满足下列条件， C_0 就为正：

$$K \cos(\phi_M) > C_P N \omega_0^2 \quad (17)$$

图 3 以图形方式表示这种关系；不等式 17 左右两侧均等于 y （蓝色曲线和绿色曲线），水平轴共享 ω_0 和 ϕ_M 。两条曲线的交点表示 ω_0 和 ϕ_M 的边界。红色弧线部分所表示的条件使等式 17 成立。红

色弧线下方的水平轴部分决定了 C_0 为正的 ϕ_M 和 ω_0 范围。注意，蓝色曲线和绿色曲线交点正下方水平轴上的点确定了 ϕ_{M_MAX} ，即 ϕ_M 的最大值；该值确保 C_0 为正。

$$\phi_{M_MAX} = \arccos\left(\frac{C_P N \omega_0^2}{K}\right) \text{ 弧度} \quad (18)$$

等式 18 要求 $C_P N \omega_0^2$ 小于 K ，才能满足 ϕ_{M_MAX} 的 \arccos 范围为 0 到 $\pi/2$ 的限制条件。这便确定了 ω_{0_MAX} ，即 ω_0 的上限，保证 C_0 为正。

$$\omega_{0_MAX} = \sqrt{\frac{K}{C_P N}} \text{ 弧度/s} \quad (19)$$

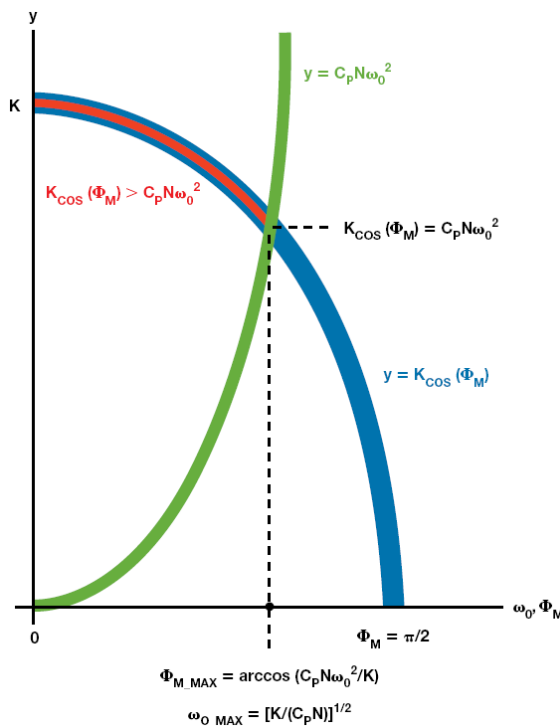


图 3. C_0 分母的限制条件

补偿 R_2 和 C_2 （三阶环路滤波器）

就三阶环路滤波器而言， R_2 和 C_2 分量产生额外的相移 $\Delta\phi$ ；该相移与二阶环路滤波器有关：

$$\Delta\Phi = -\arctan(\omega_0 R_2 C_2) \quad (20)$$

为了处理这个额外的相移，应将其从所需的 ϕ_M 值中扣除。

$$\Phi_{M_MAX} = \Phi_M - \Delta\Phi = \Phi_M + \arctan(\omega_0 R_2 C_2) \quad (21)$$

将 Φ_{M_NEW} 代入等式 15 和等式 16 可得到不同的 R_0 和 C_0 ，然后针对二阶解，将新数值用来补偿 R_2 和 C_2 引入的额外相移。 R_2 和 C_2 的存在还会影响 Φ_{M_MAX} ，即 Φ_M 的最大允许值。 Φ_M 新的最大值($\Phi_{M_MAX_NEW}$)为：

$$\Phi_{M_MAX_NEW} = \Phi_{M_MAX} + \Delta\Phi = \arccos(\omega_0^2 N C_P / K) - \arctan(\omega_0 R_2 C_2) \quad (22)$$

结论

本文演示了仅有 R_0 和 C_0 元件值可调节时，如何使用开环单位增益带宽(ω_0)和相位裕量(Φ_M)作为二阶或三阶环路滤波器的设计参数。采用 R_0 和 C_0 的二阶环路滤波器仿真 PLL，结果与 H_{OL} 以及由此得到的相位裕量理论值完美吻合，从而验证了这些等式。根据等式 19 和等式 18，参数 ω_0 和 Φ_M 针对二阶环路滤波器分别具有上限值。

确定 R_0 和 C_0 的过程中对二阶环路滤波器进行了假设，但通过将所需的相位裕量(Φ_M)根据等式 21 调节为新的值(Φ_{M_NEW})便可扩展应用到三阶环路滤波器的设计中，进而根据等式 22 得到一个新的上限值($\Phi_{M_MAX_NEW}$)。

虽然使用二阶环路滤波器进行仿真可验证等式 15 和等式 16，但若验证将设计过程扩展至三阶环路滤波器的等式则需对环路滤波器响应 $H_{LF}(s)$ 进行重新定义，使其包含 R_2 和 C_2 ，如下所示：

$$H_{LF}(s) = \frac{sR_0C_0 + 1}{s(s^2R_0R_2C_0C_2C_P + sR_2C_0C_2 + sR_0C_0C_P + sR_2C_2C_P + sR_0C_0C_2 + C_0 + C_2 + C_P)}$$

将 H_{LF} 的这种形式应用到 H_{OL} 和 H_{CL} 等式，便可使用 R_0 和 C_0 仿真三阶环路滤波器设计。对其进行仿真可知，当使用三阶环路滤波器时，由理论频率响应和相位裕量推导而得的 R_0 和 C_0 计算值与 PLL 的 H_{OL} 有关。这主要是因为受到了三阶环路滤波器中 H_{OL} 的 R_2 和 C_2 影响。

如前所述， R_0 和 C_0 等式假定为使用二阶环路滤波器，但在二阶滤波器中不存在 R_2 和 C_2 ，因此虽然通过调节 R_0 和 C_0 可以补偿 R_2 和 C_2 造成的相移，但是将它们看做二阶环路滤波器的一部分还是会构成一个误差源。然而，哪怕存在这样的误差，仿真结果也表明，使用经过调节的 R_0 和 C_0 值，但将 ω_0 限制在最高为等式 19 推导结果的 $1/4$ 也能获得令人满意的结果。事实上，仿真开环带宽和相位裕量的结果表明，使用三阶环路滤波器的 PLL，其与设计参数 (ω_0 和 Φ_M) 的偏差很小。

仿真结果

以下为针对三阶环路滤波器 PLL 运行四次仿真的结果。所有仿真均采用下列固定环路滤波器元件和 PLL 参数：

$$C_P = 1.5 \text{ nF}$$

$$R_2 = 165 \text{ k}\Omega$$

$$C_2 = 337 \text{ pF}$$

$$K_D = 30 \text{ }\mu\text{A}$$

$$K_V = 3072 \text{ (122.88 MHz 时为 25 ppm/V)}$$

$$N = 100$$

仿真 1 和仿真 2 使用 $\omega_0 = 100 \text{ Hz}$ ，该值接近 124.8 Hz 的计算上限值(ω_{0_MAX})。因此，仿真 1 和仿真 2 偏离设计参数值 (ω_0 和 Φ_M) 约 10%。另一方面，仿真 3 和仿真 4 使用 $\omega_0 = 35 \text{ Hz}$ ，约为上限值的 $1/4$ 。与预期相一致，仿真 3 和仿真 4 非常接近设计参数 (ω_0 和 Φ_M)，误差仅为 1% 左右。

表 1 汇总了仿真结果，并囊括了给定设计参数 ω_0 和 Φ_M 的 R_0 、 C_0 、 ω_{0_MAX} 和 Φ_{M_MAX} 计算值。注意，为了方便进行对比，建议仿真 1 和仿真 3 都使用 $\Phi_M = 80^\circ$ ，但仿真 1 必须满足等式 22 的限制条件，即 $\Phi_M < 48^\circ$ (因此，选择 42°)。

表 1: 仿真结果汇总

参数	仿真 1		仿真 2		仿真 3		仿真 4	
	ω_0	ϕ_M	ω_0	ϕ_M	ω_0	ϕ_M	ω_0	ϕ_M
设计	100 Hz	42°	100 Hz	30°	35 Hz	80°	35 Hz	30°
仿真	93.1 Hz	38.7°	92.5 Hz	27.1°	34.9 Hz	79.0°	34.7 Hz	29.3°
R_0	969.6k k Ω		1118 k Ω		240.1 k Ω		139.9 k Ω	
C_0	14.85 nF		3.670 nF		225.5 nF		21.24 nF	
ω_{0_MAX}	124.8 Hz		124.8 Hz		124.8 Hz		124.8 Hz	
ϕ_{M_MAX}	48.0°		48.0°		84.8°		84.8°	

图 4 和图 5 显示各仿真的开环和闭环响应。

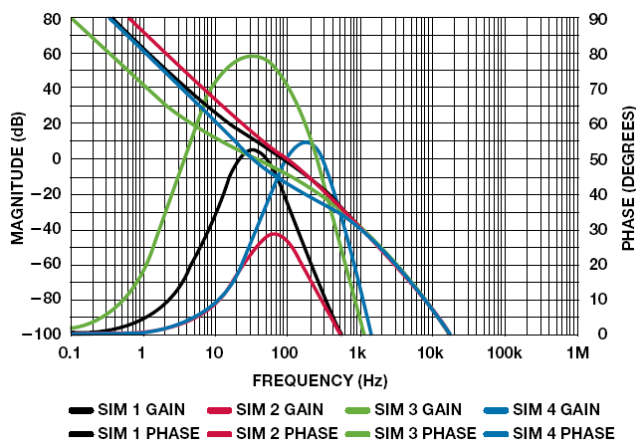


图 4. 开环增益和相位

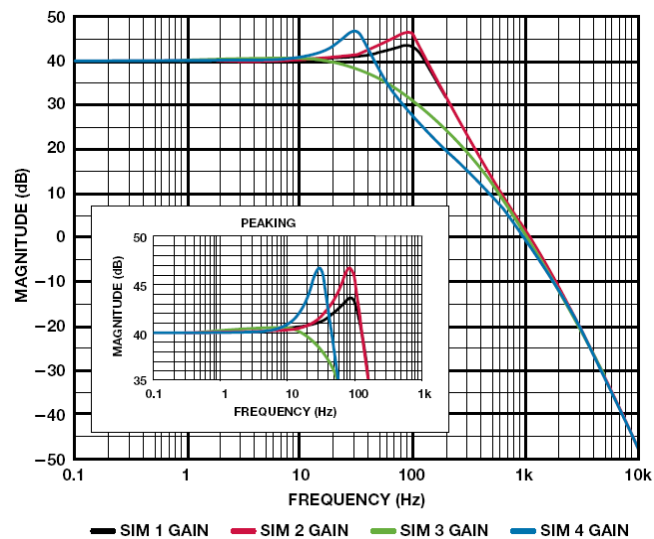


图 5. 闭环增益

附录—将非连续 Arctan 函数转换为连续 Arccos 函数

等式 10 演示了角度 ϕ 等于角度 θ_2 和角度 θ_1 之差，其中 $\theta_2 = \arctan(\omega T_2)$ ， $\theta_1 = \arctan(\omega T_1)$ 。此外， ωT_2 可以表示为 $x/1$ ； ωT_1 可以表示为 $y/1$ ：

$$\Phi = \theta_2 - \theta_1 = \arctan\left(\frac{x}{1}\right) - \arctan\left(\frac{y}{1}\right)$$

这表明两者之间存在如图 6 所示的几何关系，其中 θ_1 和 θ_2 分别由图 6 (b)和图 6 (a)的三角形定义。图 6 (c)结合了这两个三角形，表示 ϕ 等于 θ_1 和 θ_2 之差。

余弦定理将三角形的某个内角(θ)与三角形的三条边 (a、b 和 c) 相关联，关系式如下：

$$c^2 = a^2 + b^2 - 2ab \cos(\theta)$$

(θ 是 c 边的对角)

将余弦定理用在图 6 (c)的 ϕ 角，得到：

$$(x - y)^2 = \left(\sqrt{1 + x^2}\right)^2 + \left(\sqrt{1 + y^2}\right)^2 - 2\sqrt{1 + x^2}\sqrt{1 + y^2} \cos \Phi$$

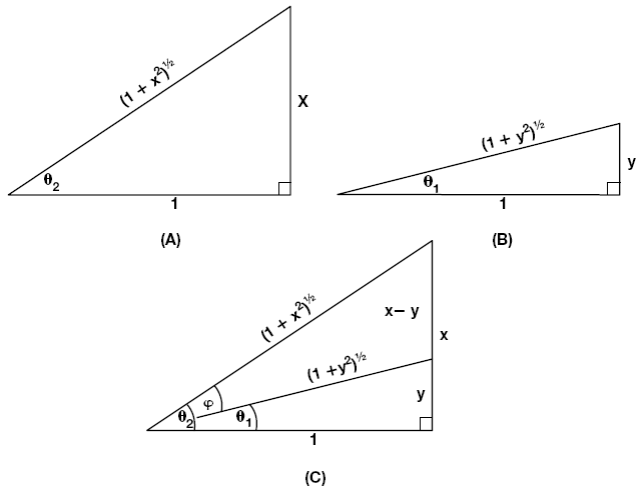


图6. 等式10的几何表示

求解 ϕ :

$$\Phi = \arccos\left(\frac{1 + xy}{\sqrt{(1 + x^2)(1 + y^2)}}\right)$$

但是, 由于 $x/1 = \omega T_2$ 且 $y/1 = \omega T_1$, 因此可用 T_1 和 T_2 来表示 ϕ 。

$$\Phi = \arccos\left(\frac{1 + \omega^2 T_1 T_2}{\sqrt{[1 + (\omega T_2)^2][1 + (\omega T_1)^2]}}\right)$$

参考文献

Brennan, Paul V. *锁相环: 原理与实践*. McGraw-Hill, 1996.

Keese, William O. AN-1001, National Semiconductor 应用笔记, *用于电荷泵锁相环的无源滤波器设计技术分析*与性能评估。1996年5月。

[MT-086: 锁相环\(PLL\)基本原理](#)

[PLL 与集成 VCO 的 PLL](#)

Ken Gentile [ken.gentile@analog.com]于 1998 年加入 ADI 公司,担任时钟与信号频率合成产品线系统设计工程师,办公地点在北卡罗来纳州格林斯博罗。他的专长是直接数字频率合成、模拟滤波器设计和编写 MATLAB 中基于 GUI 的工程工具。Ken 拥有 10 项专利。他在各种行业杂志上发表了 14 篇文章以及十几篇 ADI 应用笔记,另外还出席了 2001、2005 和 2006 年的 ADI 年度技术研讨会(GTC)。他于 1996 年毕业于北卡罗来纳州立大学,获得电气工程学士学位。业余时间, Ken 喜欢阅读、玩数学智力游戏,以及从事与科学、工程和“后院”天文学相关的大部分活动。



Ken Gentile

该作者的其它文章:

[由 DAC 谐波频谱成分重构其传递函数 \(第 43 卷, 第 1 期\)](#)

基于 FPGA 的系统提高电机控制性能

作者：Andrei Cozma 和 Eric Cigan

共享    

简介

电机在各种工业、汽车和商业领域应用广泛。电机由驱动器控制，驱动器通过改变输入功率来控制其转矩、速度和位置。高性能电机驱动器可以提高效率，实现更快速、更精确的控制。高级电机控制系统集控制算法、工业网络 and 用户接口于一体，因此需要更多处理能力来实时执行所有任务。现代电机控制系统通常利用多芯片架构来实现：数字信号处理器(DSP)执行电机控制算法，FPGA 实现高速 I/O 和网络协议，微处理器处理执行控制¹。

随着片上系统(SoC)的出现，例如集 CPU 的灵活性与 FPGA 的处理能力于一体的 Xilinx® Zynq All Programmable SoC，设计人员终于能够将电机控制功能和其他处理任务纳入单个器件中。控制算法、网络和其他处理密集型任务被分流到可编程逻辑，而管理控制、系统监控与诊断、用户接口以及调试则由处理单元处理。可编程逻辑可以包含多个并行工作的控制内核，以实现多轴机器或多重控制系统。由于在单芯片上实现了完整的控制器，因此硬件设计可以更简单、更可靠、更便宜。

近年来，在 MathWorks® Simulink®等软件建模与仿真工具的推动下，基于模型的设计已发展成为完整的设计流程——从模型创建到实现²。基于模型的设计改变了工程师和科学家的工作方式，把设计任务从实验室和现场转移到桌面。现在，包括工厂和控制器在内的整个系统都可以建模，工程师可以先调整好控制器的行

为，再将其部署到现场。这样就能降低受损风险，加速系统集成，减少对设备供货的依赖。一旦完成控制模型，Simulink 环境便可将其自动转换为由控制系统运行的 C 和 HDL 代码，节省时间并避免人工编程错误。将系统模型链接到快速原型开发环境可进一步降低风险，因为后者允许观察控制器在实际条件下会如何运作。

一个可实现更高电机控制性能的完整开发环境利用 Xilinx Zynq SoC 实现控制器，MathWorks Simulink 用于进行基于模型的设计和自动生成代码，ADI 公司的智能驱动器套件用于快速开发驱动系统原型。

Xilinx FPGA 与 SoC 电机控制解决方案

高级电机控制系统必须全面执行控制、通信和用户接口任务，每种任务都有不同的处理带宽要求和实时约束。为了实现这样的控制系统，所选的硬件平台必须鲁棒且可扩展，以便为将来的系统改进和扩张创造条件。Zynq All Programmable SoC 集高性能处理系统与可编程逻辑于一体，满足上述要求（如图 1 所示）。这种组合可提供出色的并行处理能力、实时性能、快速计算和灵活的连接。该 SoC 集成了两个 Xilinx 模数转换器(XADC)，用于监控系统或外部模拟传感器。

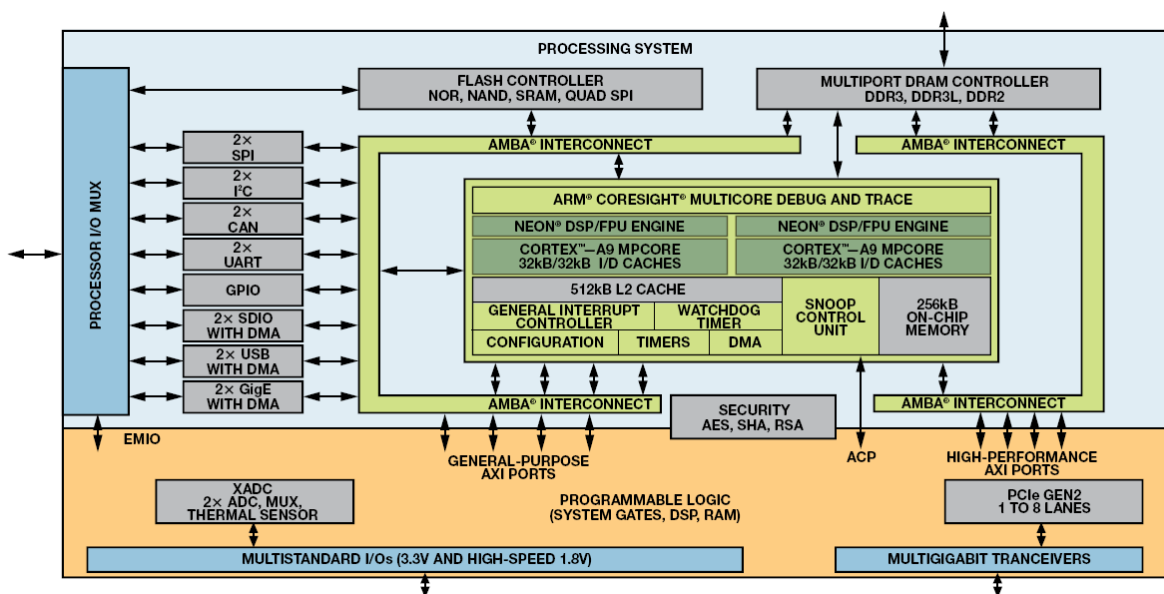


图 1. Xilinx Zynq SoC 功能框图

Zynq 包括一个双核 ARM Cortex-A9 处理器、一个 NEON 协处理器和多个用于加速软件执行的浮点扩展单元。处理系统处理管理控制、运动控制、系统管理、用户接口和远程维护等任务，这些功能非常适合通过软件实现。为了发挥系统的能力，可以采用嵌入式 Linux 或实时操作系统。可以使用自给自足的处理器，而无需配置可编程逻辑。这样，软件开发人员编写代码与硬件工程师设计 FPGA 结构可以同时进行。

在可编程逻辑方面，该器件拥有多达 444,000 个逻辑单元和 2200 个 DSP Slice，可提供巨大的处理带宽。FPGA 结构可扩展，因而用户的选择范围很广——从包含 28,000 个逻辑单元的小型器件到支持最具挑战性的信号处理应用的高端器件。5 个 AMBA-4 AXI 高速互连将可编程逻辑紧密地耦合到处理系统，提供相当于 3000 以上引脚的有效带宽。可编程逻辑适合执行时间关键的处理密集型任务，如实时工业以太网协议等，而且它支持多个控制内核并行工作，以实现多轴机器或多重控制系统。

基于 Xilinx All Programmable SoC 的解决方案和平台满足当今复杂控制算法（如磁场定向控制 FOC）和复杂调制方案（如 Xilinx 和 Qdesys 设计的再生脉冲频率调制器³）所提出的关键时序和性能要求。

利用 MathWorks Simulink 实现基于模型的设计

Simulink 是一种支持多域仿真和基于模型设计的框图环境，非常适合对包括控制算法和工厂模型的系统进行仿真。为了实现精确定位等目的，电机控制算法会调节速度、转矩和其他参数。利用仿真评估控制算法可以有效地确定电机控制设计是否合适，判断其合适后再进行昂贵的硬件测试，从而减少算法开发的时间和成本。图 2 给出了设计电机控制算法的有效工作流程：

- 构建精确的控制器和工厂模型，常常是根据电机、驱动电子、传感器和负载的资源库
- 对系统行为进行仿真以验证控制器的表现是否符合预期
- 产生 C 代码和 HDL 进行实时测试和实施

- 利用原型硬件测试控制算法
- 在原型硬件上进行仿真和测试后，如果控制系统证明令人满意，则将控制器部署到最终生产系统上

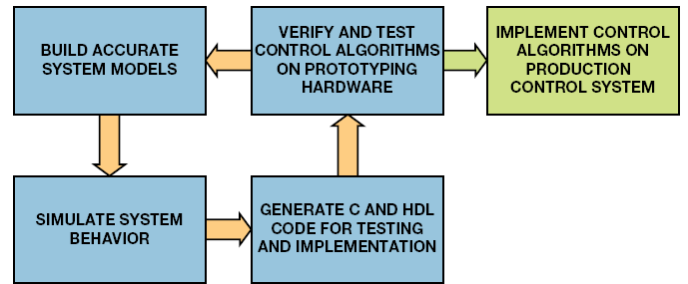


图 2. 电机控制算法设计的工作流程

MathWorks 产品包括 Control System Toolbox™、SimPowerSystems™ 和 Simscape™，提供工业标准算法和应用程序以对线性控制系统进行系统化分析、设计和调谐，此外还有元件库和分析工具，用于对机械、电气、液压和其他物理领域的各种系统进行建模和仿真。利用这些工具可以创建高保真的工厂和控制器模型，进而验证控制系统的行为和性能，成功之后方移交实际实施。该仿真环境是验证极端功能情形和工作状况的理想场所，确保控制器已为这些状况做好准备，并且其实际操作对设备和工作人员都将是安全的。

一旦控制系统在仿真环境中完成了全面验证，就可以利用嵌入式转码器和 HDL 转码工具将其转换为 C 代码和 HDL，并部署到原型硬件上进行测试，然后部署到最终生产系统上。此时要指定定点和时序行为等软硬件实施要求。自动生成代码有助于缩短从概念到实际系统实现所需的时间，消除编程错误，确保实际结果与模型相符。图 3 给出了在 Simulink 中进行电机控制器建模并将其转移到最终生产系统所需的实际步骤。

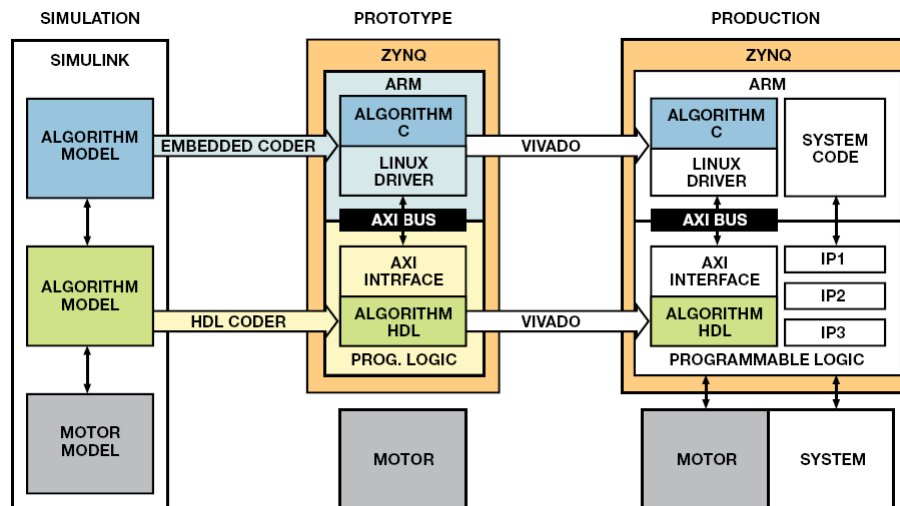


图 3. 从仿真到生产的过程

第一步是在 Simulink 中对控制器和工厂进行建模和仿真。在这一阶段，控制器算法被划分为在软件中实现的模块和在可编程逻辑中实现的模块。划分和仿真完成后，利用嵌入式转码器和 HDL 转码器将控制器模型转换为 C 代码和 HDL。基于 Zynq 的原型系统验证控制算法的性能，并且帮助进一步调谐控制器模型，然后转移到生产阶段。在生产阶段，将自动生成的 C 代码和 HDL 集成到复杂的生产系统框架中。此工作流程确保控制算法在达到生产阶段之前经过全面验证和测试，使得系统鲁棒性具有高可信度。

利用 ADI 公司智能驱动器套件快速完成原型开发

选择合适的原型开发硬件是设计过程的一个主要步骤。ADI 公司的智能驱动器套件支持快速、高效的原型开发。Avnet Zynq-7000 All Programmable SoC/Analog Devices 智能驱动器套件将 Zynq-7000 All Programmable SoC ARM 双核 Cortex-A9 + 28 nm 可编程逻辑与 ADI 公司最新一代高精度数据转换器和数字隔离相结合，可实现高性能电机控制和双通道千兆以太网工业网络连接。该套件带有 Avnet ZedBoard 7020 基板和 ADI 公司的 AD-FMCMOTCON1-EBZ 模块，构成一个完整的驱动系统，能够高效控制多种类型的电机。另外，该套件可以利用 ADI 公司的 AD-DYNO1-EBZ 测功器驱动系统进行扩展，后者是一个动态可调的负载，用来测试实时电机控制性能。AD-FMCMOTCON1-EBZ 模块由控制器和驱动板组成，如图 4 所示。

控制板是一个混合信号 FPGA 夹层卡 (FMC)，可利用低引脚数 (LPC) 或高引脚数 (HPC) FMC 连接器连接到任何 Xilinx FPGA 或 SoC 平台。它具有以下特性：

- 利用隔离式 ADC 测量电流和电压
- 隔离式 Xilinx XADC 接口
- 完全隔离的数字控制和反馈信号
- 霍尔、差分霍尔、编码器和旋变器接口
- 2 个千兆以太网物理层，支持 EtherCAT、ProfiNET、Ethernet/IP 或 Powerlink 等高速工业通信协议
- FMC 信号电压自适应接口，支持在所有 FMC 电压电平上无缝工作

隔离是任何电机控制系统的—个关键方面，其目的是保护控制器和用户。控制板上模拟和数字信号的完全隔离，确保 FPGA 平台永远不受电机驱动侧可能产生的危险电压影响。

驱动板包含驱动电机以及电流电压检测与保护电路所需的全部电源电子。该板具有以下特性：

- 以最大 18 A 电流驱动 12 V 至 48 V 范围的 BLDC (无刷直流) /PMSM (永磁同步电机) /有刷直流/步进电机
- 动态制动功能和集成式过流与反向电压保护
- 利用隔离式 ADC 测量相电流；可编程增益放大器使电流测量输入范围达到最大
- 向控制板提供直流总线电压、相电流和总电流反馈信号
- 集成 BEMF 过零检测，用于实现 PMSM 或 BLDC 电机的无传感器控制

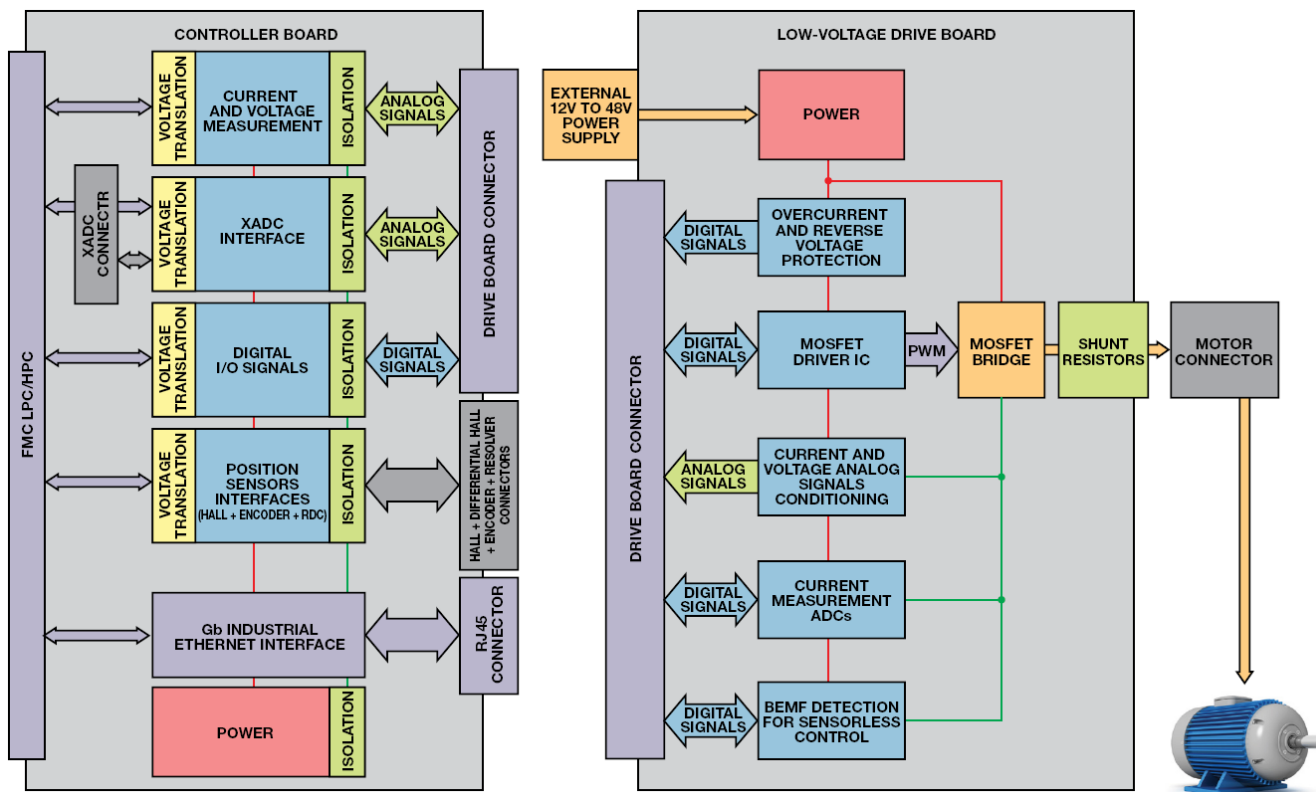


图 4. AD-FMCMOTCON1-EBZ 功能框图

测功器是一个动态可调的负载，可用于测试实时电机控制性能。由两台 BLDC 电机通过刚性连接直接耦合而成。其中一台 BLDC 电机用作负载，由测功器的嵌入式控制系统控制，而另一台由 ADI 公司的智能驱动器套件驱动，如图 5 所示。该系统配有一个用户界面，用于显示有关负载电流和速度的信息，并支持设置不同的负载曲线。要实现外部控制，可利用 Analog Discovery USB 示波器捕捉负载信号；要从 MATLAB® 直接控制，可使用 MathWorks Instrument Control Toolbox™。

电机电流和电压测量的质量对电机控制系统的性能有很大影响。通过利用高性能模拟信号调理器件和 ADC，ADI 公司智能驱动器套件提供精密电流和电压测量。测量路径分为控制器和驱动板两部分，如图 6 所示。

相电流通过测量分流电阻上的电压来检测。取决于 ADC 是否靠近分流电阻，有两条可能的测量路径可以获得最高测量精度。如

果 ADC 靠近分流电阻，则信号路径非常短，不易受到噪声耦合影响。分流电阻上的小差分电压由隔离式 Σ - Δ 调制器 AD7401 直接测量，而无需其他接口和信号调理电路。如果 ADC 远离分流电阻，则信号路径很长，容易受到噪声耦合影响，尤其是电源开关噪声和电机的噪声耦合。必须采取特别措施确保 ADC 与分流电阻之间的 PCB 走线和信号调理电路受到适当的屏蔽。分流电阻上的小差分电压被驱动板上的差动放大器 AD8207 放大，后者置于分流电阻附近以避免噪声耦合。信号从 ± 125 mV 满量程输入范围放大至 ± 2.5 V 范围，以最大程度地降低耦合噪声的影响。放大后的信号又经过一个采用可编程增益仪表放大器(PGIA) AD8251 的放大级，以确保 ADC 始终接收到经过适当缩放以适应输入范围的输入信号。放大后的模拟信号经过连接器进入控制板。连接器会屏蔽每个模拟信号，以降低噪声耦合影响。来自驱动板的模拟信号利用运算放大器 ADA4084-2 重新转换到 AD7401 输入范围。

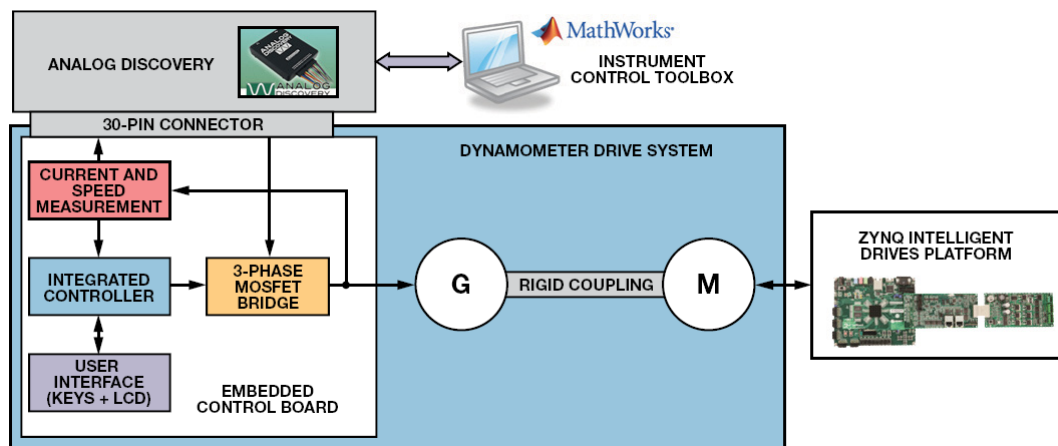


图 5. 测功器驱动系统

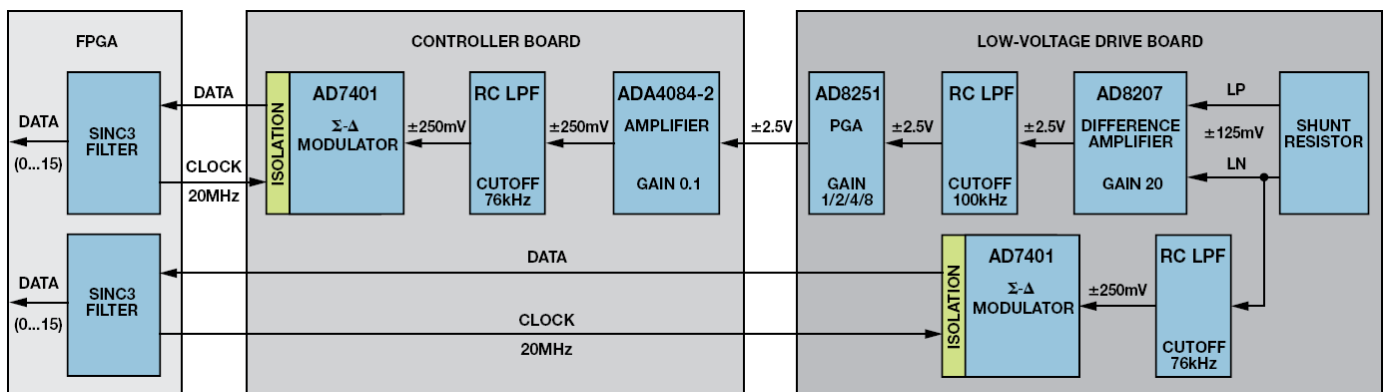


图 6. 相电流信号链

电流和电压反馈信号链中的最重要器件是二阶隔离式 Σ - Δ 调制器 AD7401A。这款高性能 ADC 具有 16 位分辨率（无失码）、13.3 有效位数(ENOB)和 83 dB SNR。2 线数字接口包括一个 20 MHz 时钟输入和一个 1 位数字位流输出。ADC 输出利用 sinc^3 数字滤波器重构。数据手册中提供了一个针对 16 位输出和 78 kHz 采样速率的滤波器模型和 HDL 实现方案。输出分辨率和采样速率可通过改变滤波器模型和抽取来控制。78 kHz 采样速率对许多应用可能是足够的，但某些情况需要更高的速率。这些情况下，可利用图 7 所示的滤波器库来将系统采样速率提至最高 10 MSPS（真 16 位数据）。滤波器库包含 n 个 sinc^3 滤波器，其采样时钟延迟 T （即 sinc^3 滤波器传播时间除以 n ）的倍数。数据选择器以周期 T 输出 ADC 码。

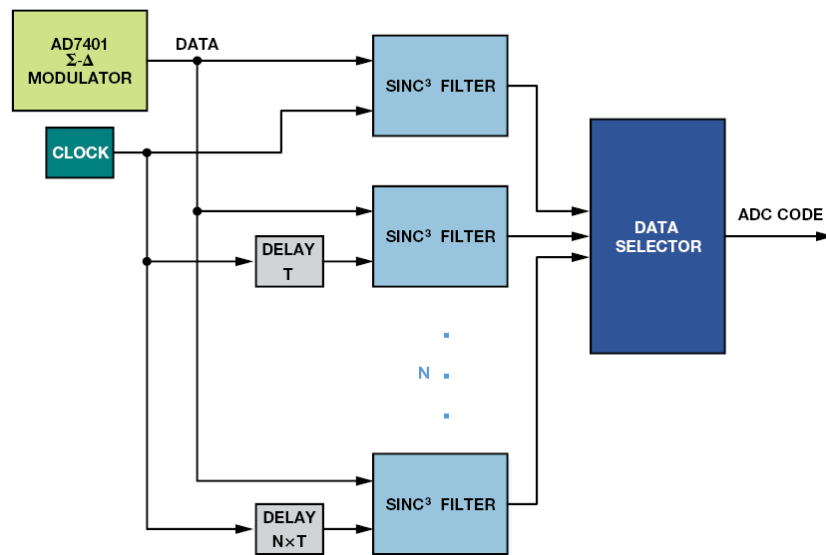


图 7. 滤波器库

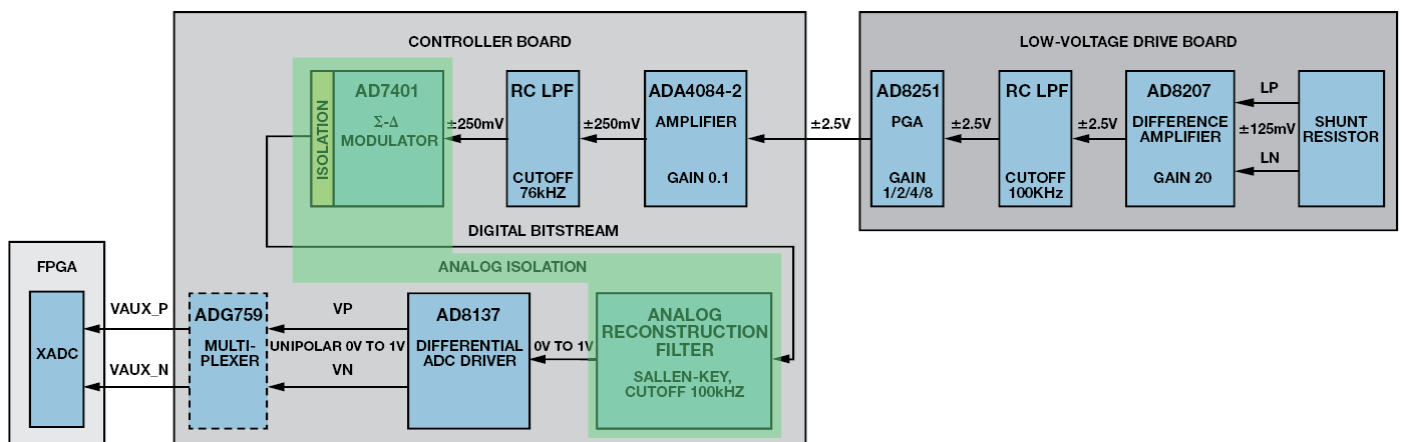


图 8. XADC 信号测量链

可以利用两个控制器模型（一个六步控制器和一个 PMSM 磁场定向控制器）来启动设计过程。图 9 显示了这两个控制器的高级视图。六步控制器实现一个用于 BLDC 电机的梯形控制器；FOC 控制器提供一个 FOC 内核以便集成到控制系统中。

工厂和控制器模型在仿真阶段创建，通过完整系统的行为仿真来验证控制器符合预期。控制器模型划分为由 C 代码和 HDL 实现的多个部分，并指定时序、定点实现、采样速率和环路时间等约束条件以确保控制器模型的行为与在硬件实现中一样。图 10 显示了六步控制器的软件和 HDL 划分。

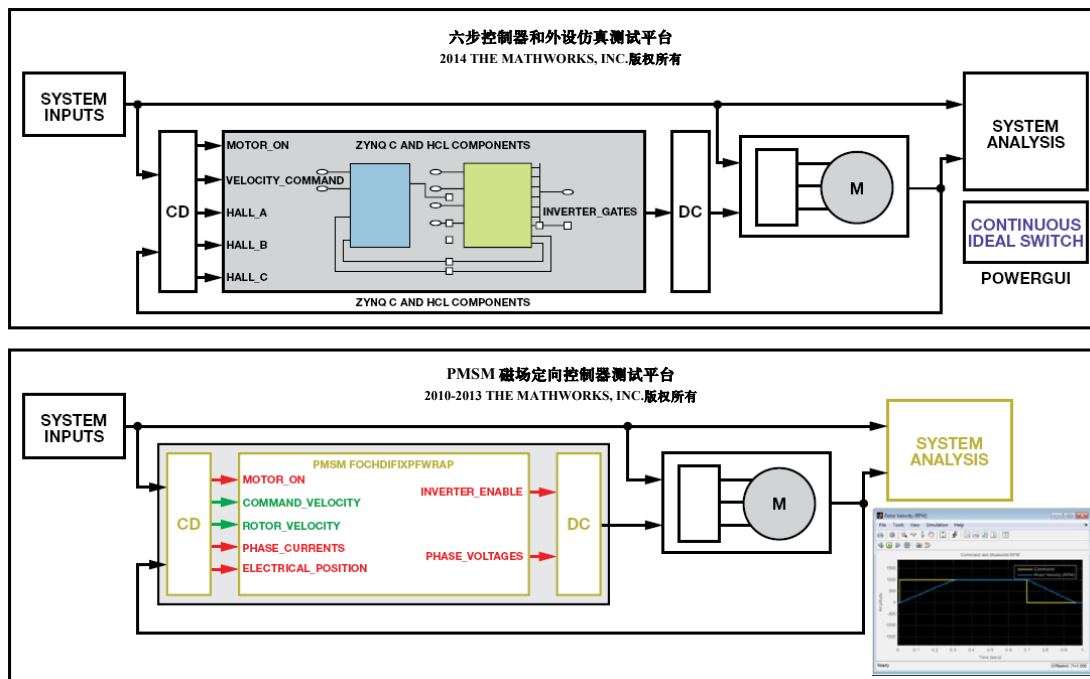


图 9. Simulink 控制器模型

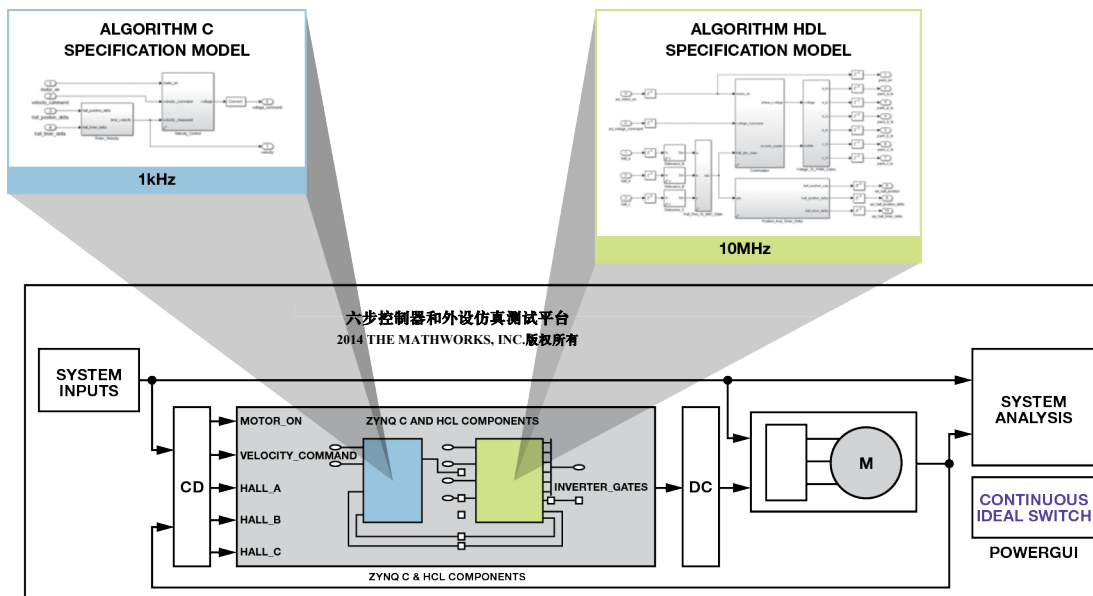


图 10. 控制器的 C 代码和 HDL 划分

一旦控制器在仿真中经过全面验证，下一步便是在硬件平台上制作原型。针对 ARM 内核和可编程逻辑，Zynq SoC 引导工作流程从划分为多个子系统的 Simulink 模型产生 C 代码和 HDL。利用此工作流程，HDL 转码器生成针对可编程逻辑的 HDL，嵌入式转码器则生成针对 ARM 的 C 代码。MathWorks Zynq 支持包支持从模型生成由算法 C 代码组成的 ARM 可执行文件（与 AXI 总线接口），并支持从模型生成由 HDL 代码组成的位流（与可编程逻辑引脚和 AXI 总线接口）。图 11 显示了控制器实现及其与 ADI 智能驱动器硬件的关系。

一旦将位流和可执行文件加载到硬件中，就可以开始控制器的运行测试。利用 Simulink 与运行开源 Linux OS 的嵌入式系统之间的以太网链路执行硬件在环(HIL)测试。轴转速等电机参数可以在 Simulink 中捕捉，并与仿真结果相比较，确保实际系统实现与模型相符。一旦控制算法测试完毕，便可将控制器转移到生产系统上。

除了智能驱动器套件以外，ADI 公司还提供完整的 Vivado 框架和 Linux 基础设施以用于原型开发和最终生产。图 12 显示了支持智能驱动器套件的 Zynq 基础设施。该高级框图说明了 ADI 参考设计在 Xilinx Zynq SoC 上是如何划分的。可编程逻辑实现 IP 内核，用于与 ADC、位置传感器和电机驱动级接口。由 HDL 转码器生成的 HDL 代表电机控制算法，集成到 ADI 公司 IP 中。所有 IP 都有低速 AXI-Lite 接口用于配置和控制，并有高速 AXI-Streaming 接口用于通过 DMA 通道向软件传输实时数据。高速以太网接口可以利用 ARM 处理系统的硬 MAC 外设或可编程逻辑中的 Xilinx 以太网 IP 实现。

ARM Cortex A9 处理系统运行 ADI 公司提供的 Ubuntu Linux，其中包括：与 ADI 公司智能驱动器硬件接口所需的 Linux IIO 驱动，用于监测和控制的 IIO Oscilloscope（示波器）用户空间应用程序，支持实时数据采集和通过 TCP 控制系统的 libiio 服务器，在远程计算机上运行的客户端，以及整合嵌入式转码器所生成 C 代码的可选用户应用程序。

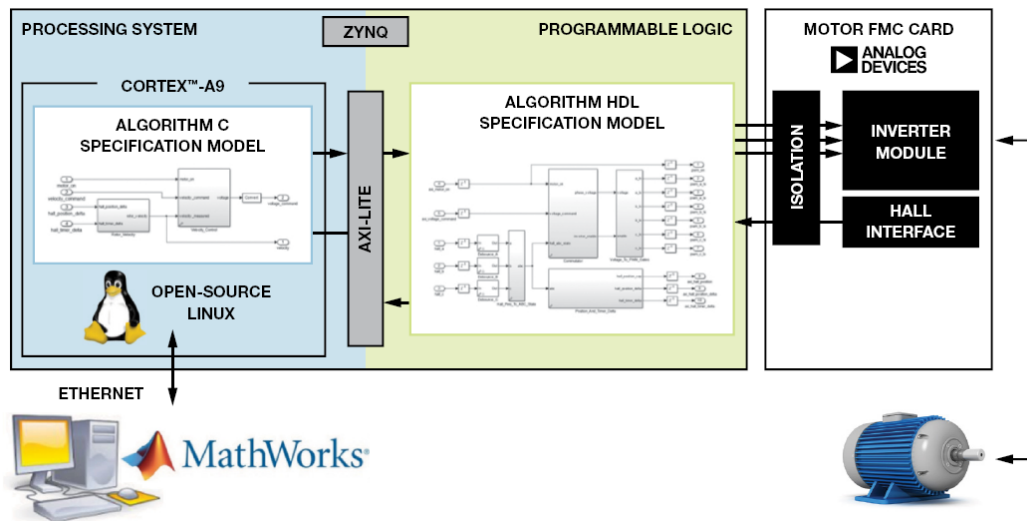


图 11. 原型系统上的控制器实现

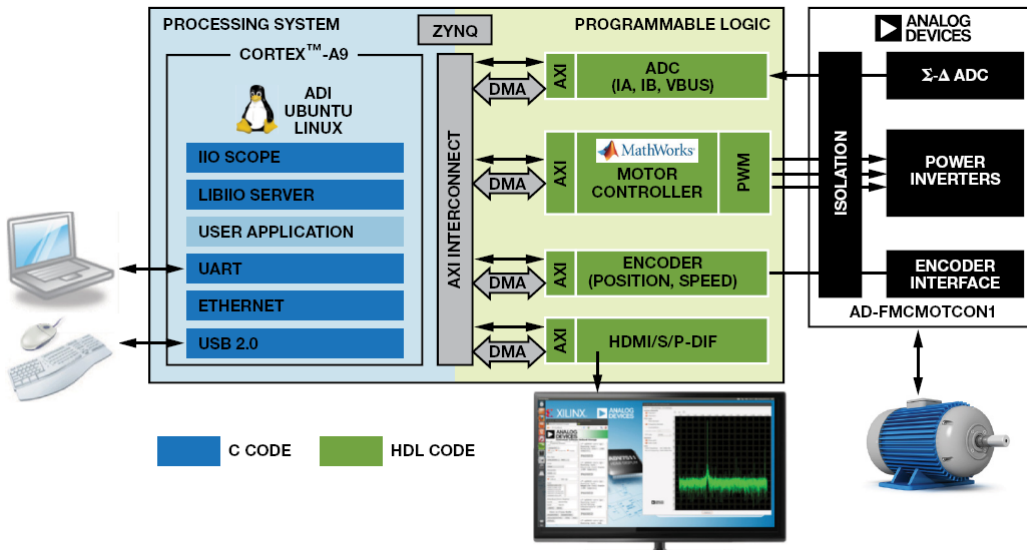


图 12. ADI Linux 基础设施

所有 ADI Linux 驱动均基于 Linux 工业 I/O (IIO)子系统, 其现已包括在所有主流 Linux 内核中。IIO Scope 是 ADI 公司开发的一款开源 Linux 应用程序, 运行在 Xilinx Zynq 中的双核 ARM Cortex A9 上, 能够显示连接到 Xilinx Zynq 平台的 ADI FMC 卡所获取的实时数据。这些数据可以在时域中、频域中或以星座图的形式显示。支持以不同的常用文件格式(如逗号分隔值或 mat Matlab 文件等)保存所捕获的数据以供进一步分析。IIO Scope 提供一个图形用户界面, 用于更改或读取 ADI FMC 卡的配置。

libio 服务器支持实时数据采集、通过 TCP 控制系统以及运行于远程计算机上的客户端。服务器运行于 Linux 下的嵌入式目标上, 通过 TCP 管理目标与远程客户端之间的实时数据交换。IIO 客户端可以作为系统对象集成到 MATLAB 和 Simulink 原生应用程序中。一路 HDMI 输出用于在监视器上显示 Linux 界面, 鼠标和键盘可通过 USB 2.0 端口连接到系统。

ADI 公司为智能驱动器套件提供的 Linux 软件和 HDL 基础设施, 连同 MathWorks 和 Xilinx 提供的工具, 非常适合开发电机控制应用原型。它们还包含适用于生产的组件, 可将其集成到最终控制系统中, 从而减少从概念到生产所需的时间和成本。

结论

本文说明了采用 FPGA 的现代电机控制系统的要求和趋势, 以及为满足这些约束条件和帮助实现更高效、更精确的电机控制解决

方案, MathWorks、Xilinx 和 ADI 公司带给市场的工具和系统。通过将 MathWorks 基于模型的设计和自动生成代码工具与强大的 Xilinx Zynq SoC、ADI 公司的隔离、功率、信号调理和测量解决方案相结合, 电机驱动系统的设计、验证、测试和实现可以比以前更有效率, 进而提高电机控制性能并缩短上市时间。ADI 公司智能驱动器套件与 Avnet Zynq-7000 All Programmable SoC 配合使用, 为利用 MathWorks Simulink 设计的电机控制算法提供出色的原型开发环境。该智能驱动器套件带有一组参考设计⁴, 旨在为所有希望评估该系统的人士提供一个起点, 并且帮助启动任何新的电机控制项目。

参考文献

1. Hill, Tom. “借助 Matlab 将电机驱动迁移到 Zynq SoC 设计中。” *Xcell 杂志*, 87 期, 2014 年第二季度。
2. Dara O’ Sullivan、Jens Sorensen 和 Aengus Murray “闭环电机控制中基于模型的设计工具。” *PCIM Europe*, 2014.
3. Corradi, Dr. Giulio. “频率空间矢量调制—第一部分。” *EDN 网络*, 2012 年 10 月 4 日。
4. AD-FMCMOTCON1-EBZ 用户指南。

Andrei Cozma [andrei.cozma@analog.com]是 ADI 公司工程设计经理, 负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与了电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

Eric Cigan [Eric.Cigan@mathworks.com]在 MathWorks 从事技术营销工作, 负责支持 SoC 和 FPGA 设计工作流程。加入 MathWorks 之前, 他先后在 MathStar、AccelChip 和 Mentor Graphics 从事技术营销工作。Eric 拥有麻省理工学院机械工程学士学位和硕士学位。



Eric Cigan

IC 上电和关断

现代集成电路采用精密复杂的电路来确保其开启后进入已知状态，保留存储器内容，快速引导，并且在关断时节省功耗。本文分两部分，提供有关使用上电复位和关断功能的一些建议。

上电复位

作者：Miguel Usach Merino

共享    

简介

许多 IC 都包含上电复位(POR)电路，其作用是保证在施加电源后，模拟和数字模块初始化至已知状态。基本 POR 功能会产生一个内部复位脉冲以避免“竞争”现象，并使器件保持静态，直至电源电压达到一个能保证正常工作的阈值。注意，此阈值电压不同于数据手册中给出的最小电源电压。一旦电源电压达到阈值电压，POR 电路就会释放内部复位信号，状态机开始初始化器件。在初始化完成之前，器件应当忽略外部信号，包括传输的数据。唯一例外是复位引脚（如有），它会利用 POR 信号内部选通。POR 电路可以表示为窗口比较器，如图 1 所示。比较器电平 V_{T2} 在电路设计期间定义，取决于器件的工作电压和制程尺寸。

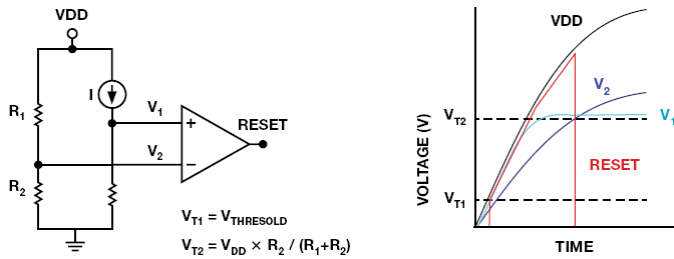


图1. 简化的 POR 电路

POR 策略

比较器窗口通常由数字电源电平定义。数字模块控制模拟模块，数字模块全面工作所需的电压与模拟模块工作所需的最小电压相似，如图 2 所示。

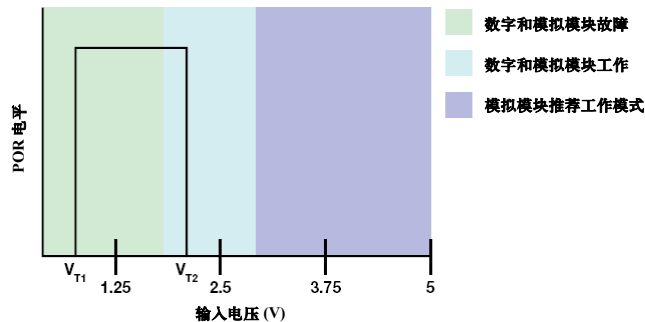


图2. POR 阈值电压

较高的 V_{T2} 阈值对模拟模块会更好，但若过于接近推荐最小电源电压，当电压略微降低时，可能会意外触发复位。如果器件包括独立的模拟电源和数字电源，则避免故障的一种策略是增加一个 POR 电路，使两个模块保持复位状态，直至电源电压高到足以确保电路正常工作。例如，在一种 3 V IC 工艺中， $V_{T1} \approx 0.8 \text{ V}$ ， $V_{T2} \approx 1.6 \text{ V}$ 。

这些电压会随着制程以及其他设计偏移而变化，但它们是合理的近似值。阈值容差可以是 20%或更大，某些旧式设计的容差高达 40%。高容差与功耗相关。POR 必须一直使能，因此精度与功耗之间始终存在的取舍关系很重要；较高的精度会提高电路在待机模式下的功耗，而对功能性并无实际意义。

掉电检测器

POR 电路有时会集成一个掉电检测器(BOD)，用于防止电路在电压非常短暂地意外降低时发生复位，从而避免故障。实际上，掉电电路给 POR 模块所定义的阈值电压增加了迟滞，通常为 300 mV 左右。BOD 保证，当电源电压降至 V_{T2} 以下时，POR 不会产生复位脉冲，除非电源电压降至另一阈值 V_{BOD} 以下，如图 3 所示。

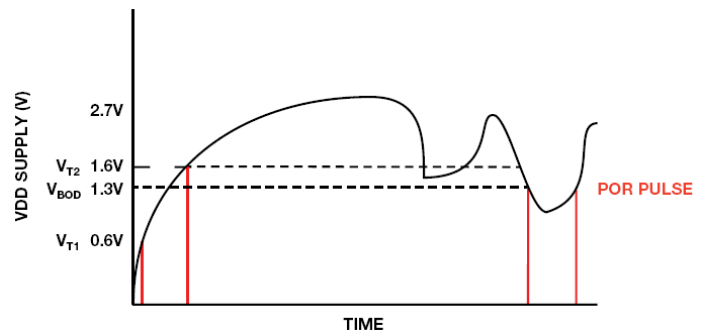


图3. 掉电检测器

掉电阈值电平足以保证数字电路保留信息，但不足以保证其正常工作。这样，控制器可以在电源降至某一电平以下时中止活动而不会让整个器件都重新初始化，如果电源电平只是非常短暂地降低的话。

器件正确上电

实际的 POR 电路比图 1 所示的简化版本要复杂得多，例如用 MOS 晶体管代替电阻。因此，必须考虑寄生模型。另外，POR 电路需要一个启动模块来产生启动脉冲，这在某些情况下可能会失效。其他重要考虑在以下内容中说明。

必须使用单调性电源，因为若使用非单调性电源，当偏差接近任何阈值电平时，非单调性斜坡可能会引起问题。较高的阈值偏差会引起同样的非单调性序列对某一个元件有效，而对其他元件无效，如图 4 所示。

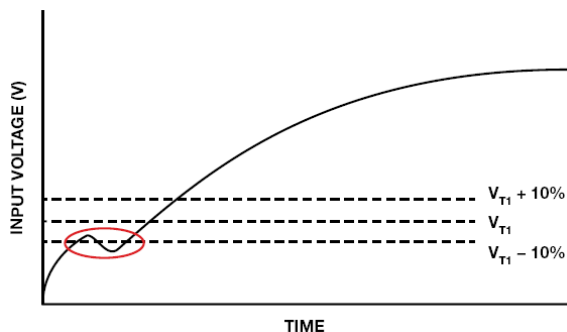


图 4. 非单调性电源斜坡

某些时候，即使断开电源（禁用 LDO），储能电容也会保留一定的残余电压，如图 5 所示。此电压应尽可能小，以便保证电源能降至 V_{T1} 以下，否则 POR 将无法正确复位，器件将无法正确初始化。

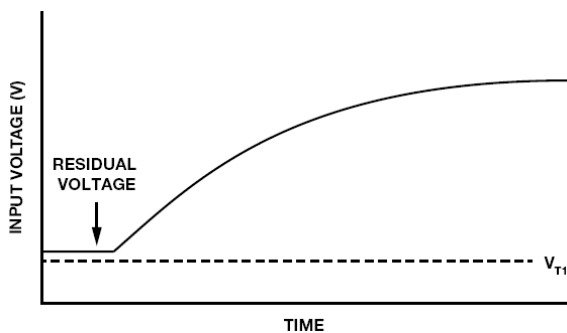


图 5. 残余电压

某些数据手册给出了应当应用于具有一个以上电源引脚的器件的推荐供电序列。遵守这个序列是很重要的。例如，想想一个具有两个独立电源的器件。推荐供电序列要求数字电源先于模拟电源供电（这是常规，因为数字模块控制模拟模块，所以必须首先为数字模块供电），该模块必须首先初始化。哪个电源首先开始上

升不重要，但数字电源必须先于模拟电源跨过阈值，如图 6 所示。如果电源之间的延迟为 100 μs 左右，则影响应当很小，器件应能正确初始化。

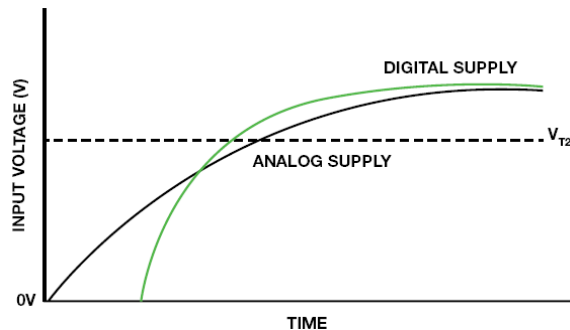


图 6. 推荐供电序列

由于内部三极管寄生效应，数百 ms 的慢速电源斜坡可能会引起问题。POR 电路要在各种压摆率下进行评估，以保证其在正常电源条件下能正确工作。数据手册会说明是否需要快速电源斜坡（100 μs 或更短）。

例如，对于用细电缆连接电源的电路板，不良的接地连接会具有高阻抗，它可能会在上电期间产生毛刺。另外，在某些电磁环境(EME)下，MOS 晶体管的寄生栅极电容可能会充电，导致晶体管不能正常工作，除非让该电容放电。这可能引起 POR 初始化失败。

漂移和容差也需要考虑。某些情况下，电容等分立元件具有高容差（高达 40%）和高漂移（随温度、电压和时间的漂移）。此外，阈值电压具有负温度系数。例如， V_{T1} 在室温下为 0.8 V，在 -40°C 下为 0.9 V，在 $+105^\circ\text{C}$ 为 0.7 V。

结论

本文讨论了电路板上电时可能引发系统问题的一些常见问题，并说明了保证电路板正确初始化的基本原则。电源常常被忽视，但其最终电压精度和过渡行为均很重要。

参考文献

“深入了解 digiPOT 规格与架构，提升交流性能。” *模拟对话*，第 45 卷第 3 期

断电还是关断？

作者：Dushyant Juneja

“当然是关断！”对这个问题感到吃惊的人会大声说道。其他人可能会寻思二者有何差异。关断模式常常会保留存储器内容，启

动时间更短，漏电流超低，而如果切断电源，这一切都不复存在。但是，假如不需要这些特性呢？设计人员会让电源保持稳定并使用关断模式而浪费电源吗？为何不能简单地通过切断电源来降低漏电流？关断模式是否存在一些基本的深层次的要求？感到迷惑不解？请看下文。

诱惑与风险

现代系统包含丰富的特性，这是通过多层次的复杂设计实现的，常常涉及到不止一个芯片。功耗是很多应用都关心的，诸如便携式医疗设备，因此这些芯片常常包含一种或多种关断模式。这些模式提供存储器内容保留、外设使用和快速开启等特性，而消耗的电源电流非常少。另一种方法是完全关断电源。这会完全切断芯片的电源，不允许任何电流进入电源引脚。虽然能够降低功耗，但这种方法存在一些严重的副作用。

考虑一个包括多个芯片的复杂系统，这些芯片通过多路复用总线相连。如果该系统设计用于功耗受限的应用，简单地切断未使用的芯片电源似乎有利可图，尤其是在不需要关断模式提供的其他特性的时候。切断电源可降低漏电流，但没有电源时，引脚对输入信号可能起到低阻抗节点的作用，导致不可预测的操作和潜在的系统级威胁。虽然断电选项可能很诱人，但关断模式对复杂系统有着根本上的好处：它使各芯片处于已知的、希望的状态，即使芯片在低功耗与高性能模式之间循环，也能维持安全可靠的操作。详细情况可通过考察一个 I/O 节点来了解。

简单示例

图 7 中的引脚连接到一个复用节点，其操作由一个经验证的系统架构设定。作为 I/O 引脚，它同时拥有输入和输出功能。

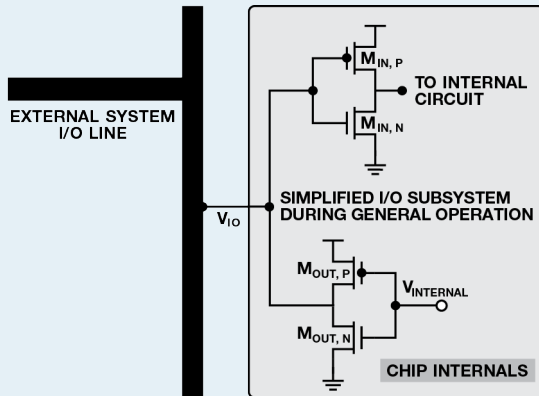


图 7. 简化的 I/O 电路

不考虑功率开关所用器件的问题，断开此芯片的电源（假设不需要任何芯片操作）将导致图 8 所示的情况，芯片内核到处都是未知状态。在最坏情况下，浮置栅极输出器件（ $M_{OUT, p}$ 和 $M_{OUT, n}$ ）可能会在休眠时暴露于意想不到的外部电压下。对于本例所示的 CMOS I/O，这可能产生一个经由 NMOS 漏极连接的接地低阻抗连接（红色亮显）。高电流将导致前一级的驱动能力透支，从而损害芯片中的 MOS 电路，甚至芯片本身。即使未损害系统，其性能也会降低。

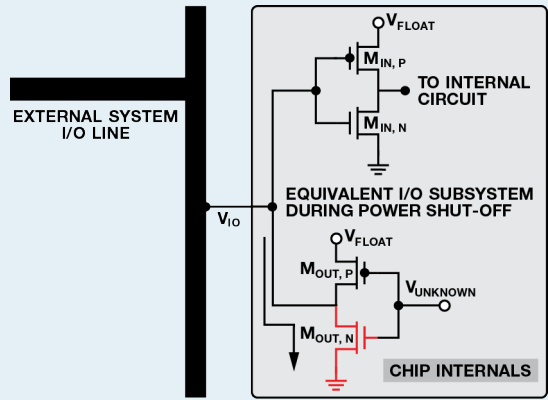


图 8. 断电模式下的 I/O 电路。注意内部栅极处于未知状态。

关断模式

关断模式为芯片提供额外的一重保护，可防范上述意外工作状态。实现方式会因不同的模式、产品系列和供应商而异，但重点是在芯片内核休眠时提供安全的 I/O 边界，维持已知的、可信赖的低功耗状态。好处是系统器件之间的 I/O 操作（例如通过系统级多路复用总线）不会威胁到休眠中的器件。一个实现方案是在低功耗模式下将 I/O 引脚置于高阻态，使连接到边界引脚的内部节点处于已精确定义的状态。图 9 显示了一个简化的实现方案。信号对内部电路无影响，从根本上保证其安全。其他实现方案（例如浅休眠模式）也可以让 I/O 外设保持上电，同时确保在关断模式期间芯片外设与内核之间的操作得到验证。这使得芯片在保持低功耗的同时，能够处理激活状态下的使用情形。此外，该系统降低了功率开关的成本；如若不然，将需要使用一个很大的低电阻器件，其漏电流和导通状态功耗均会相当大。

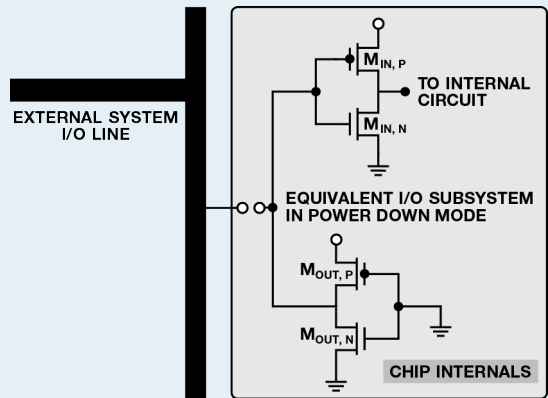


图 9. 关断模式下的 I/O 电路。注意所有内部节点都已精确定义。

关断模式因芯片和供应商而异，因此，“浅休眠模式”之类名称的含义并不总是相同。有些支持保留存储器内容，有些则提供更多的中断数或其他类似特性。与完全断电相比，这些模式的一个突出优势是可以缩短系统响应时间。有些电路提供单独的 I/O 电源和内核电源。这种分离的一个优点是，电路板设计人员可以切断内核电源以降低漏电流，而 I/O 则保持上电。强烈建议一定要从产品数据手册获得准确的详细信息，确保所需的特性和保护方法受到产品的支持。

尺寸不断缩小的影响

作为器件尺寸缩小的自然后果，现代 IC 工艺技术提供更高密度的封装，使得关断模式的优化使用越来越重要。不过，这也降低了器件的压力处理能力。例如，28nm 器件的栅极氧化物就比相应的 180nm 器件要薄。这样，断电模式下栅极电压所施加的压力更有可能损坏较小的器件。此外，布局相关的参数也可能导致尺寸较小的器件发生灾难性故障。

所有这些影响使得关断模式对现代器件越来越有吸引力。现代芯片充盈着各种特性，包括成百上千万的元件；如果保持开启，每个器件都可能产生漏电流。优化特性使用并关断芯片中不使用的部分，可以消除其中的大部分漏电流。然而用户应该确保供应商明确支持这些模式，而不要试图自行开发关断功能。

更多情形

关于关断的完整拼图还缺几片。如果同时切断接地连接（这将形成另一条低阻抗路径）会怎样？这与直接驱动 I/O 引脚而不使电源的 ESD 情况相似，如果信号足够强，可能会触发 ESD 保护结构，导致高电流流经其他相连的 I/O 引脚，产生假上电情况。更有可能的情况是信号稍弱一点，但仍然强到足以通过一条路径（如 I/O 箝位）抵达电源。信号可能无法触发电源箝位，但会在电源上引起意想不到的虚电压，从而造成未知工作状态，具体情形取决于芯片的拓扑结构。任一情况下，如果电路状态持续如此，则芯片可能受损，除非前一级已经停止供应高电流。如果信号强度不足以触发 I/O 箝位，它仍可能会对所遇到的第一个晶体管施压，长时间操作后可能会损坏该晶体管。

如果断开电源并拉低电源输入呢？这种情况下，芯片无浮动电源，不可能触发任何 ESD 结构，但 PMOS 漏极电压可能高于主体电压，使漏极-主体二极管正偏。这样，来自前一级的电流将经过 PMOS 器件流至地，直至器件烧毁、前一级停止提供电流或设计人员注意到报警。

结论

关断模式使得系统级响应更快速、更安全，因而是不可缺少的特性，尤其是在考察复杂系统中的完整信号链时。如果器件之间的交互很有限，或者系统整体很简单，足以确保不会出现复杂情况，则可以考虑完全切断电源。

Miguel Usach Merino [miguel.usach@analog.com]，获瓦伦西亚大学电子工程学位。2008 年加入 ADI 公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其它文章：
[深入了解 digiPOT 规格与架构，提升交流性能](#)
第 45 卷，第 3 期

Dushyant Juneja [dushyant.juneja@analog.com]是 ADI 公司的一名 CAD 工程师，主要从事 AMS 设计的 AMS 验证、行为建模和 ESD 保护。2012 年获印度理工学院卡拉普尔分校仪器工程硕士学位，2010 年获印度理工学院(BHU)电气工程学士学位。



Dushyant Juneja

利用电容-数字转换器检测液位

作者：Jiayuan Wang

共享    

简介

输液和输血等程序要求监控液体的确切数量，因此这些应用需要采用精确、易于实施的方法来实现液位的检测。本文描述 24 位电容-数字转换器和液位检测技术，可通过测量电容对液位进行高性能检测。

电容测量基础知识

电容是物体存储电荷的能力。电容 C 定义如下：

$$C = \frac{Q}{V}$$

其中， Q 是电容上的电荷， V 是电容上的电压。

在图 1 所示电容中，两个面积为 A 的平行金属板间距为 d 。电容 C 为：

$$C = \epsilon_0 \times \epsilon_R \frac{A}{d}$$

其中

- C 是电容，单位为 F
- A 是两块板的重叠面积， $A = a \times b$
- d 是两块板之间的距离
- ϵ_R 是相对介电常数
- ϵ_0 是自由空间的介电常数 ($\epsilon_0 \approx 8.854 \times 10^{-12} \text{ F m}^{-1}$)

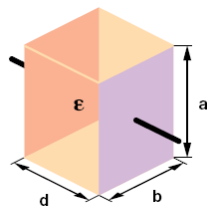


图 1. 两块平行板的电容

电容数字转换器(CDC)

单通道 AD7745 和双通道 AD7746 均为高分辨率 Σ - Δ 型电容-数字转换器，可测量直接连接输入端的电容。这些器件具有高分辨率（21 位有效分辨率和 24 位无失码）、高线性度 ($\pm 0.01\%$) 和高精度（出厂校准至 $\pm 4 \text{ fF}$ ），非常适合检测液位、位置、压力和其他物理参数。

这些器件具有完整的功能，电容输入端集成多路复用器、激励源、用于电容 DAC、温度传感器、基准电压源、时钟发生器、控制和校准逻辑、I²C 兼容型串行接口以及高精度转换器内核，该内核集成二阶 Σ - Δ 型电荷平衡调制器和三阶数字滤波器。转换器用作电容输入的 CDC 和电压输入的 ADC。

所测电容 C_x 连接在激励源和 Σ - Δ 型调制器输入端之间。转换期间在 C_x 上施加方波激励信号。调制器会不间断地对流过 C_x 的电荷进行采样，并将其转换为 0 和 1 的流。调制器输出 1 的密度经数字滤波器处理，确定电容值。滤波器输出通过校准系数缩放调节。然后，外部主机便可通过串行接口读取最终值。

图 2 中的四个配置显示了单端、差分、接地和浮动式传感器应用中 CDC 如何检测电容。

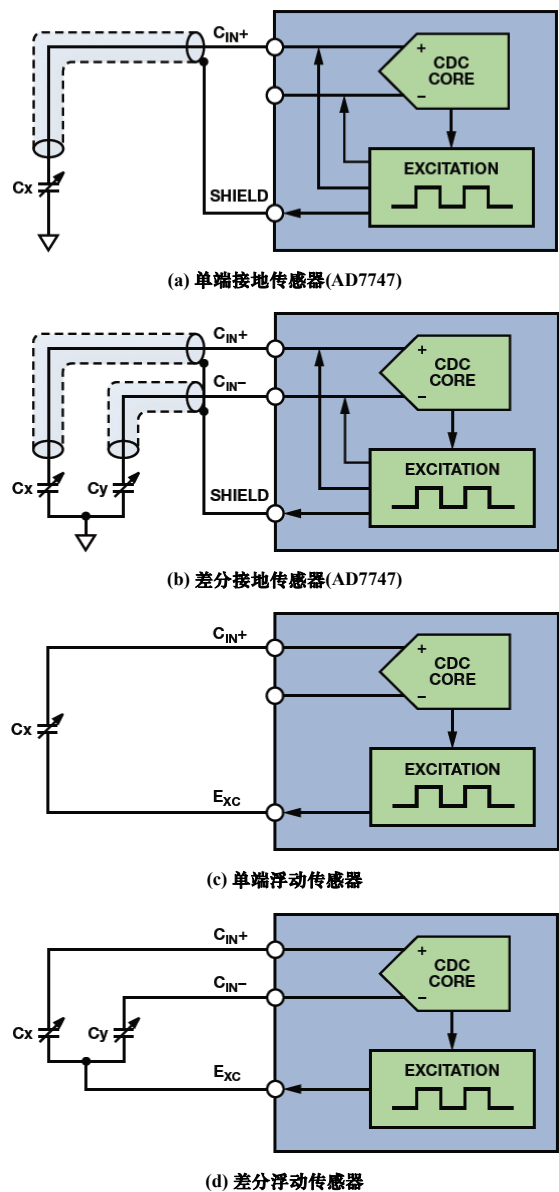


图 2. 单端、差分、接地和浮动传感器应用中的配置

电容式液位检测技术

一种简单的液位监控技术是将平行板电容器浸入液体中，如图 3 所示。随着液位变化，板之间的电介质材料数量发生改变，导致电容也随之改变。同时第二对电容传感器（图中为 C_2 ）用作基准。

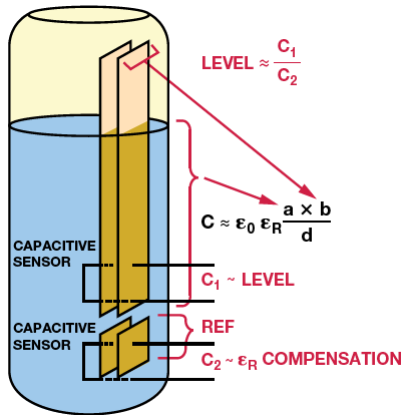


图 3. 电容式液位检测

由于 $\epsilon_R(\text{水}) \gg \epsilon_R(\text{空气})$ ，传感器电容可由浸没部分的电容近似表示。因此，液位为 C_1/C_2 ：

$$C_1 \approx \epsilon_0 \epsilon_R \frac{\text{Level} \times b}{d}$$

$$C_2 \approx \epsilon_0 \epsilon_R \frac{\text{Ref} \times b}{d}$$

$$\text{Level} \approx \frac{C_1}{C_2}$$

其中

- Level 是浸入液体的长度
- Ref 是基准传感器的长度

电容式液位检测系统硬件

24 位 AD7746 具有两条电容测量通道，非常适合液位检测应用。图 4 显示了系统功能框图。传感器和基准电容信号转换为数字信号，数据通过 I²C 端口传输至主机 PC 或微控制器。

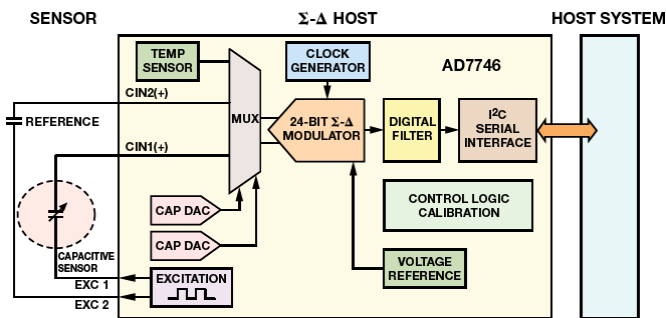


图 4. 电容式液位检测系统

要实现精确测量，PCB 设计很关键。图 5 显示了传感器板和 CDC 连接。为了保证精度，AD7746 安装在 4 层 PCB 表面尽可能靠近传感器的地方。接地层暴露在 PCB 背面。该应用使用了转换器全部的两个输入通道。传感器板如图 6 所示。

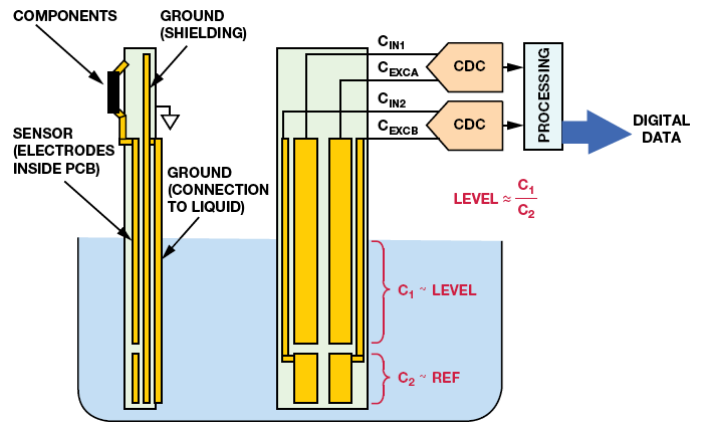


图 5. 传感器板和 CDC 连接

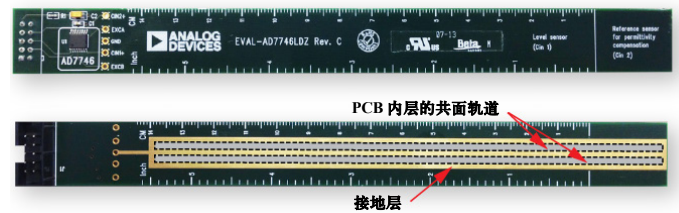


图 6. PCB 正面和反面照片

传感器板设计为在一块 PCB 上的两个共面金属板，而非两个平行板。共面极板在 4 层 PCB 内无需直接接触液体。共面极板电容的电介质由 PCB 材料、空气和液体组成，轨道每一单位长度的电容值约为：

$$\frac{C}{l} = \frac{\pi \epsilon_R(\text{eff}) \epsilon_0}{\ln \left(\frac{\pi(d-w)}{w+t} + 1 \right)}$$

其中

- d 是两个平行轨道中点之间的距离
- l 是轨道长度
- w 是每一条轨道的宽度（假定宽度相等）
- t 是轨道的厚度
- 有效 ϵ_R 由 d 与 h 的比值决定（ h 是 PCB 板的厚度）
 - 若 $d/h \gg 1$ ，则 $\epsilon_{R(\text{eff})} \approx 1$
 - 若 $d/h \approx 1$ ，则 $\epsilon_{R(\text{eff})} = (1 + \epsilon_R)/2$

就该等式而言，测得的电容值与浸入液体的长度成比例，而共面传感器每一单位轨道长度的电容近似值不变。使用 LabVIEW[®] 软件执行系统校准有助于实现更高的精度。

LabVIEW 软件

PC 上运行的 LabVIEW 程序通过 I²C 串行接口获取 CDC 数据。图 7 是 PC 监视器上显示的图形用户界面(GUI)。启动液面演示系统后, 会实时显示液面数据、环境温度和电源电压。

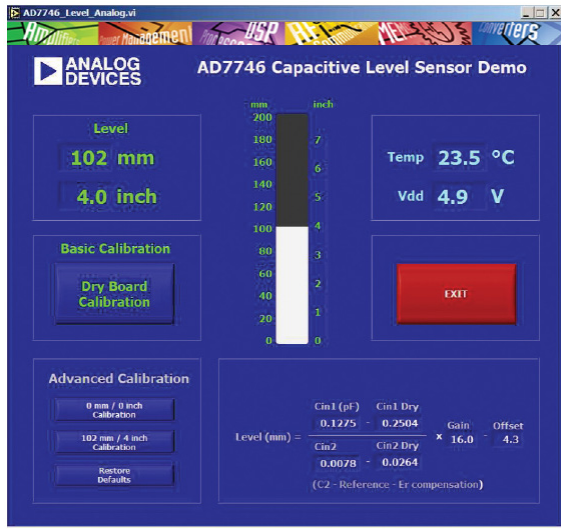


图7. PC 监视器上显示的系统 GUI

液面推导公式为:

$$Level = \frac{C_1 - C_{1DRY}}{C_2 - C_{2DRY}} \times Gain - Offset$$

LabVIEW 程序包括基本校准和高级校准, 可实现更精确的测量。在浸入液体时进行干(基本)校准用来确定 C_{1DRY} 和 C_{2DRY} 。湿(高级)校准则用来确定一阶方程中增益和失调两个未知量, 通过在液位 0 英寸和 4 英寸先后进行校准测量可以得到两个方程联立推导出增益和失调。湿校准和测量过程中, 基准电容必须完全浸入液体中。

结论

本文介绍了电容式液位检测演示系统。

参考文献

AD7746 评估套件

AD7746 评估板技术文档

Ning Jia, 医疗保健应用中的 ADI 电容数字转换器技术。《模拟对话》, 第 46 卷第 2 期, 2012 年。

Jim Scarlett, 电容数字转换器为诊断系统中的电平检测提供方便。《模拟对话》, 第 48 卷第 2 期, 2014 年。

Charles S. Walker, 《电容、电感和串扰分析》。Artech House, 1990, ISBN:

Jiayuan Wang [jiayuan.wang@analog.com] 于 2013 年加入 ADI 公司, 任客户解决方案支持部门的应用工程师, 工作地点在麻省州威明顿。Jiayuan 于 2013 年获得康奈尔大学硕士学位。



Jiayuan Wang

射频采样 ADC 输入保护：这不是魔法

作者：Umesh Jayamohan

共享    

简介

任何高性能模数转换器(ADC)，尤其是射频采样 ADC，输入或前端的设计对于实现所需的系统级性能而言很关键。很多情况下，射频采样 ADC 可以对几百 MHz 的信号带宽进行数字量化。前端可以有源（使用放大器）也可以是无源（使用变压器或巴伦），具体取决于系统要求。无论哪种情况，都必须谨慎选择元器件，以便实现在目标频段的最优 ADC 性能。

射频采样 ADC 采用深亚微米 CMOS 工艺技术制造，并且半导体器件的物理特性表明较小的晶体管尺寸支持的最大电压也较低。因此，在数据手册中规定的出于可靠性原因而不超出绝对最大电压，将当前主流的射频采样 ADC 与之前的老器件相比，可以发现这个电压值是变小的。

在使用 ADC 对输入信号进行数字量化的接收机应用中，系统设计人员必须密切关注绝对最大输入电压。该参数直接影响 ADC 的使用寿命和可靠性。不可靠的 ADC 可能导致整个无线电系统无法使用，且更换成本也许非常巨大。

为了抵消过压带来的风险，射频采样 ADC 集成了可以检测电平阈值的电路，允许接收机通过自动增益控制(AGC)环路调节增益来进行补偿。但是，如果采用流水线型 ADC，则与架构相关的固有延迟可能导致输入暴露于高电平之下，从而可能损害 ADC 输入。本文讨论了一种简单的方法来增强 AGC 环路，保护 ADC。

输入架构

射频采样 ADC 可采用多种不同的设计，最常见的一种是流水线架构，该架构采用多级级联，将模拟信号转换为数字信号。第一级最重要，可以是缓冲或未缓冲级。选择哪种设计取决于设计要求和性能目标。例如，一个带缓冲器的 ADC 通常在频率范围内具有更好的 SFDR 性能，但功耗比不带缓冲器的 ADC 更高。

前端设计同样会根据 ADC 是否有缓冲级而改变。没有缓冲器的 ADC 需要使用额外的串联电阻来处理输入电荷反冲，它同样会改善 SFDR 性能。图 1 和图 2 显示了 AD9625 未缓冲和 AD9680 缓冲射频采样 ADC 的等效输入电路简化图。为简明起见，仅显示单端输入。

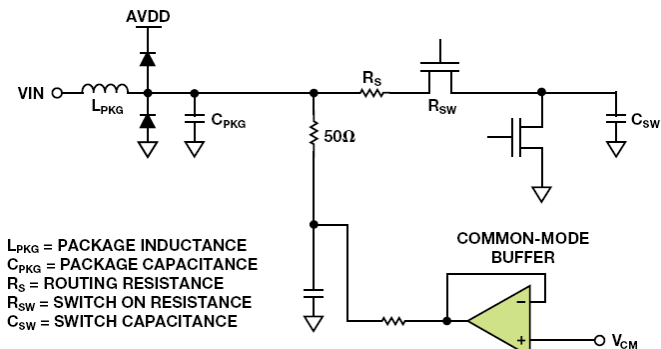


图 1. 未缓冲射频采样 ADC 输入的等效电路

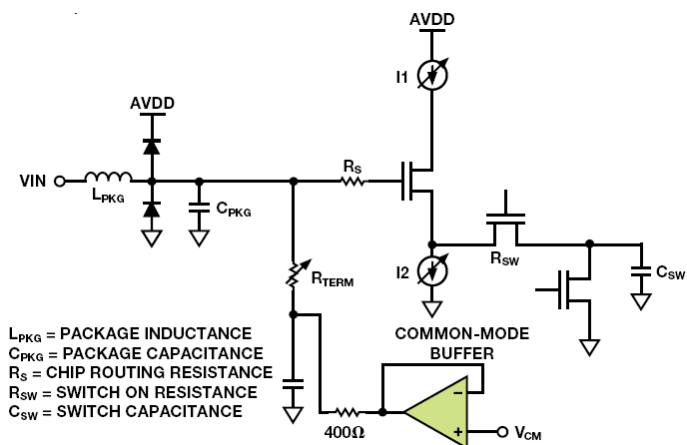


图 2. 缓冲射频采样 ADC 输入的等效电路

无论采用何种架构，ADC 输入端可持续的绝对最大电压由 MOSFET 能够处理的电压决定。缓冲输入更复杂，且比未缓冲输入功耗更大。ADC 具有多种不同类型的缓冲器，最常见的一种是源极跟随器。

故障机制

缓冲和未缓冲 ADC 的故障机制有所不同，但通常是在超出允许的最大栅极-源极电压(V_{GS})或漏极-源极电压(V_{DS})时发生故障。这些电压如图 3 所示。

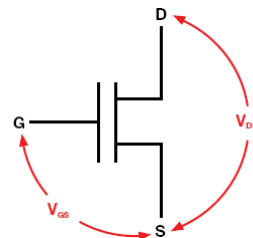


图 3. MOS 晶体管的关键电压

例如，假设 V_{DS} 超过允许的最大电压，则发生 V_{DS} 击穿故障，这通常在 MOSFET 处于关断状态且在漏极施加了相对于源极的过量电压时发生。如果 V_{GS} 超过允许的最大电压，则它会导致 V_{GS} 击穿（亦称为氧化层击穿）。这通常在 MOSFET 处于导通状态且在栅极施加了相对于源极的过量电压时发生。

未缓冲 ADC 的故障机制

图 4 显示的是一个未缓冲 ADC 输入。采样过程由反相时钟信号 Φ 和 $\bar{\Phi}$ 控制，它们是 MOSFET M1 的采样/保持信号以及 MOSFET M2 的复位信号。M1 导通时，M2 关断，且电容 C_{SW} 跟踪信号（采样或跟踪模式）。当 M1 关断时，MDAC 中的比较器作出判断后 M2 导通，电容 C_{SW} 复位。这样可在采样阶段使采样电容为下一次采样做好准备。该电路通常工作状态优良。

但是，高压输入使 M2 暴露在其漏源电压的应力之下。当对输入高压进行采样（M1 导通、M2 关断）时，M2 会暴露于较大的 V_{DS} 之下，其在不足采样时钟半周期的时间内处于关断状态，但哪怕只是瞬时的暴露也会降低电路的可靠性，导致 ADC 随时间失效。在复位模式下（M1 关断、M2 导通），因 M1 的漏极上有输入信号，从而也会暴露于大的 V_{DS} 电压。

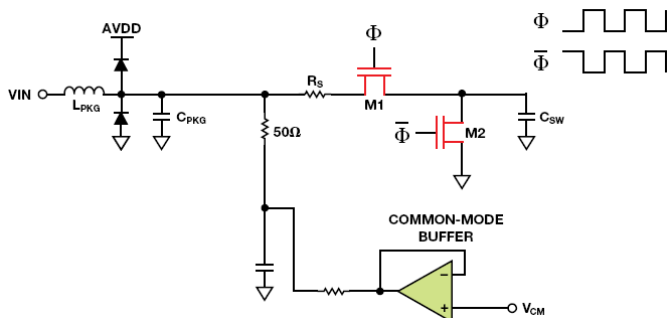


图 4. 未缓冲 ADC 输入的故障模式

缓冲 ADC 的故障机制

图 5 显示的是一个缓冲 ADC 输入。采样和复位信号适用相同的时钟方案。无论相位如何，当缓冲器 M3 栅极暴露于高压输入时，产生电流 I1 以及 I2。电流源 I1 采用 PMOS 晶体管实现，而 I2 采用 NMOS 晶体管实现。M3 栅极上的高电压导致 I1 和 I2 MOSFET 产生过大的 V_{DS} 。此外，M3 栅极上的高电压还可导致氧化层击穿。

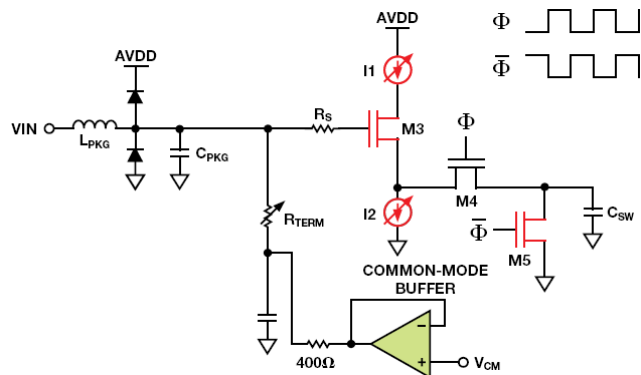


图 5. 缓冲 ADC 输入的故障模式

缓冲和未缓冲 ADC 的击穿机制有所不同，因此绝对最大输入电压同样有所不同，如表 1 所以。

表 1. 缓冲与未缓冲 ADC 的绝对最大值规格

ADC	工艺 (nm)	输入结构	绝对最大输入电压(V)	差分摆幅 (V p-p)
14 位 105 MSPS	350	缓冲	7	9.2
14 位 125 MSPS	180	未缓冲	2.0	4.5
16 位 250 MSPS	180	缓冲	3.6	6.0
12 位 2.5 GSPS	65	未缓冲	1.52	4
14 位 1.0 GSPS	65	缓冲	3.2	4.6

使用 TVS 二极管保护 ADC 输入

有几种方式可以保护 ADC 输入不受高压影响。部分 ADC（特别是射频采样 ADC）具有内置电路，可以检测输入电压并在超过设定阈值时进行上报。如数据手册中所述，该快速检测输出存在一些延迟，因此依然会使 ADC 输入端短时间内暴露于高压之下。

瞬态电压稳定器(TVS)二极管可以限制过量电压，但会在正常工作期间影响 ADC 性能。图 6 显示的是一个使用 TVS 二极管的过压保护电路。

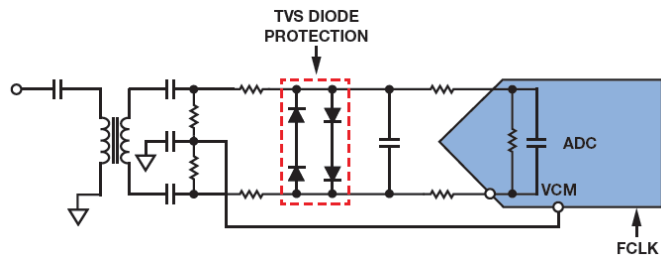


图 6. 带 TVS 二极管保护的 ADC 前端电路

虽然 TVS 二极管通过箝位过量电压保护 ADC 输入，但它们会极大地恶化谐波性能。图 7 显示了具有 30 MHz、-1 dBFS 输入的 14 位、250 MSPS 无缓冲 ADC 的前端带与不带 TVS 二极管时的 FFT 比较情况。

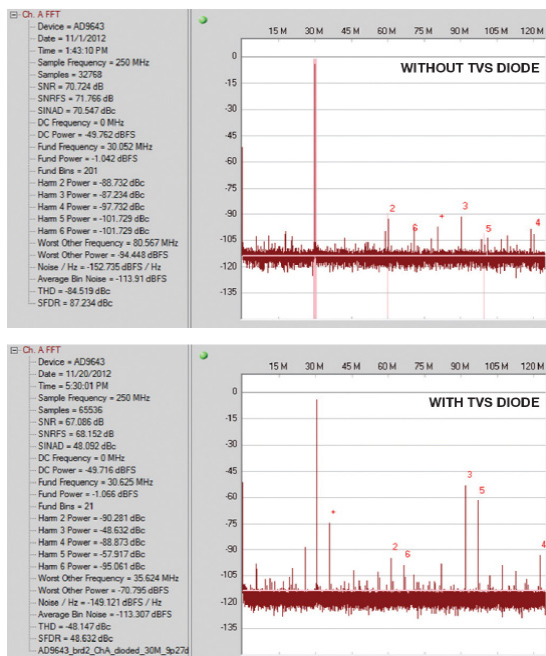


图 7. 带与不带 TVS 二极管保护的 ADC 前端电路 FFT 比较

TVS 二极管会极大地恶化奇次谐波性能，因为它们在不作用为箝位的时候就相当于一反向偏置二极管。该 PN 二极管具有结电容 C_{j0} ，该电容与 ADC 内部开关动作产生的非线性反冲电流相互作用，产生一个与模拟输入信号混合的电压信号。该混合信号在 ADC 内部被采样，产生极大的三次谐波。在过压条件下的时域曲线（图 8）显示了 TVS 二极管的箝位削压的功能。这并不表示 TVS 二极管不适合用来保护 ADC 输入，只是必须仔细考虑二极管规格，以便达到性能要求。选择二极管类型及其参数时必须作更全面的考虑。

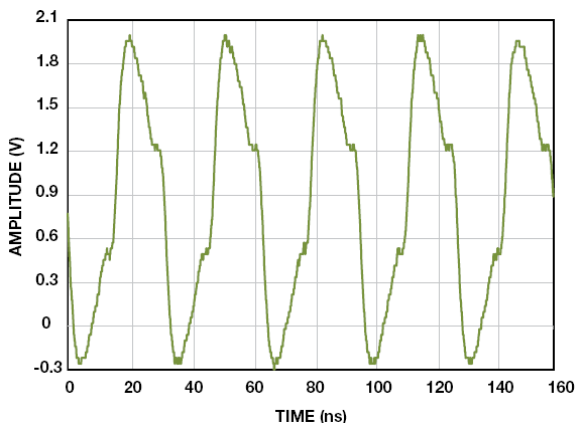


图 8. 前端电路中的 TVS 二极管保护导致削波信号

使用肖特基二极管保护射频采样 ADC 输入

当带宽和采样速率达到 GHz 和 GSPS 级别时，射频采样 ADC 可以简化无线电接收机设计，因为它们不需要 ADC 前具有很多的混频级，但这样会让 ADC 输入易受过压应力影响。图 9 显示的是用于射频采样 ADC 的典型前端设计，采用放大器驱动。新一代放大器专为与这些 ADC 实现接口而设计，具有快速攻击响应输入管脚，可通过串行外设接口(SPI)配置，将输出衰减为预定增益。快速攻击响应引脚可以配置为响应射频采样 ADC 的快速检测输出。[ADA4961](#) 是具有快速攻击响应功能的新一代放大器实例。[AD9680](#) 和 [AD9625](#) 是具有快速检测功能的射频采样 ADC 实例。

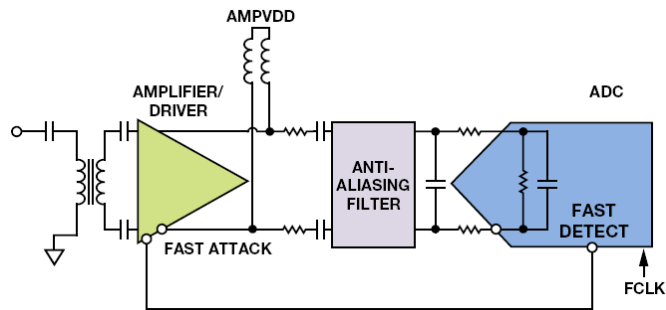


图 9. 带快速攻击响应功能的放大器驱动带快速检测功能的射频采样 ADC

只要输入电压处于合理的范围之内，图 9 中的拓扑便能工作良好。举例而言，假如该接收机的输入端收到突发高压信号，则放大器的输出将上升至放大器电源轨的电压水平（本例中为 5 V）。这将产生巨大的电压摆幅，超过 ADC 输入端的绝对最大额定电压。快速检测功能存在一定延迟（AD9680-1000 为 28 个时钟周期或 28 ns），因此等到快速检测逻辑输出告诉放大器置位快速攻击响应时，ADC 早已暴露在高压下数个时钟周期。这可能降低 ADC 的可靠性，因此无法承受这种风险的系统设计必须采用第二保护模式。具有极低器件和寄生电容的快速响应肖特基二极管在这种情况下十分管用。特定二极管的关键参数可参见数据手册。

反向击穿电压(V_{BR})——AD9680 输入引脚上的最大输入电压——相对于 AGND 约为 3.2 V，因此为该二极管选择数值为 3 V 的反向击穿电压。

结电容(C_{j0})——二极管电容应尽可能低，确保正常工作时二极管不影响 ADC 的交流性能(SNR/SFDR)。

图 10 显示的是无源前端，肖特基二极管位于 ADC 之前。无源前端比较容易演示肖特基二极管在不影响交流性能情况下对 ADC 输入端的保护。

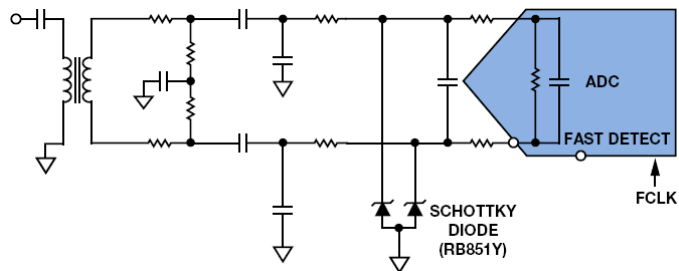


图 10. 显示射频采样 ADC 和肖特基二极管的无源前端电路

这颗射频采样 ADC 经过测试可输入高达 2 GHz 频率的信号，因此选用 RF 肖特基二极管(RB851Y)。表 2 显示 RB851Y 的关键参数；表明该器件适合该应用。测试结果显示二极管防止了 ADC 输入电压超过其 3.2 V 的绝对最大电压（相对于 AGND）。图 11 显示的是一个单端输入（ADC 的 VIN+引脚）暴露在高压之下（185 MHz）的情况。肖特基二极管将电压箝位至 3.0 V 左右（相对于 AGND），防止 ADC 输入达到 3.2 V 限值。图 12 显示的是在肖特基二极管箝位下的 AD9680 输入端的差分信号。

表 2. 用于保护射频采样 ADC 输入的肖特基二极管关键参数

参数	数值	单位	注释
反向电压(V_R)	3	V	AD9680 数据手册中，绝对最大额定电压值为 $V_{IN\pm} = 3.2$ V
端点之间的电容 (C_{j0} , 或 C_t)	0.8	pF	正常条件下对 ADC 性能影响较小

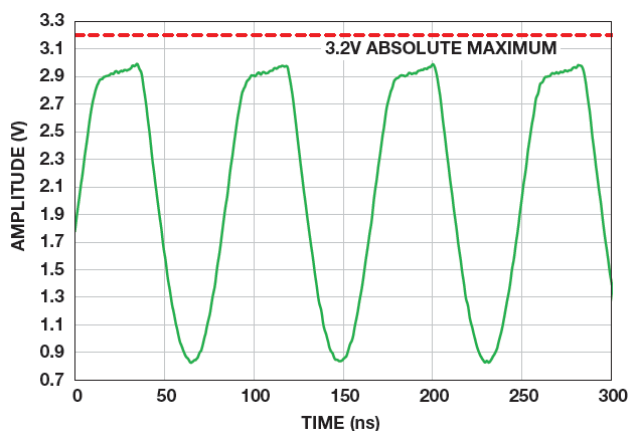


图 11. 肖特基二极管箝位的单端 ADC 输入

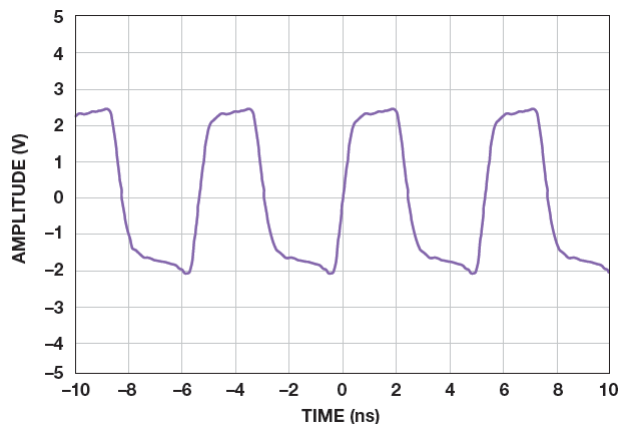


图 12. 肖特基二极管箝位 AD9680 差分输入信号

下一步，我们测量正常工作性能。AD9680 按照数据手册中的建议进行控制，但输入如图 10 所示进行修改。模拟输入频率变化范围为 10 MHz 至 2 GHz。 C_{j0} 的超低数值应当不会对 ADC 的 SNR 和 SFDR 性能造成影响。

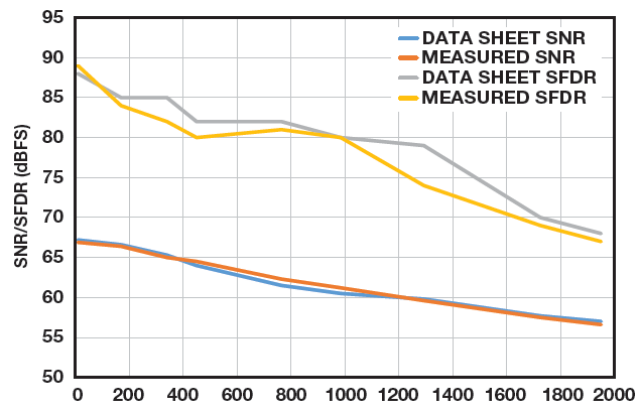


图 13. AD9680 带肖特基二极管保护时 SNR/SFDR 与模拟输入频率的关系

肖特基二极管根本不会影响 SNR 性能，但某些频率下 SFDR 与预期值有所偏差，如图 13 所示。这可能是由于差分信号失配或 ADC 反冲所导致的。评估板是从直流到 2 GHz 的宽频段设计，因此当它在整个频段内的整体工作良好时，某些元器件可能在特定频率下与肖特基二极管相互作用。

大部分应用不会用到整个 2 GHz 频段，因此可以通过修改过压保护的输入电路，将前端调谐至所需的目标信号带宽。谨慎选择肖特基二极管可以保护 ADC 输入，因而系统设计人员可以使用具有最新快速攻击响应功能和快速检测功能的放大器驱动前端电路，如图 14 所示。

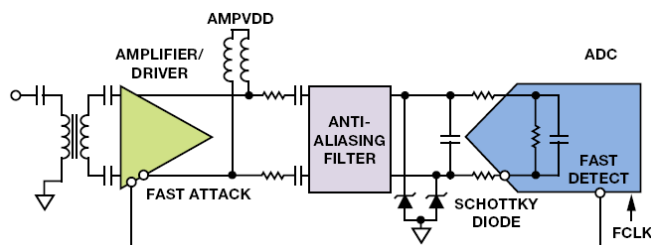


图 14. ADA4961 驱动 AD9680（显示射频采样 ADC 和肖特基二极管）

结论

本文讨论如何使用肖特基二极管保护射频采样 ADC 输入，使其免受过压应力的影响。仔细审查二极管的数据手册参数很关键。为了实现最佳的目标频段性能，需要对该电路的实施进行规划。射频采样 ADC 的快速检测输出可以与最新放大器的快速攻击响应功能进行配合，设置自动增益控制环路。

参考文献

Castera, Jim 和 Rob Reeder, [宽带 ADC 前端设计考虑 II: 用放大器还是用变压器驱动 ADC?](#) *模拟对话*, 第 41 卷第 1 期, 2007 年。

Das, Dave Roy, [高速开关电容 ADC 的低失真缓冲技术](#), 麻省理工学院, 1997 年。

Kester, Walt, [数据转换手册](#), ADI 公司, 2004 年。

[MT-228: 高速 ADC 模拟输入接口考虑因素](#)。

Reeder, Rob, [高速无缓冲 ADC 的反冲](#), *Electronic Design*, 2011 年。

Reeder, Rob, [测试高速 ADC 的模拟输入相位不平衡](#), *UBM Electronics*, 2011 年。

Shedge, Dnyandeo, Devendra Itole, Milind Gajare 和 Prakash Wani, [CMOS 源极跟随器和超级源极跟随器的分析与设计](#), *ACEEE*。

Umesh Jayamohan [umesh.jayamohan@analog.com] 是 ADI 公司高速转换器部 (北卡罗来纳州格林斯博罗) 的一名应用工程师。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位, 于 2002 年获得美国亚利桑那州立大学电气工程硕士学位, 担任设计和应用工程师已逾 7 年。



Umesh Jayamohan

该作者的其它文章:

[ADC 建模工具](#)

[加快评估过程](#)

第 48 卷, 第 4 期

无烦恼，高增益：构建具有纳伏级灵敏度的低噪声仪表放大器

作者：Moshe Gerstenhaber、Royal Johnson 和 Scott Hunt

共享    

简介

构建具有纳伏级灵敏度的电压测量系统会遇到很多设计挑战。目前最好的运算放大器（比如超低噪声AD797）可以实现低于 $1 \text{ nV}/\sqrt{\text{Hz}}$ 的噪声性能(1 kHz)，但低频率噪声限制了可以实现的噪声性能为大约 50 nV p-p (0.1 Hz至 10 Hz频段内)。过采样和平均可以降低宽带噪声的rms贡献，但代价是牺牲了更高的数据速率，且功耗较高，但过采样不会降低噪声频谱密度，同时它对 $1/f$ 区内的噪声无影响。此外，为避免来自后级的噪声贡献，就需要采用较大的前端增益，从而降低了系统带宽。如果没有隔离，那么所有的接地反弹或干扰都会出现在输出端，并有可能破坏放大器及其输入信号的低内部噪声的局面。表现良好的低噪声仪表放大器可以简化设计，并降低共模电压、电源波动和温度漂移引起的残留误差。

低噪声仪表放大器 AD8428 提供 2000 精确增益，具备解决这些问题所必须的一切特性。AD8428 具有 $5 \text{ ppm}/^\circ\text{C}$ 最大增益漂移、 $0.3 \mu\text{V}/^\circ\text{C}$ 最大失调电压漂移、140 dB 最小 CMRR 至 60 Hz (120 dB 最小值至 50 kHz)、130 dB 最小 PSRR 和 3.5 MHz 带宽，适合低电平测量系统。

最引人注目的是该器件的 $1.3 \text{ nV}/\sqrt{\text{Hz}}$ 电压噪声(1 kHz)和业界最

佳的 40 nV p-p 噪声 (0.1 Hz至 10 Hz) 性能，在极小信号下具有高信噪比。两个额外的引脚可让设计人员改变增益或增加滤波器来降低噪声带宽。这些滤波器引脚还提供了降低噪声的独特方法。

使用多个 AD8428 仪表放大器降低系统噪声

图 1 显示的电路配置可进一步降低系统噪声。四个 AD8428 的输入和滤波引脚互相短接，降低噪声至原来的二分之一。

可以使用任意一个仪表放大器的输出来保持低输出阻抗。此电路可以扩展从而降低噪声，降低的倍数为所用放大器数的平方根。

电路如何降低噪声

每一个AD8428 产生 $1.3 \text{ nV}/\sqrt{\text{Hz}}$ 折合到输入(RTI)的典型频谱噪声，该噪声与其他放大器产生的噪声不相关。不相关的噪声源以方和根(RSS)的方式叠加到滤波器引脚。另一方面，输入信号为正相关。每一个AD8428 都响应信号在滤波器引脚上生成相同的电压，因此连接多个AD8428 不会改变电压，增益保持为 2000。

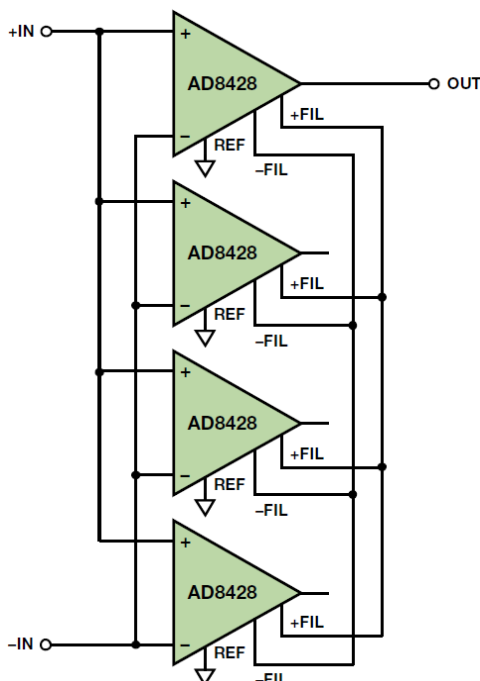
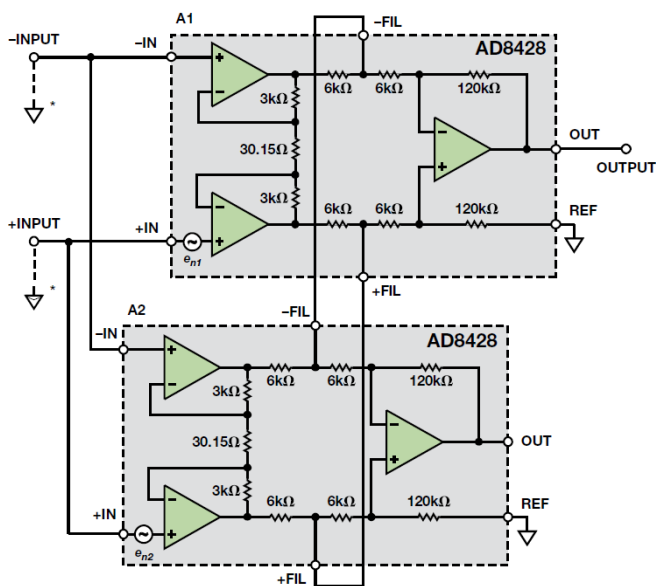


图 1. 使用四个 AD8428 仪表放大器的降噪电路

噪声分析

针对图2电路简化版本的分析表明，将两个AD8428以此方式连接可以降低噪声，降低的倍数为 $\sqrt{2}$ 。每一个AD8428的噪声都可以在+IN引脚上建模。为了确定总噪声，可以将输入接地，并使用叠加来组合噪声源。

噪声源 e_{n1} 经200差分增益放大，并到达前置放大器A1的输出端。就这部分的分析而言，输入接地时，前置放大器A2的输出端无噪声。前置放大器A1每个输出端与相应前置放大器A2输出端之间的6k Ω /6k Ω 电阻分频器可以采用戴维宁等效电路替代：前置放大器A1输出端噪声电压的一半以及一个3k Ω 串联电阻。这部分就是降低噪声的机制。完整的节点分析表明，响应 e_{n1} 的输出电压为 $1000 \times e_{n1}$ 。由于对称，因此响应噪声电压 e_{n2} 的输出电压为 $1000 \times e_{n2}$ 。 e_{n1} 和 e_{n2} 幅度都等于 e_n ，并且将作为RSS叠加，导致总输出噪声为 $1414 \times e_n$ 。



*GROUND INPUTS FOR NOISE ANALYSIS

图2. 噪声分析简化电路模型

为了将其折合回输入端，就必须验证增益。假设在+INPUT和-ININPUT之间施加差分信号 V_{IN} 。A1第一级输出端的差分电压等于 $V_{IN} \times 200$ 。同样的电压出现在前置放大器A2的输出端，因此没有分频信号进入6k Ω /6k Ω 分频器，并且节点分析表明输出为 $V_{IN} \times 2000$ 。因此，总电压噪声RTI为 $e_n \times 1414/2000$ ，等效于 $e_n/\sqrt{2}$ 。使用AD8428的 $1.3 \text{ nV}/\sqrt{\text{Hz}}$ 典型噪声密度，则两个放大器配置所产生的噪声密度约为 $0.92 \text{ nV}/\sqrt{\text{Hz}}$ 。

使用额外的放大器之后，滤波器引脚处的阻抗发生改变，进一步降低噪声。例如，如图1所示使用四个AD8428，则前置放大器输出端到滤波器引脚之间的6k Ω 电阻后接三个6k Ω 电阻，分别连接每一个无噪声前置放大器的输出端。这样便有效地创建了6k Ω /2k Ω 电阻分频器，将噪声进行四分频处理。因此，正如预测的那样，四个放大器的总噪声便等于 $e_n/2$ 。

进行噪声与功耗的权衡取舍

主要的权衡取舍来自功耗与噪声。AD8428具有极高的噪声-功耗效率，输入噪声密度为 $1.3 \text{ nV}/\sqrt{\text{Hz}}$ （6.8 mA最大电源电流）。为了进行对比，考虑低噪声AD797运算放大器——该器件需要10.5 mA最大电源电流来达到 $0.9 \text{ nV}/\sqrt{\text{Hz}}$ 。一个分立式 $G=2000$ 低噪声仪表放大器采用两个AD797运算放大器和一个低功耗差分放大器构建，需要使用21 mA以上电流，实现两个运算放大器和一个30.15 Ω 电阻贡献的 $1.45 \text{ nV}/\sqrt{\text{Hz}}$ 噪声RTI性能。

除了很多放大器并联连接使用的电源考虑因素外，设计人员还必须考虑热环境。采用 $\pm 5 \text{ V}$ 电源的单个AD8428因内部功耗会使温度上升约 8°C 。如果很多个器件靠近放置，或者放置在封闭空间，则它们之间会互相传导热量，需考虑使用热管理技术。

SPICE 仿真

SPICE电路仿真虽然不能代替原型制作，但作为验证此类电路构想的第一步很有用。若要验证此电路，可以使用ADIsimPE仿真器和AD8428 SPICE宏模型仿真两个器件并联时的电路性能。图3中的仿真结果表明该电路的表现与预期一致：增益为2000，噪声降低30%。

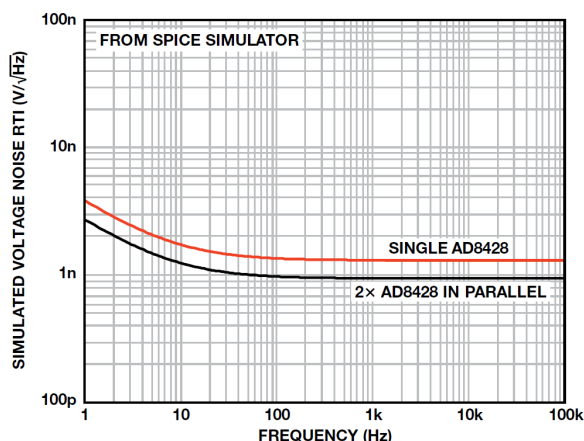


图3. SPICE 仿真结果

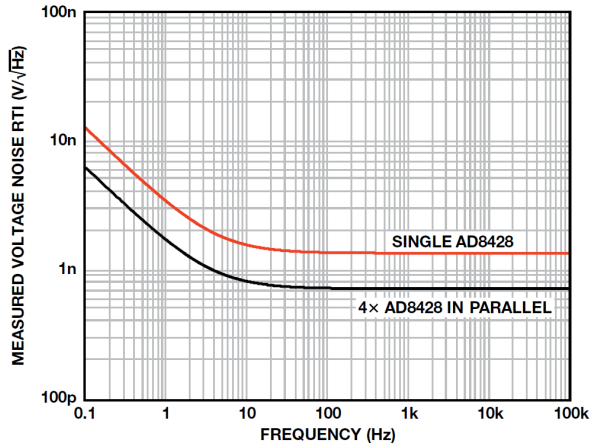


图4. 图1中电路的电压噪声频谱测量值

测量结果

在工作台上测量四个AD8428组成的完整电路。测得的RTI噪声频谱密度为 $0.7 \text{ nV}/\sqrt{\text{Hz}}$ (1 kHz), 0.1 Hz至10 Hz范围内具有25 nV p-p。这比很多纳伏电压表的噪声都要更低。测得的噪声频谱和峰峰值噪声分别如图4和图5所示。

结论

纳伏级灵敏度目标非常难以达成，会遇到很多设计挑战。对于需要低噪声和高增益的系统，AD8428 仪表放大器具有实现高性能设计所需的特性。此外，该器件独特的配置允许将这个不寻常的电路加入其纳伏级工具箱内。

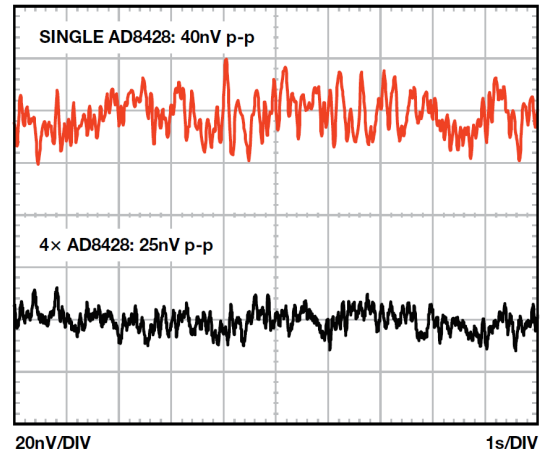


图5. 图1中电路测得的0.1 Hz至10 Hz RTI噪声

参考文献

- MT-047 指南：运算放大器噪声。
- MT-048 指南：运算放大器噪声关系：1/f 噪声、均方根(RMS)噪声与等效噪声带宽。
- MT-049 指南：单极点系统的运算放大器总输出噪声计算。
- MT-050 指南：二阶系统的运算放大器总输出噪声计算。
- MT-065 指南：仪表放大器噪声。

Moshe Gerstenhaber [moshe.gerstenhaber@analog.com]是 ADI 公司研究员。他于 1978 年加入 ADI，数年间先后担任过制造、产品工程及设计方面的多种高级职务。Moshe 目前是集成放大器产品部门的设计经理。他在放大器设计领域做出了重大贡献，特别是极高精度专用放大器，如仪表放大器和差动放大器。



Moshe Gerstenhaber

该作者的其它文章：

[多功能低功耗精密单端差分转换器](#)

第 46 卷，第 4 期

Royal Johnson [royal.johnson@analog.com]是马萨诸塞州威明顿市线性产品部门的设计工程师。Royal 获得麻省理工学院学士和硕士学位后，于 2006 年加入 ADI 公司。Royal 专注于集成式精密放大器技术工作，包括仪表放大器、热电偶放大器和高/低电压差动放大器。



Royal Johnson

Scott Hunt [scott.hunt@analog.com]是马萨诸塞州威明顿市线性产品部门的产品应用工程师。他获得伦斯勒理工学院电气工程学士学位后，于 2011 年加入 ADI。Scott 专注于集成精密放大器技术工作，包括仪表放大器、差分放大器和热电偶放大器。



Scott Hunt

该作者的其它文章：

[如何在对电桥传感器进行电路设计时避免陷入困境](#)

第 48 卷，第 1 期

低功耗同步解调器设计考虑因素

作者：Brian Harrington

共享    

简介

“同步检波器助力精密低电平测量”一文刊于2014年11月的《模拟对话》杂志，该文讨论了存在相对较高噪声电平情况下使用同步解调测量低电平信号的优势。本文讨论在严格的功耗和成本限制系统中使用同步解调进行传感器信号调理时的一些设计考虑因素，进一步深入该话题。经仔细设计后，模拟系统在简洁性、低成本和低功耗方面将会是无与伦比的。该架构将在模拟域中执行大部分信号处理。

传感器激励

传感器随处可见，它们用来测量温度、光照、声音和其他各种环境参数。一些传感器的输出电压或电流取决于某些物理参数。例如，热电偶产生与参考结点和测量点之间温度差成比例的电压。大部分传感器的传递函数相对于物理参数遵循已知的关系。传递函数通常是一个阻抗，电流是传感器输入，而传感器两端的电压表示目标参数。阻性传感器（比如称重传感器、RTD 和电位计）分别用来测量应力、温度和角度。就一阶而言，阻性传感器与频率无关，并且没有相位响应。

很多传感器因为它们的传递函数随频率和相位改变，所以要求使用交流激励信号。这样的例子有感性近距离传感器和容性湿度传感器。生物阻抗测量可以获取有关呼吸率、脉搏率、水合作用和其他各种生理参数。这些情况下，幅度、相位（或两者）都可用来确定检测参数的数值。

在某些应用中，传感器可以把待测样本转换成感应器。例如，色度计使用 LED 将光线照射穿过待测液体样本。样本的光吸收调制光电二极管检测的光量，以便揭示待测液体的特性。血氧含量可以通过测量血管组织中的红光和红外光吸收之差来确定。超声传感器根据超声在气体中行进的多普勒频移来测量气流速率。所有这些系统都可以使用同步解调来实现。

图 1 显示的是测量传感器输出信号的同步解调系统。激励信号 f_x 用作载波，传感器以幅度、相位（或两者同时）作为待测参数的函数进行调制。信号可能经过放大和滤波，然后再由相敏检波器(PSD)向下调制，回到直流状态。输出滤波器(OF)将信号带宽限制在待测参数的频率范围内。

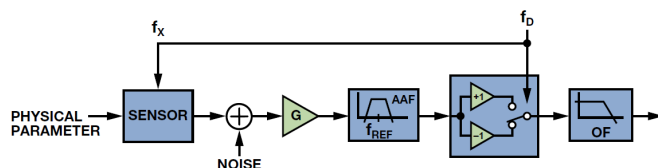


图 1. 同步解调系统

传感器输出端的噪声可能受内部源或外部耦合的影响。低频(1/f)噪声经常会限制传感器或测量电子设备的性能。很多传感器还容易受到低频环境噪声的干扰。光学测量容易受到背景光照的影响；电磁传感器容易受到电源辐射的影响。自由选择激励频率以避免噪声源是同步解调的重要优势。

选择一个可以降低这些噪声源影响的激励频率是优化系统性能的重要途径。所选激励频率应当具有较低的噪底，并离开噪声源足够距离，以便适当进行滤波便可将噪声降低至可以接受的水平。传感器激励通常是功耗预算中最大的一块。如果传感器的灵敏度与频率的关系已知，则在灵敏度较高的频率处激励传感器即可降低功耗。

相敏检波器

若要理解抗混叠滤波器(AAF)和 OF 的要求，则需理解 PSD。考虑通过激励信号将输入信号同步扩大+1 和-1 倍的 PSD。这等效于输入信号乘以相同频率的方波。图 2a 显示的是输入信号、基准电压源和 PSD 输出的时域波形；图中，输入信号为方波，任意相位与基准电压源相关。

当输入和基准电压完全无相移时，相对相位为 0° ，开关输出为直流，且 PSD 输出电压为 +1。随着相对相位增加，开关输出成为基准频率两倍的方波，且占空比和均值线性下降。相对相位为 90° 时，占空比为 50%，平均值为 0。在 180° 相对相位处，PSD 输出电压为 -1。图 2b 显示了相对相位在 0° 至 360° 范围内扫描时的 PSD 平均输出值，输入信号为方波和正弦波。

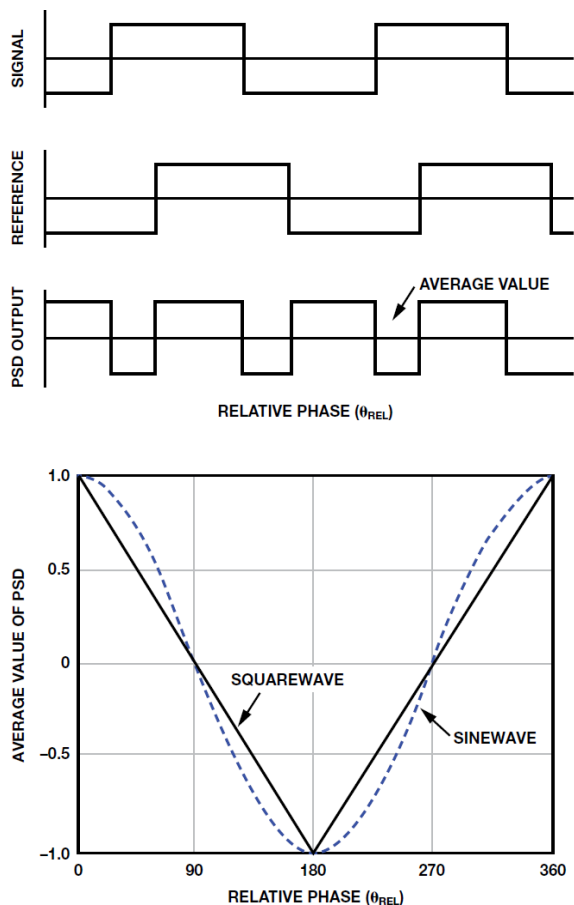


图 2. (a) PSD 时域波形 (b) PSD 输出平均值与相对相位成函数关系

正弦波情形没有方波情形那么直观，但可以通过逐项相乘并分解为相加项和相减项而计算，如下所示：

$$V_{PSD}(t) = \frac{2\sqrt{2}V_S}{\pi} \cos(f_R \pm f_S \pm \theta_S) - \frac{1}{3} \cos(3f_R \pm f_S \pm \theta_S) + \frac{1}{5} \cos(5f_R \pm f_S \pm \theta_S) - \dots$$

正如预计的那样，PSD 在基频处生成与输入信号相对相位的余弦成比例的响应，但它同时也会生成针对信号所有奇次谐波响应。若将输出滤波器视为相敏检波器的一部分，则信号传输路径看上去就会像是一系列以基准信号奇次谐波为中心的带通滤波器。带通滤波器的带宽由低通输出滤波器的带宽确定。PSD 输出响应是这些带通滤波器之和，如图 3 所示。出现在直流端

的响应部分落在输出滤波器的通带内。出现在基准频率偶次谐波响应部分将由输出滤波器抑制。

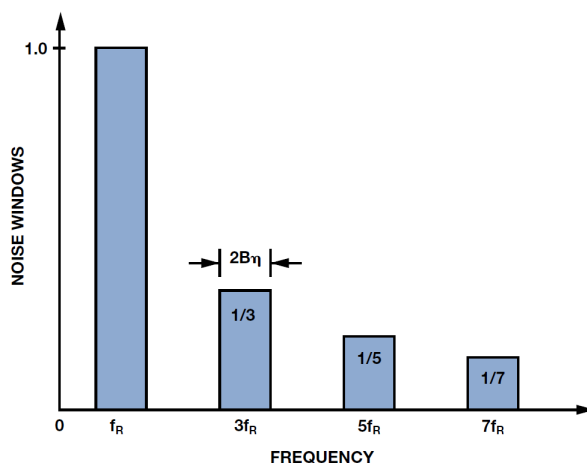


图 3. 有助于 PSD 输出的信号输入频谱

乍看之下，谐波的无限求和混叠进入输出滤波器通带，似乎使这种方法失效。然而，由于每一个谐波项都成倍缩小，并且各谐波噪声以平方和的平方根方式相加，噪声混叠的影响得以减轻。假设输入信号的噪声频谱密度不变，那么就可以计算谐波混叠的噪声影响。

使 V_n 成为以基频为中心的传输窗口的积分噪声。总 RMS 噪声 V_T 为：

$$V_T = \sqrt{\left(V_n^2 + \left(\frac{V_n}{3}\right)^2 + \left(\frac{V_n}{5}\right)^2 + \dots\right)} = V_n \sqrt{\left(1^2 + \left(\frac{1}{3}\right)^2 + \left(\frac{1}{5}\right)^2 + \dots\right)}$$

使用简便的公式对几何级数求和：

$$\sum_{k=0}^n \frac{1}{(2n+1)^2} = \frac{\pi^2}{8} = 1.23$$

谐波窗口导致的 RMS 噪声增加量为：

$$V_T/V_n = \sqrt{\left(1^2 + \left(\frac{1}{3}\right)^2 + \left(\frac{1}{5}\right)^2 + \dots\right)} = \sqrt{1.23} = 1.11$$

因此，所有谐波窗口产生的 RMS 噪声使总噪声仅增加 11%（或 1dB）。输出依然容易受到带通滤波器的通带波动影响，并且 PSD 之前的传感器或电子器件谐波失真将导致输出信号产生误差。如果这些谐波失真项过大而无法接受，可以使用抗混叠滤波器使其下降。下一个设计示例中将考虑抗混叠和输出滤波器要求。

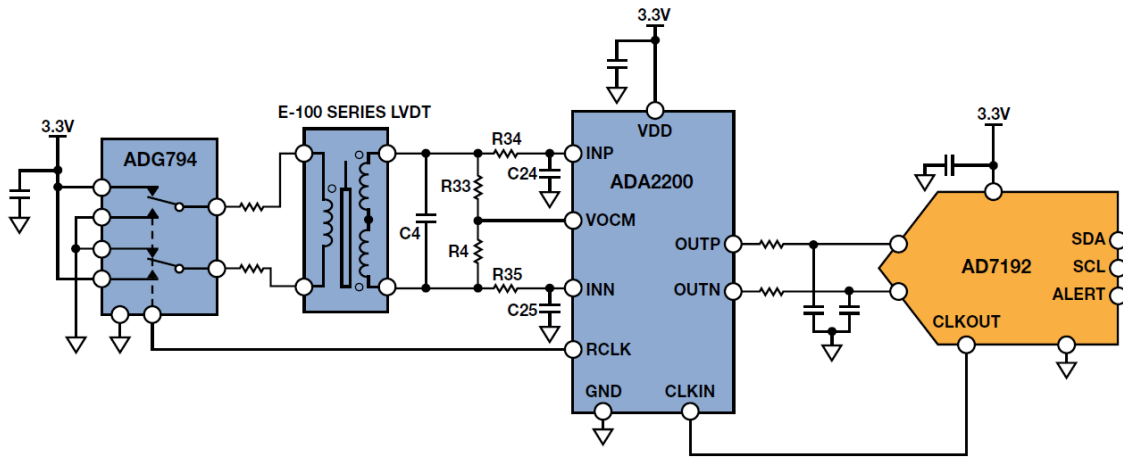


图4. 简化LVDT位置检测电路

LVDT 设计示例

图4显示的是一个同步解调电路，该电路可从线性可变位移变压器（LVDT，一种特殊的绕线变压器，具有活动内核，贴在待测位置）提取位置信息。激励信号施加于初级端。次级端电压随内核位置成比例变化。

LVDT的类型有很多，此外提取位置信息的方法也各不相同。该电路采用4线模式LVDT。将两个LVDT的次级输出相连使其电压相反，从而执行减法。当LVDT内核位于零点位置时，次级端上的电压相等，绕组上的电压差为零。随着内核从零点位置开始移动，次级绕组上的电压差也随之增加。LVDT输出电压符号根据方向而改变。本例选择的LVDT测量 ± 2.5 mm满量程内核位移。电压传递函数为0.25，意味着当内核偏离中心2.5 mm时，施加于初级端的每伏特电压的差分输出等于250 mV。

集成式同步解调器

ADA2200集成式同步解调器采用独特的电荷共享技术来执行模拟域内的分立式时间信号处理。该器件的信号路由由输入缓冲器、FIR抽取滤波器（进行抗混叠滤波）、可编程IIR滤波器、相敏检波器以及差分输出缓冲器组成。其时钟生成功能可将激励信号与系统时钟同步。通过SPI兼容接口可配置可编程特性。

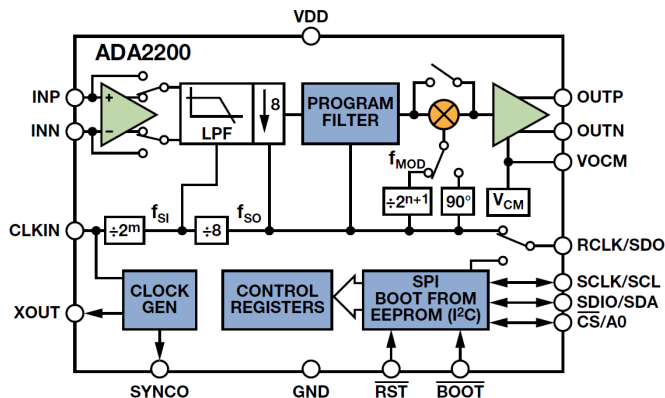


图5. ADA2200同步解调器

24位 Σ - Δ 型ADC AD7192生成的4.92 MHz时钟用作主机时钟。ADA2200生成滤波器和PSD时钟所需的一切内部信号，此外还在RCLK引脚上生成激励信号。该器件将主机时钟进行1024分频，以便生成4.8 kHz信号，控制CMOS开关。CMOS开关将低噪声3.3 V源转换为LVDT的方波激励信号。用于激励源的3.3 V电源还用作ADC基准电压源，因此电压源中的一切漂移都不会降低测量精度。在满量程位移处，LVDT输出1.6 V峰峰值输出电压。

抗混叠滤波

LVDT输出和ADA2200输入之间的RC网络为LVDT输出信号提供低通滤波，同时产生使解调器输出信号最大所需的相对相移。如前所述，图2b显示了最大PSD输出发生在相对相移为 0° 或 180° 处。ADA2200具有 90° 相位控制，因而还可以使用 $\pm 90^\circ$ 相对相位失调。

解调频率奇数倍的信号能量将出现在输出滤波器的通带内。FIR抽取滤波器实现抗混叠滤波，能为这些频率提供至少50 dB衰减。

如有需要，IIR滤波器可提供额外的滤波或增益。由于IIR滤波器在相敏检波器前面，其相位响应将会影响PSD信号输出带宽。设计滤波器响应时，必须考虑这一点。

输出滤波器

应选择输出滤波器的通带，使其匹配待测参数的带宽，但限制系统的宽带噪声。输出低通滤波器还必须还要能够抑制PSD偶数倍产生的输出杂散。

该电路使用 Σ - Δ 型ADC AD7192内置的LPF。它可以通过编程实现 sinc^3 或 sinc^4 响应，并且传递函数在输出数据速率的倍数处为零。

图 6 显示了归一化为 ADC 输出数据速率的 sinc^3 传输函数。

将 ADC 的输出数据速率设为解调频率可以抑制 PSD 输出杂散。ADC 的可编程输出数据速率用作可选带宽输出滤波器。可用的输出数据速率(f_{DATA})为 $4.8 \text{ kHz}/n$, 其中 $1 \leq n \leq 1023$ 。因此, ADC 对每个输出数据数值的 n 个解调时钟周期内求解调器输出的平均值。由于主机时钟和 ADC 时钟同步, ADC 输出滤波器传递函数的零点将直接落在调制频率的每一个谐波上, 并且抑制任意 n 值的所有输出杂散。

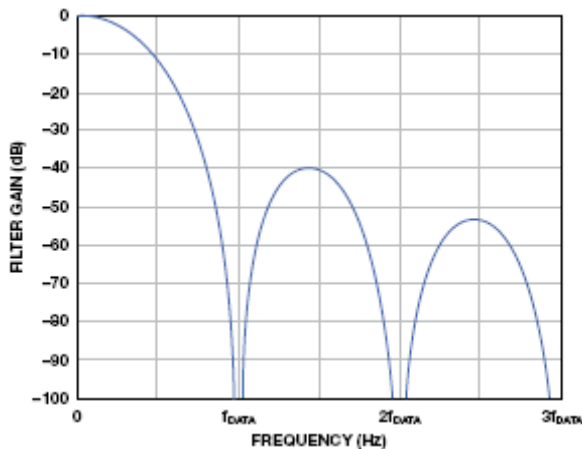


图 6. AD7192 sinc^3 滤波器传递函数

可编程输出数据速率具有噪声和带宽/建立时间之间的直观权衡取舍关系。输出滤波器噪声带宽为 $0.3 \times f_{\text{DATA}}$, 3 dB 频率为 $0.272 \times f_{\text{DATA}}$, 建立时间为 $3/f_{\text{DATA}}$ 。

在最高 4.8 kHz 输出数据速率下, ADC 数字滤波器具有 1.3 kHz 左右的 3 dB 带宽。在不超过此频率的范围内, 解调器和 ADC 之间的 RC 滤波器相对平坦, 最大程度降低了 ADC 的带宽要求。在最大数据速率较低的系统中, RC 滤波器转折频率可以按比例降低。

噪声性能

该电路的输出噪声是 ADC 输出数据速率的函数。表 1 显示数字化数据相对于 ADC 采样速率的有效位数, 假设满量程输出电压为 2.5 V。噪声性能与 LVDT 内核位置无关。

表 1. 噪声性能与带宽的关系

ADC 数据速率 (SPS)	输出带宽 (Hz)	ENOB (rms)	ENOB (p-p)
4800	1300	13.8	11.3
1200	325	14.9	12.3
300	80	15.8	13.2
75	20	16.2	13.5

如果 ADA2200 输出噪声与频率无关, 则预计有效位数将在输出数据速率每 $4 \times$ 下降时增加一位。ENOB 在较低输出数据速率下不会上升太多, 这是由于 ADA2200 输出驱动器的 $1/f$ 噪声所导致的; 该噪声在较低的输出数据速率下成为噪底的主要成分。

线性度

首先在 $\pm 2.0 \text{ mm}$ 内核位移处执行一次两点校准即可测量线性度结果。由这些测量结果可确定斜率和失调, 从而实现最佳直线拟合。然后, 在 $\pm 2.5 \text{ mm}$ 满量程范围内测量内核位移。从直线数据中减去测量数据即可确定线性度误差。

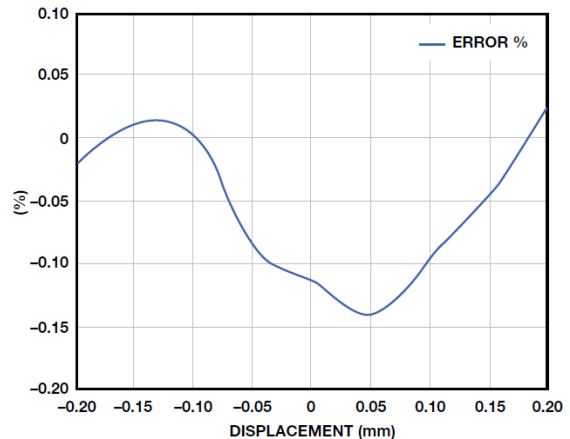


图 7. 位置线性度误差与 LVDT 内核位移的关系

用于电路评估的 E 系列 LVDT 线性度额定值为 $\pm 0.5\%$ ($\pm 2.5 \text{ mm}$ 位移范围) 电路性能超过了 LVDT 的规格。

功耗

电路总功耗为 10.2 mW, 包括驱动 LVDT 的 6.6 mW 以及电路其余部分的 3.6 mW。电路 SNR 可以通过增加 LVDT 激励信号而得到改善, 但代价是功耗更高。或者, 可以通过降低 LVDT 激励信号从而降低功耗, 同时使用低功耗双通道运算放大器来放大 LVDT 输出信号, 以便保留电路的 SNR 性能。

结论

同步解调可以解决很多传感器信号调理所共有的特性挑战。低于 1 MHz 激励频率且动态范围要求为 80 dB 至 100 dB 的系统可以采用低成本、低功耗模拟电路; 该方法所需的数字后处理极少。了解相敏检波器的工作原理以及传感器输出端的噪声特性是确定系统滤波器要求的关键。

参考文献

Meade, M.L. *锁定放大器：原理与应用*。Peter Peregrinus Ltd., 1983 年。

精密调制器/解调器。

利用同步解调技术实现传感器信号调理。

UG-702: ADA2200 同步解调器评估板。

UG-787: ADA2200 同步解调器软件可编程评估板。

Brian Harrington [brian.harrington@analog.com]是 ADI 公司马萨诸塞州剑桥市模拟车库部门(Analog Garage division)的应用工程师。Brian 于 1994 年加入 ADI 公司，拥有多种应用工作经验，包括帮助客户设计 ADSL 调制解调器芯片组、高速 DAC、MxFE 以及其他 IC。



Brian Harrington

MEMS IMU/陀螺仪对准基础

作者：Mark Looney

共享    

简介

对于在反馈环路中采用 MEMS 惯性测量单元 (IMU) 的高性能运动控制系统，传感器对准误差常常是其关键考虑之一。对于 IMU 中的陀螺仪，传感器对准误差描述各陀螺仪的旋转轴与系统定义的“惯性参考系”（也称为“全局坐标系”）之间的角度差。为了管控对准误差对传感器精度的影响，可能需要独特的封装、特殊的组装工艺，甚至在最终配置中进行复杂的惯性测试。所有这些事情都可能会对项目管理的重要指标，如计划、投资和各系统中 IMU 相关的总成本等，产生重大影响。因此，在设计周期的早期，当还有时间界定系统架构以实现最有效解决方案的时候，对传感器对准误差加以考虑是十分有必要的。毕竟，没有人希望在烧掉项目 80% 的计划时间和预算之后才发现，为了满足最终用户不容商量的交货要求，其并不昂贵的传感器需要增加数百甚至数千美元的意外成本，那样可就糟糕至极了！

设计系统的 IMU 功能架构时，有三个基本对准概念需要了解 and 评估：误差估计、对准误差对系统关键行为的影响以及电子对准（安装后）。初始误差估计应当包括 IMU 以及在运行过程中将其固定就位的机械系统这两方面的误差贡献。了解这些误差对系统关键功能的影响有助于确立相关性能目标，防止过度处理问题，同时管控无法兑现关键性能和成本承诺的风险。最后，为了优化系统的性能或以成本换空间，可能需要某种形式的电子对准。

预测安装后的对准误差

一个应用的对准精度取决于两个关键因素：IMU 的对准误差和在运行过程中将其固定就位的机械系统的精度。IMU 的贡献(Ψ_{IMU})和系统的贡献(Ψ_{SYS})通常并不相关，估计总对准误差时，常常是利用和方根计算将这两个误差源加以合并：

$$\Psi_T = \sqrt{\Psi_{IMU}^2 + \Psi_{SYS}^2} \quad (1)$$

某些 IMU 规格表通过“轴到封装对准误差”或“轴到坐标系对准误差”等参数来量化对准误差。图 1 以夸张方式显示了 ADIS16485 中各陀螺仪相对于其封装边缘的对准误差。图中的绿色虚线代表封装定义的参考系的各轴。实线代表封装内部陀螺仪的旋转轴， Ψ_{IMU} 代表三个对准误差项的最大值 (Ψ_X, Ψ_Y, Ψ_Z)。

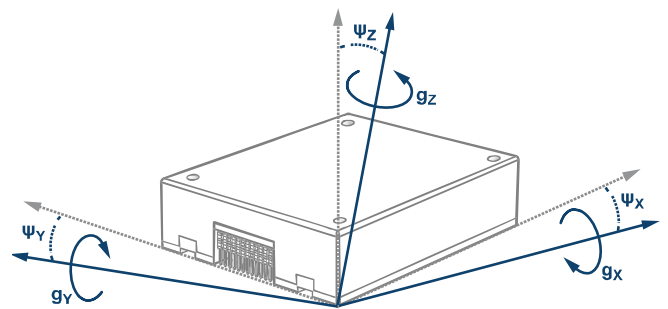


图 1. ADIS16485 轴到坐标系的对准误差

为了预测系统对准误差的贡献（公式 1 中的 Ψ_{SYS} ），需要分析机械缺陷导致 IMU 在系统中的停靠位置相对于全局坐标系偏斜的可能性。使用焊接到印刷电路板的 IMU 时，这将涉及到以下考量因素：原始放置精度、焊料沉积的差异、回流焊期间的浮动、PCB 关键特性（如安装孔等）的容差以及系统框架本身的容差等。使用模块式 IMU 时，它可以与系统外壳实现更直接的耦合，如图 2 所示。此类接口有两个关键机械特性可帮助管控安装偏斜误差：安装架（4×）和安装巢。

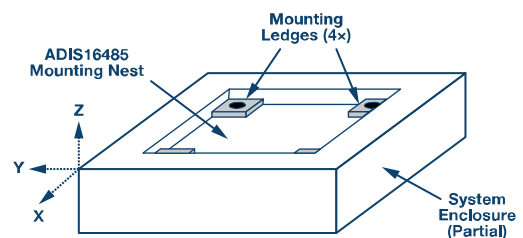


图 2. 内嵌式底板设计概念

在此类安装方案中,四个安装架的高度差异就是机械差异的一个例子,可能引起 x 轴和 y 轴的安装偏斜。图 3 以夸张方式说明了这种偏差 (H1 与 H2) 对 x 轴安装偏斜 (Ψ_x) 的影响。

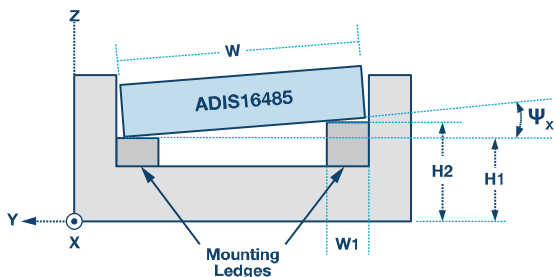


图 3. 安装架差异引起的对准误差

公式 2 反映了 x 轴偏斜角度 (Ψ_x) 与高度差 (H2 到 H1) 和两个接触点间跨度 (W 到 W1) 的关系:

$$\Psi_x = \arctan\left(\frac{H2-H1}{W-W1}\right) \text{ when } H2-H1 \ll W-W1 \quad (2)$$

安装架高度差异对 y 轴的安装偏斜也有类似的影响。此时,用封装长度 (L) 替换公式 2 中的宽度 (W),便可得到如下用于估计 y 轴偏斜角度 (Ψ_y) 的关系式。

$$\Psi_y = \arctan\left(\frac{H2-H1}{L-W1}\right) \text{ when } H2-H1 \ll L-W1 \quad (3)$$

图 4 提供了另一个例子来说明机械特性如何影响 z 轴的安装偏斜。本例中,机械螺丝先穿过 IMU 主体的安装孔 (位于四角),再穿过安装架的孔,最后进入安装架背部的锁紧螺母。这种情况下,机械螺丝的直径 (D_M) 与底板中相关通孔的直径 (D_H) 之间的差异会引起 z 轴偏斜。

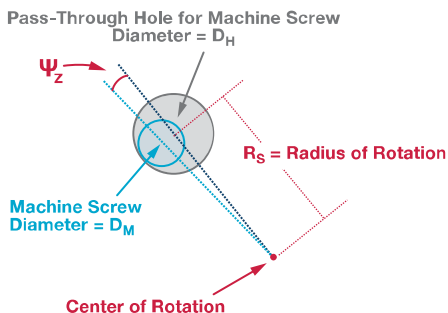


图 4. 安装螺丝/孔对 z 轴偏斜角度的影响

公式 4 反映了 z 轴安装偏斜 (Ψ_z) 与直径差和旋转半径 (R_S , 等于相对两角的两个安装螺丝间距离的一半) 的关系。

$$\Psi_z = 2 \times a \tan\left(\frac{D_H - D_M / 2}{2 \times R_S}\right) \quad (4)$$

实例 1

使用 2 mm 机械螺丝将 ADIS16485 安装到 6 mm × 6 mm 安装架上,安装架的孔直径为 2.85 mm,高度容差为 0.2 mm,估算与此相关的总对准误差。

求解

使用 44 mm 的标称宽度 (W), x 轴偏斜角度 (见图 3) 预测值为 0.3°。

$$\Psi_x = \arctan\left(\frac{H2-H1}{W-W1}\right) = \arctan\left(\frac{0.2 \text{ mm}}{44 \text{ mm} - 6 \text{ mm}}\right) = 0.3^\circ$$

封装各边上安装孔间的标称距离分别为 39.6 mm 和 42.6 mm。这些尺寸构成直角三角形的两边,其斜边等于封装相对两角的两个孔之间的距离。旋转半径 (R_S , 见图 4) 等于此距离的一半 (29.1 mm), 因此 z 轴偏斜的预测值为 0.83°。

$$R_S = \frac{\sqrt{39.6^2 + 42.6^2}}{2} \approx 29.1 \text{ mm}$$

$$\Psi_z = 2 \times a \tan\left(\frac{D_H - D_M / 2}{2 \times R_S}\right) = 2 \times a \tan\left(\frac{2.85 - 2 / 2}{2 \times 29.1}\right) \approx 0.83^\circ$$

对于式 1 中的复合预测公式, Ψ_{SYS} 等于 Ψ_z (估算最大值), Ψ_{IMU} 等于 1° (依据 IMU 数据手册中的轴到坐标系对准误差规格)。因此,总对准误差估算值为 1.28°。

$$\Psi_T = \sqrt{\Psi_{IMU}^2 + \Psi_{SYS}^2} = \sqrt{1^2 + 0.8^2} = \sqrt{1.64} = 1.28^\circ$$

对准误差对系统精度的影响

为应用制定精度标准时,了解对准误差与其对陀螺仪精度影响之间的基本关系是一个很好的着手点。为了说明该过程,图 5 提供了三轴陀螺仪系统的通用模型。图中的三条绿色实线代表全局坐标系的三轴,黑色实线代表所有三个陀螺仪的旋转轴,带 Ψ 标签代表全局坐标系与陀螺仪轴之间的对准误差。公式 5、公式 6 和公式 7 显示了对准误差对各陀螺仪绕全局坐标系中指定轴旋转的响应的影响。在这些公式中,对准角度误差的余弦引入一个比例误差。

$$G_X = \omega_X \times \cos(\Psi_X) \quad (5)$$

$$G_Y = \omega_Y \times \cos(\Psi_Y) \quad (6)$$

$$G_Z = \omega_Z \times \cos(\Psi_Z) \quad (7)$$

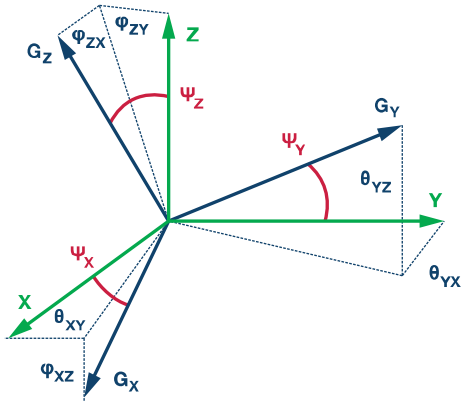


图5. 正交三轴陀螺仪的对准误差

对准误差还会对各轴产生跨轴影响。为了量化这些影响，需要将各轴的对准角度误差分解为与其它两轴相关的两个分量。例如， Ψ_X 有一个 y 轴分量 (ϕ_{XY}) 和一个 z 轴分量 (ϕ_{XZ})，导致 x 轴陀螺仪对绕全局坐标系中所有三轴旋转 ($\omega_X, \omega_Y, \omega_Z$) 的响应扩展如下：

$$G_X = \omega_X \times \cos(\Psi_X) + \omega_Y \times \sin(\phi_{XY}) + \omega_Z \times \sin(\phi_{XZ}) \quad (8)$$

y 轴和 z 轴陀螺仪也有同样的扩展：

$$G_Y = \omega_X \times \sin(\phi_{YX}) + \omega_Y \times \cos(\Psi_Y) + \omega_Z \times \sin(\phi_{YZ}) \quad (9)$$

$$G_Z = \omega_X \times \sin(\phi_{ZX}) + \omega_Y \times \sin(\phi_{ZY}) + \omega_Z \times \cos(\Psi_Z) \quad (10)$$

对公式 8、公式 9 和公式 10 的两侧积分，可得到关于角位移的类似关系。在得到的公式 11、公式 12 和公式 13 中，我们关心的角度是相对于全局坐标系的角位移 ($\theta_{X\omega}, \theta_{Y\omega}, \theta_{Z\omega}$) 和各陀螺仪的积分 ($\theta_{XG}, \theta_{YG}, \theta_{ZG}$)。

$$\theta_{XG} = \theta_{X\omega} \times \cos(\Psi_X) + \theta_{Y\omega} \times \sin(\phi_{XY}) + \theta_{Z\omega} \times \sin(\phi_{XZ}) \quad (11)$$

$$\theta_{YG} = \theta_{X\omega} \times \sin(\phi_{YX}) + \theta_{Y\omega} \times \cos(\Psi_Y) + \theta_{Z\omega} \times \sin(\phi_{YZ}) \quad (12)$$

$$\theta_{ZG} = \theta_{X\omega} \times \sin(\phi_{ZX}) + \theta_{Y\omega} \times \sin(\phi_{ZY}) + \theta_{Z\omega} \times \cos(\Psi_Z) \quad (13)$$

实例 2

一种地面无人驾驶车辆 (UV) 利用 MEMS IMU 作为平台稳定控制 (PSC) 系统中的反馈传感器以支持其天线。此系统采用 RSS 调谐器环路，后者要求方位角和仰角保持在 $\pm 1^\circ$ 范围内，以便维持连续通信。在大多数动态情况下，PSC 高度依赖 y 轴陀螺仪测量来控制仰角，以及依赖 z 轴陀螺仪测量来

控制方位角。在此类动态情况下，航向角 ($\theta_{Z\omega}$) 的最大变化为 30° ，并且在作这种机动期间没有绕 x 轴或 y 轴的旋转 ($\theta_{X\omega} = \theta_{Y\omega} = 0$)。

求解

由于绕 x 轴和 y 轴的旋转为 0，公式 8 和公式 9 可简化为：

$$\begin{aligned} \theta_{YG} &= \theta_{Z\omega} \times \sin(\phi_{YZ}) \\ \theta_{ZG} &= \theta_{Z\omega} \times \cos(\Psi_Z) \end{aligned}$$

从 y 轴开始，设 θ_{YG} 的最大边界为 1° ，求解对准误差项 Φ_{YZ} 。这样便可求得 y 轴陀螺仪的最大允许对准误差为 1.9° 。

$$\begin{aligned} \phi_{YZ} &\leq \sin^{-1}\left(\frac{\theta_{YG}}{\theta_{Z\omega}}\right) \\ \phi_{YZ} &\leq \sin^{-1}\left(\frac{1^\circ}{30^\circ}\right) \\ \phi_{YZ} &\leq 1.9^\circ \end{aligned}$$

对于 z 轴，设 $\theta_{Z\omega}$ 等于 30° ， θ_{ZG} 和 $\theta_{Z\omega}$ 之差的最大边界为 1° ，然后求解 Ψ_Z 。这样便可求得 z 轴陀螺仪的最大允许对准误差为 14.8° 。

$$\begin{aligned} \theta_{Z\omega} - \theta_{ZG} &\leq 1^\circ \\ \theta_{Z\omega} - \theta_{Z\omega} \times \cos(\Psi_Z) &\leq 1^\circ \\ \theta_{Z\omega} - 1^\circ &\leq \theta_{Z\omega} \times \cos(\Psi_Z) \\ 1 - 1^\circ/\theta_{Z\omega} &\leq \cos(\Psi_Z) \\ \Psi_Z &\leq \cos^{-1}\left[1 - 1^\circ/\theta_{Z\omega}\right] \\ \Psi_Z &\leq \cos^{-1}\left[1 - 1^\circ/30^\circ\right] \\ \Psi_Z &\leq 14.8^\circ \end{aligned}$$

上述计算表明，对于这种特定机动/情形，y 轴和 z 轴之间的跨轴行为要求对准精度约为 1.9° 。

电子对准

在 IMU 和安装系统不满足关键系统目标的情况下，电子对准提供了一种减小对准误差的方法。该过程有两个重要步骤：测定对准误差项 (IMU 安装之后) 和制定一个校正对准矩阵。将该矩阵应用于陀螺仪阵列时，陀螺仪将像已与全局坐标系对准一样作出响应。公式 14 为此过程提供了一个系统模型，其中绕全局坐标系各轴的旋转 ($\bar{\omega}$) 是三个系统输入，三个陀螺仪响应 (\bar{G}) 是系统输出， 3×3 矩阵 (M) 代表输入与输出之间的系统行为 (包括对准误差)。

$$\bar{G} = M \times \bar{\omega} \quad (14)$$

通过简单的算术操作可得,陀螺仪测量结果 (\bar{G}) 与M的逆矩阵 (M^{-1}) 的乘积等于全局坐标系的旋转阵列 ($\bar{\omega}$)。因此,对准矩阵等于 M^{-1} 。

$$M^{-1} \times \bar{G} = M^{-1} \times M \times \bar{\omega}$$

$$M^{-1} \times \bar{G} = \bar{\omega} \quad (15)$$

基于公式 8、公式 9 和公式 10, 可将公式 14 扩展以包括对准误差项, 如公式 16 所示, 公式 17 和公式 18 是更一般形式:

$$\begin{bmatrix} G_X \\ G_Y \\ G_Z \end{bmatrix} = \begin{bmatrix} \cos(\Psi_X) & \sin(\phi_{XY}) & \sin(\phi_{XZ}) \\ \sin(\phi_{YX}) & \cos(\Psi_Y) & \sin(\phi_{YZ}) \\ \sin(\phi_{ZX}) & \sin(\phi_{ZY}) & \cos(\Psi_Z) \end{bmatrix} \begin{bmatrix} \omega_X \\ \omega_Y \\ \omega_Z \end{bmatrix} \quad (16)$$

$$\begin{bmatrix} G_X \\ G_Y \\ G_Z \end{bmatrix} = \begin{bmatrix} M_{11} & M_{12} & M_{13} \\ M_{21} & M_{22} & M_{23} \\ M_{31} & M_{32} & M_{33} \end{bmatrix} \begin{bmatrix} \omega_X \\ \omega_Y \\ \omega_Z \end{bmatrix} \quad (17)$$

$$M = \begin{bmatrix} M_{11} & M_{12} & M_{13} \\ M_{21} & M_{22} & M_{23} \\ M_{31} & M_{32} & M_{33} \end{bmatrix} \quad (18)$$

一次仅绕一个轴旋转整个系统可将系统模型简化到足够简单的程度, 使得矩阵中的每个元素都可以通过一次陀螺仪测量获得。例如, 让系统绕 x 轴旋转 ($\omega_X = \omega_{TR}, \omega_Y = 0, \omega_Z = 0$), 同时观测所有三个陀螺仪, 则 M11、M21 和 M31 的关系可简化如下:

$$M_{11} = G_X / \omega_{TR} \quad (19)$$

$$M_{21} = G_Y / \omega_{TR} \quad (20)$$

$$M_{31} = G_Z / \omega_{TR} \quad (21)$$

采用同样的方法, 绕 y 轴旋转 ($\omega_X = 0, \omega_Y = \omega_{TR}, \omega_Z = 0$), 则 M12、M22 和 M32 的关系可简化如下:

$$M_{12} = G_X / \omega_{TR} \quad (22)$$

$$M_{22} = G_Y / \omega_{TR} \quad (23)$$

$$M_{32} = G_Z / \omega_{TR} \quad (24)$$

最后, 绕 z 轴旋转 ($\omega_X = 0, \omega_Y = 0, \omega_Z = \omega_{TR}$), 则 M13、M23 和 M33 的关系可简化如下:

$$M_{13} = G_X / \omega_{TR} \quad (25)$$

$$M_{23} = G_Y / \omega_{TR} \quad (26)$$

$$M_{33} = G_Z / \omega_{TR} \quad (27)$$

显然, 运动配置 ($\bar{\omega}$) 的精度和陀螺仪测量 (\bar{G}) 对此过程有直接影响。具体说来, 偏轴运动对此过程有显著影响, 当购买和部署依赖这些要求的惯性测试设备时, 必须予以考虑。就陀螺仪精度而言, 偏置和噪声是两大威胁, 在此过程中通常需要考虑。为了管控陀螺仪测量中残余偏置误差 (b_E) 的影响, 有一个技巧是使用两个不同的旋转速率 — 大小相等但方向相反。例如, 绕 y 轴沿正方向旋转时 ($\omega_Y = \omega_{TR}, \omega_X = \omega_Z = 0$), 公式 28 描述了 z 轴陀螺仪响应和偏置误差。公式 29 则描述了绕 y 轴沿负方向旋转时 ($\omega_Y = -\omega_{TR}, \omega_X = \omega_Z = 0$) z 轴陀螺仪的响应。

$$G_{ZP} = M_{32} \times \omega_{TR} + b_E \quad (28)$$

$$G_{ZN} = -M_{32} \times \omega_{TR} + b_E \quad (29)$$

变换公式 29, 写出偏置误差 (b_E) 的表示形式, 代入公式 28 中, 然后求解 M32。注意偏置误差 (b_E) 是如何从公式中消除的。

$$G_{ZN} = -M_{32} \times \omega_{TR} + b_E$$

$$b_E = G_{ZN} + M_{32} \times \omega_{TR}$$

$$G_{ZP} = M_{32} \times \omega_{TR} + G_{ZN} + M_{32} \times \omega_{TR}$$

$$G_{ZP} - G_{ZN} = M_{32} \times \omega_{TR} + M_{32} \times \omega_{TR}$$

$$G_{ZP} - G_{ZN} = 2 \times M_{32} \times \omega_{TR}$$

$$M_{32} = \frac{G_{ZP} - G_{ZN}}{(\omega_{ZP} - \omega_{ZN})} = \frac{G_{ZP} - G_{ZN}}{2 \times \omega_{TR}} \quad (30)$$

此公式假设偏置误差在两次测量中保持不变, 这并不是一个符合实际的期望, 不同测量之间可能存在偏差 (温度和噪声), 对此应有清醒的认识。当在稳定的温度条件下连续进行测量时, 噪声常常是此过程中需要管控的关键误差。在陀螺仪测量中, 可接受的噪声水平取决于对准精度目标 (Ψ_T) 和测定过程中各轴上的旋转速率 (ω_{TR})。惯性条件保持不变时, 一种常用的降噪技术是对陀螺仪数据的时间记录求均值。利用 Allan 方差曲线这个工具可以了解可重复性 (噪声) 与均值时间之间的权衡关系。

实例 3

如果特性测定期间的旋转速率为 $100^\circ/\text{s}$, 对准精度目标为 0.1° , 噪声 (rms) 必须比对准误差目标低 10 倍, 那么为了实现这些目标, 我们需要对 ADIS16485 的输出求多长时间的均值?

求解

使用陀螺仪与输入之间的一般响应 (在测试平台上旋转), 下面的计算表明: 各陀螺仪的总噪声 (rms) 必须低于 $62^\circ/\text{小时}$ 。

$$G_{\text{Noise}} \leq \frac{1}{10} \times \omega_{TR} \times \sin(\Psi_T)$$

$$G_{\text{Noise}} \leq 0.1 \times 100 \frac{^\circ}{\text{s}} \times \sin(0.1^\circ)$$

$$G_{\text{Noise}} \leq 0.017 \frac{^\circ}{\text{s}} = \sim 62 \frac{^\circ}{\text{hour}}$$

图 6 通过一个例子说明了如何使用此 IMU 的 Allan 方差曲线来选择均值时间以满足上述要求。本例中, 0.1 秒的均值时间可满足 $62^\circ/\text{小时}$ 的可重复性目标, 还有一些裕量。

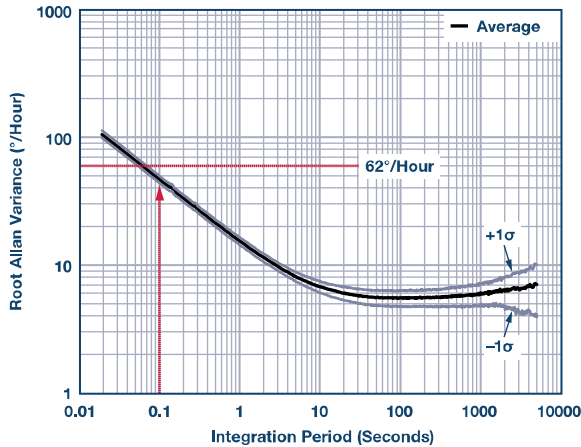


图 6. ADIS16485 Allan 方差曲线

注意, 这种方法仅针对传感器本身的噪声。若测试平台有振动, 会增加陀螺仪测量的噪声, 则可能需要额外的考虑和滤波。

简化对准过程的技巧和窍门

开发一个具有必要的精度和环境控制温度的三轴惯性测试系统, 通常需要在固定设备和工程开发资源方面投入巨资。对于那些正在开发第一代或第二代系统, 在开发过程中有很多问题需要回答的公司, 可能没有此类资源或时间。这就产生了简化解决方案的需求, 通过谨慎选择 IMU 并利用仪器或应用中的自然运动可以实现简化。

例如, 有时候使用角度可能比使用角速率测量来得更方便。公式 31 是公式 11、公式 12 和公式 13 合并的结果, 它用相对于全局坐标系的角度 ($\theta_{X\omega}$, $\theta_{Y\omega}$, $\theta_{Z\omega}$) 和陀螺仪输出的积分 (θ_{XG} , θ_{YG} , θ_{ZG}) 来代表系统行为 (M):

$$\begin{bmatrix} \theta_{XG} \\ \theta_{YG} \\ \theta_{ZG} \end{bmatrix} = \begin{bmatrix} M_{11} & M_{12} & M_{13} \\ M_{21} & M_{22} & M_{23} \\ M_{31} & M_{32} & M_{33} \end{bmatrix} \begin{bmatrix} \theta_{X\omega} \\ \theta_{Y\omega} \\ \theta_{Z\omega} \end{bmatrix} \quad (31)$$

关于器件选择, 轴到轴对准误差是一个需要考虑的重要参数, 因为它低于轴到封装对准误差参数时, 将有助于降低与电子对准相关的惯性测试配置 (公式 16) 的复杂度。轴到封装对准误差参数描述的是陀螺仪相对于外部机械基准的方位, 而轴到轴对准误差参数描述的是各陀螺仪相对于另外两个陀螺仪的方位。多数情况下, MEMS IMU 中三个陀螺仪的理想方位是彼此成 90° , 因此轴到轴对准误差与此行为的另一个常见参数 — 跨轴灵敏度 — 相关。利用公式 7 作为参考, 轴到轴对准误差代表这三个关系的最大值:

$$\phi_{xye} = \phi_{xy} - 90 \quad (32)$$

$$\phi_{zye} = \phi_{yz} - 90 \quad (33)$$

$$\phi_{zxe} = \phi_{zx} - 90 \quad (34)$$

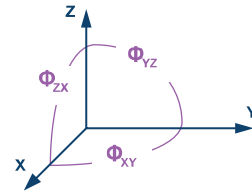


图 7. 轴到轴对准误差

制定电子对准流程时, 轴到轴对准误差参数确定的是假设传感器完全正交对准时的误差。使用完全正交这一假设条件, 仅旋转两轴便可对准所有三轴。例如, 绕 y 轴和 z 轴旋转便可直接观测到 M_{12} 、 M_{13} 、 M_{22} 、 M_{23} 、 M_{32} 和 M_{33} 。假设完全正交对准并应用三角函数, 便可利用以上 6 个元素和以下关系式计算其他三个元素 (M_{11} 、 M_{21} 和 M_{31}):

$$M_{21} = M_{12} \quad (35)$$

$$M_{31} = M_{13} \quad (36)$$

$$M_{11} = \sqrt{1 - M_{12}^2 - M_{13}^2} \quad (37)$$

以上等式可将系统模型更新如下，其中 M 矩阵中的所有 9 个元素用从 y 轴和 z 轴旋转得来的 6 个元素表示。

$$\begin{bmatrix} G_X \\ G_Y \\ G_Z \end{bmatrix} = \begin{bmatrix} \sqrt{1-M_{12}^2-M_{13}^2} & M_{12} & M_{13} \\ M_{12} & M_{22} & M_{23} \\ M_{13} & M_{32} & M_{33} \end{bmatrix} \begin{bmatrix} \omega_X \\ \omega_Y \\ \omega_Z \end{bmatrix} \quad (38)$$

结论

惯性 MEMS 技术在过去几年已经取得长足进步，为系统开发商在复杂权衡空间内提供了广泛的选项，包括尺寸、功耗、单位成本、集成成本和性能。对于首次利用 MEMS IMU 开发运动控制系统的人员，为了选择合适的 IMU 并准备利

用该 IMU 来支持关键系统需求，会有很多东西需要了解。对准精度对性能、成本和计划方面的关键目标会有重大影响，必须予以认真考虑。在概念和架构设计阶段，即使很简单的分析工具也能帮助找出潜在的风险，因此应当趁着还有时间影响器件选择、机械设计、安装后校准（电子对准）、初步成本预测和关键计划节点的时候，多做些工作。更进一步说，识别 MEMS IMU 的关键指标和机会，用系统中提供的自然运动代替三轴惯性测试设备以最大限度地发挥系统的价值（性能和总开发成本），将是非常有益的。

Mark Looney [mark.looney@analog.com] 是 ADI 公司（美国北卡罗来纳州格林斯博罗）的 iSensor® 应用工程师。自 1998 年加入 ADI 公司以来，他在传感器信号处理、高速模数转换器和 DC-DC 电源转换领域积累了丰富的经验。他拥有内华达州大学雷诺分校电气工程学士学位（1994 年）和硕士（1995 年）学位，曾发表过数篇文章。加入 ADI 公司之前，他曾协助创立汽车电子和交通解决方案公司 IMATS，还担任过 Interpoint 公司的设计工程师。



Mark Looney

该作者的其它文章：

[MEMS 振动监控导论](#)

第 48 卷，第 2 期

多功能：困境抑或现实？

作者：Duncan Bosworth

共享    

下一代航空航天等通信系统设计工程师正被推进到开发技术先进、高度可配置系统的阶段，需要整合各种不同的功能和需求，集成以前通过独立系统实现的功能。显然，这样做的好处是可以减少任务平台需要支持的子系统数量，降低整体尺寸、重量和功耗 (SWaP)，但由于还需要进一步支持认知和实时配置，其挑战可谓令人怯步。然而，新一代高性能、宽带器件为该挑战提供了潜在解决方案，不仅支持各系统要求的高性能水平，而且工作范围又非常宽，足以应对多功能挑战。

许多此类未来系统的终极目标是实现完全由软件决定的架构，以便能够动态改变、在现场更新或在工厂配置实施方案和工作模式，无需或只需非常少的硬件更改。挑战在于系统可能需要支持各种工作模式的超集，这要求底层单一硬件能够满足所有可能需要的工作模式的技术规格。

此类系统的一个例子是雷达和通信平台。雷达系统除多模式雷达外，还希望支持电子支援措施 (ESM)；通信系统除多波形通信外，还希望实现信号情报 (SIGINT)功能。

在这两个例子中，系统均希望整合宽带和窄带功能，而这些功能在线性度、动态范围和其他要求方面通常大相径庭。如果技术规格没有商量的余地，为了达成首要目标，设计人员可能不得不在功耗或尺寸上作出让步。例如，考虑一个X波段雷达系统和一个宽带电子系统 (ELINT)。雷达系统的工作频率范围通常相对较窄，典型值是8 GHz到12 GHz频段内的数百MHz。相比之下，ELINT系统的工作频率范围通常是2 GHz到18 GHz，涵盖所有S、C和X波段。如果假设这两个实现方案的尺寸必须相同，那么可能需要在性能上作出让步以支持ELINT系统更宽的频率范围和覆盖。对于本例，通常可以用信号链的线性度或功耗来换取带宽。

若将相同的理念运用于器件层面，则会观察到同样的问题。对于宽带系统，器件至少有一个方面的性能会受到影响，例如线性度、噪声性能或功耗等。下面的表1显示了集成压控

振荡器 (VCO) 的宽带和窄带锁相环 (PLL) 的典型性能折中。可以看到，窄带器件具有更好的典型相位噪声、品质因数和功耗性能，但显然这是以牺牲灵活性为代价来获得的。

表1. 集成VCO的典型宽带和窄带PLL的性能比较

	集成VCO的宽带PLL ADF4351	集成VCO的窄带PLL HMC837
输出频率	0.035 GHz至4.4 GHz	1.025 GHz至1.150 GHz
品质因数	-221 dBc/Hz	-230 dBc/Hz
VCO P/N @ 100 kHz (dBc/Hz)	-114	-120
VCO P/N @ 1 MHz (dBc/Hz)	-134	-147
尺寸	5 mm × 5 mm	6 mm × 6 mm
功耗	370 mW	168 mW

虽然在单个系统中实现多种系统规格时，总会有一些折中和让步，但下一代射频和微波器件以及高速ADC将会缓解未来系统设计师的部分压力。CMOS和硅锗 (SiGe) 工艺以及其他方面的进步，使得越来越多的数字功能可以被集成到新一代器件中。除了灵活多变以外，先进的信号处理能力还能提供校准或数字补偿功能，使得系统整体的性能水平更接近于对应的窄带系统，同时还能重新配置并利用更宽的带宽来支持所需的工作模式。

图1所示为一个基于多种最新射频和微波器件的通用宽带接收机架构图。

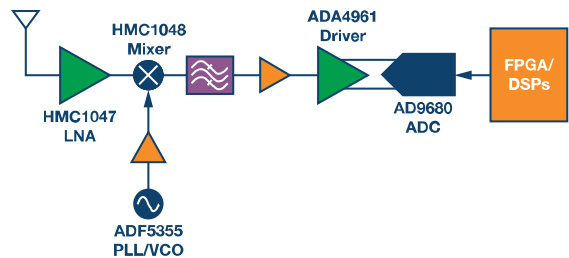


图1. 可能的宽带可再配置信号链

虽然在实际应用中，上述架构可能需要额外的滤波和增益级来实现具体规格要求，但底层器件的灵活性支持实现带宽非常宽的监控系统架构。此外，可配置的数字信号处理功能支持信号链在需要时执行更多窄带功能。更妙的是，系统还能动态实时地变更工作模式，从而有望与下游的其他数字信号处理电路一起支持更多功能。

图中所示信号链的前两级——低噪声放大器 (LNA) 和混频器系采用 GaAs 技术实现。虽然宽带 SiGe 混频器已取得进步，但前端器件最好还是使用 GaAs 和 GaN 器件。两种情况下，HMC1049 和 HMC1048 都能提供非常宽范围的性能和出色的 IP3，支持窄带和宽带操作。这些器件说明，工艺进步使得单个器件就能满足多种规格要求，而无需附加数字功能。数字功能嵌入射频器件的好处可以在信号链的其他元件中看到。新型 PLL [ADF5355](#) 集成 VCO，支持 54 MHz 至 13.6 GHz 的射频输出，并提供宽范围的合成器频率以供使用。该器件基于 SiGe 工艺，采用四个独立集成的 VCO 内核，能够支持丰富多样的操作。每个内核使用 256 个交叠频段，使得器件能够覆盖很宽的频率范围而无需很高的 VCO 灵敏度，相位噪声和杂散性能亦不受影响。器件内部集成的数字校准逻辑自动选择正确的 VCO 和频段。该器件使得信号链既能支持 54 MHz 至 13.6 GHz 的射频扫描，也能视需要支持固定频率。同时，信号链还能维持更多窄带系统操作所需的高性能水平，1 MHz 偏移时的典型相位噪声为-138 dBc/Hz。

[ADA4961](#) ADC 驱动器提供宽带性能和出色的线性度。利用 SPI 和嵌入式数字控制，它在 500 MHz 时实现了 90 dBc 的 IMD3 性能，1.5 GHz 时为-87 dBc。器件集成数字控制，支持增益控制和快速启动选项，使得器件可以根据需要进行配置，最佳地发挥系统性能。快速启动还能提高系统的灵活性，因为当 FA 引脚被驱动时（通常由 ADC 的超范围检测输出驱动），它能迅速降低增益，使得 ADC 不会进入饱和状态。

信号链中的最后一个器件是 [AD9680](#)，它是最新高速转换器之一。该器件基于 65 nm CMOS 工艺，在 14 位分辨率时支持高达 1 GSPS 的采样速率。使用更高采样速率和 GSPS 转换器的带宽时，AD9680 有能力以超过 1 GHz 的频率对中频信号进行欠采样。这与将系统数字转换点移近天线并提高系统灵活性的持续趋势是一致的。该器件不仅提供业界领先的 SFDR 和 SNR 性能，而且集成了数字下变频 (DDC) 信号处理，输出带宽可定制。

AD9680 ADC 具有数字信号处理配置能力，既支持宽带监控，又支持窄带功能。当禁用并旁路集成的 DDC 时，它能

支持 500 MHz 以上的瞬时监控带宽。使用 DDC 时，数字数控振荡器 (NCO) 可设置为将窄带中频信号数字混频至基带，然后由可配置的抽取滤波器降低数据速率；当器件以最大 ADC 采样速率工作时，输出数据带宽可降低至 60 MHz。数字信号处理不仅可改善较低带宽下的系统 SNR，还能提供可配置宽带和窄带信号链所需的灵活性。

虽然本例关注的是接收机路径，但类似的器件和集成度也适用于发射机。新型 DAC 集成高度可配置的插值滤波器和数字上变频功能，可与类似以上所述的宽带射频和微波器件一起使用。

上例说明了新一代宽带器件如何集成越来越多的数字信号处理和功能，以及这如何使未来系统具有动态配置能力，从而以前所未有的性能水平支持多模式工作。这与窄带和宽带操作无法共存的观点相矛盾。应当注意，以上简单的分析并未涉及某些滤波难题或功耗分析。这些因素可能会严重影响实际的设计选择和信号链架构。然而，随着更高性能宽带器件的增多，以及信号处理能力的增强，未来高度可配置、具认知能力且由软件定义的系统看起来前景广阔。

最后再举一例以便更好地阐明观点，[AD9361](#) 等集成射频 IC 器件实现的集成度几乎达到极致，进一步证明数字和模拟功能之间的界限越来越模糊。AD9361 采用直接变频架构，集成了数字滤波和校准功能，高度灵活，支持 70 MHz 至 6 GHz 的射频输入频率和高达 56 MHz 的带宽。

70 MHz 至 6 GHz 射频
捷变收发器 IC

提供快速
原型开发
套件

10 mm x 10 mm BGA

AD9361

RX LO
TX LO

ADC
DAC

Data Interface

AD9361 的配置能力支持广泛的应用，包括雷达、通信、数据链路。利用数字校准和处理，该器件能够克服直接变频系统的许多典型问题，并提供前所未有的集成度和配置能力，从而进一步支持认知和多功能系统。

以前，如此高的集成度和性能是不可想象的。此外，由于无法克服随频率和温度的镜像抑制等限制因素，许多系统设计师不得不避开直接变频架构。数字和模拟功能的更高耦合度，以及现在的器件中集成的高级校准和处理功能，提供了解决之道，在提高灵活性的同时而不会显著影响性能和功耗。虽然使用由分立器件构成的窄带专用信号链仍能获得更

好的性能，但差距已然在缩小。

软件定义系统的终极目标是一个射频和微波信号链适合所有应用，理想情况是收发器等单个器件可支持多功能和认知应用。实际上，所有系统离这个目标可能都有一段距离，但最新的发展和进步使得各种新半导体器件集成的功能越来越多，我们离目标已越来越接近。除了改善传统的射频性能以外，数字信号处理还能缓解和克服某些多模式挑战。可能要不了多长时间，采用单个器件或级联宽带器件的单一解决方案就能满足所有应用需求，软件定义系统最终梦想成真。

Duncan Bosworth [duncan.bosworth@analog.com]是 ADI 公司航空航天与防务业务部的营销和应用总监。在供职于 ADI 公司之前，Duncan 从事高级防务工程设计已超过 17 年。Duncan 于 2001 年获得英国约克大学的工程硕士学位，并且是英国特许工程师。



Duncan Bosworth

交错 ADC 揭秘

作者：Gabriele Manganaro 和 Dave Robertson

共享    

时间交错技术可使用多个相同的模数转换器¹ (ADC)，并以比每一个单独数据转换器工作采样速率更高的速率来处理常规采样数据序列。简单说来，时间交错(IL)由时间多路复用 M 个相同的 ADC 并联阵列组成，如图 1 所示。这样可以得到更高的净采样速率 f_s (采样周期 $T_s = 1/f_s$)，哪怕阵列中的每一个 ADC 实际上以较低的速率进行采样 (和转换)，即 f_s/M 。因此，举例而言，通过交错四个 10 位/100 MSPS ADC，理论上可以实现 10 位/400 MSPS ADC。

为了更好地理解 IL 原理，图 1 中一个模拟输入 $V_{IN}(t)$ 以 M 个 ADC 进行采样，其结果为组合数字输出数据序列 D_{OUT} 。ADC₁ 最先采样 $V_{IN}(t_0)$ 并开始将其转换为 n 位数字信号。 T_s 秒后，ADC₂ 将采样 $V_{IN}(t_0+T_s)$ 并开始将其转换为 n 位数字信号。接着， T_s 秒后，ADC₃ 将采样 $V_{IN}(t_0+2T_s)$ ，以此类推。ADC_M 完成 $V_{IN}(t_0+(M-1) \times T_s)$ 采样后，开始下一个采样周期，并从 ADC₁ 采样 $V_{IN}(t_0+M \times T_s)$ 开始，依次进行下去。

由于 ADC 顺序输出 n 位数据且输出顺序与刚才描述的采样操作顺序一致，这些数字 n 位字由同一张图右侧的解复用器所采集。这里获取的是重新组合的数据输出序列 $D_{OUT}(t_0+L)$ ， $D_{OUT}(t_0+L+T_s)$ ， $D_{OUT}(t_0+L+2T_s)$ ，...。 L 表示每一个单独 ADC 的固定转换时间，而该重新组合的数据序列是一个 n 位数据序列，采样速率为 f_s 。因此，虽然各个 ADC (通常称为“通道”) 为 n 位 ADC 且采样速率为 f_s/M ，但整体等于采样速率为 f_s 的单个 n 位 ADC，而我们将之称为时间交错 ADC (与通道相区别)。输入本质上是分隔开的，并由阵列中的 ADC 单独处理，然后在输出端连续重组，以便构成输入 V_{IN} 的高数据速率表示 D_{OUT} 。

¹ 虽然此处讨论的是模数转换器，同样的原理适用于时间交错数模转换器。

这种强大的技术在实际使用时存在一些难题。一个重要的问题是来自通道的 M 数据流经过数字组装后重构原始输入信号 V_{IN} 。如果我们看一下频谱 D_{OUT} ；除了看到 V_{IN} 的数字信号以及模数转换引入的失真，我们还将看到额外的和大量的杂散成分，称为“交错杂散” (或简称为 IL 杂散)；IL 杂散既没有多项式类型失真的签名——比如较高次信号谐波 (2 次，3 次，等等)——也没有量化或 DNL 误差签名。IL 伪像可视为时域固定码噪声的一种形式，由通道中的模拟损害引起，因为在交错过程中采用分隔转换信号进行调制并出现在最终的数字化输出 D_{OUT} 。

让我们分析一个简单的示例，了解可能会发生什么情况。考虑频率 f_{IN} 下正弦输入 V_{IN} 的双路交错 ADC 情况。假定 ADC₁ 具有增益 G_1 ，ADC₂ 具有差分增益 G_2 。在这种双路 IL ADC 中，ADC₁ 和 ADC₂ 将交替采样 V_{IN} 。因此，如果 ADC₁ 转换偶数样本，而 ADC₂ 转换奇数样本，则所有 D_{OUT} 偶数数据的幅度都将由 G_1 设置，而所有 D_{OUT} 奇数数据的幅度都将由 G_2 设置。然后， D_{OUT} 不仅包含 V_{IN} ，还包括一些多项式失真，但它受到 G_1 和 G_2 的交替放大，就好像我们采用频率为 $f_s/2$ 的方波对 V_{IN} 进行幅度调制。这样做会引入更多杂散成分。特别地， D_{OUT} 在 $f_s/2 - f_{IN}$ 频率处会包含“增益杂散”；并且不幸的是，该杂散的频率会跟踪输入 f_{IN} ，且位于交错 ADC 的第一奈奎斯特频段内 (即在 $f_s/2$ 内)，而在所有其它奈奎斯特频段内也会存在混叠。该交错杂散的功率/幅度取决于两个增益 G_1 和 G_2 之间的净差。换言之，它取决于增益误差失配²。而最终，它取决于输入 V_{IN} 自身的幅度。

² 注意，重要的是增益误差失配，而非其绝对值。因为如果两个通道具有相同的增益 (误差)，那么 $G_1 = G_2$ 。这种情况下，两个通道调高程度相同，因此两个数据流重新组合为单个 D_{OUT} 数据流，且无交替幅度 (或调制)，并且没有引入增益杂散。

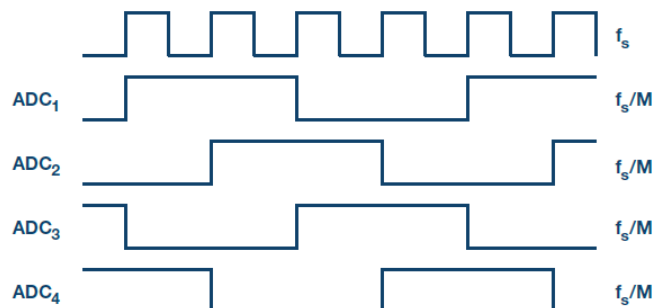
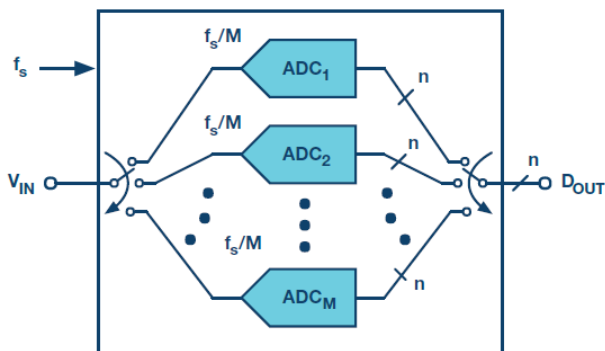


图 1. M 次交错的 n 位 ADC 阵列每一个 ADC 的采样速率为 f_s/M ，得到的时间交错 ADC 采样速率为 f_s 。 $M = 4$ 的时钟方案示例在该图下半部分显示。

如果输入并非简单正弦波，而是真实应用中的全频带限幅信号，那么“增益杂散”就不只是干扰音了，而是频带限幅输入信号自身的完整调节镜像，出现在奈奎斯特频段内。这在一定程度上抵消了交错带来的带宽增加的优势。

虽然上例中我们仅考虑了通道间的增益误差失配，其它损害也会引起交错杂散。失调失配（通道失调之间的差）引起固定频率的信号音（“失调杂散”），功率与失调失配成正比³。当某些通道比预定顺序更早或更晚采样某位时，便发生采样时间偏斜。它会引入“时间杂散”，其频率与增益杂散完全一致（并叠加同样的幅度）⁴，但功率会随着 f_{IN} 的增加以及输入幅度的增加而不断加强。各通道之间的带宽失配会引入更多的杂散成分，频率取决于 f_{IN} ，并且正如时间杂散，杂散功率不仅随着输入幅度，而且还会随着 f_{IN} 自身而逐步增加。再次强调，无论何种情况，输出频谱下降的程度并不取决于通道损害的绝对值（失调、增益、时序、频段），而是取决于通道之间的相对失配或通道之差。

虽然时间交错的基本技术存在已有几十年，但IL可在何种程度上保持最小化则将其过去的适用性限制于低分辨率转换器。然而，最近在通道失配校准方面以及抑制残留IL杂散成分方面的进步已经可以实现全集成、极高速、12/14/16位IL ADC。

这种情况下，我们需要对交错进行分类。我们一般将两个交错通道称为“乒乓”工作。然后，当我们描述较少通道数的情况（比如3通道至4通道），以及大量通道的情况时（比如超过4个通道，通常达到8个或更多），我们还区分了“轻度交错”和“重度交错”。

乒乓（双路）交错

当我们只是交错两个通道以便使采样速率翻倍时，我们将其称为“乒乓”，如图2 (a)中的框图所示。这是一种最简单的情况，它有一些有趣和有用的特性。这种情况下，在交错ADC的第一奈奎斯特频段内，交错杂散位于直流、 $f_s/2$ 和 $f_s/2 - f_{IN}$ 处。因此，如果输入信号 V_{IN} 是一个对中至 f_{IN} 的窄带信号——如图2 (b)中的第一奈奎斯特输出频谱所示——交错杂散包含直流处的失调杂散、 $f_s/2$ 处的另一个失调失配杂散以及对中至 $f_s/2 - f_{IN}$ 的增益和时序杂散镜像，看上去就像输入自身的一个放大复制版本。

如果输入信号 V_{IN} (f)完全位于0和 $f_s/4$ 之间——如图2 (b)所示——那么交错杂散不与数字化输入频率重叠。此时，坏消息是我们只能数字化半个奈奎斯特频段，就好比只有一个时钟为 $f_s/2$ 的单通道，虽然我们依旧消耗至少两倍于该单个通道的功耗。奈奎斯特频段上限的交错杂散镜像可在数字化之后通过数字滤波手段抑制，无需进行模拟损害校正。

但好消息是由于乒乓ADC时钟为 f_s ，数字化输出得益于动态范围内的3 dB处理增益。此外，与使用时钟为 $f_s/2$ 的单个ADC相比，乒乓ADC放宽了抗混叠滤波器设计要求。

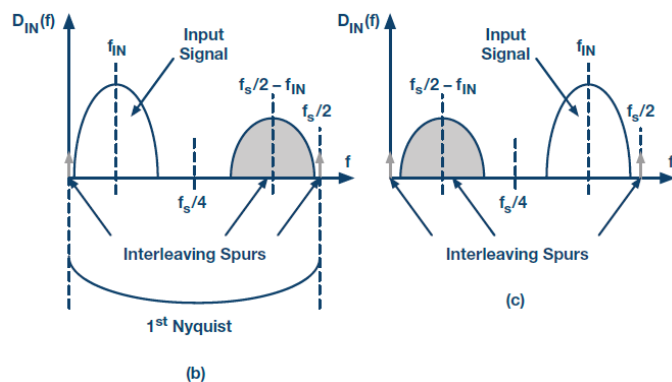
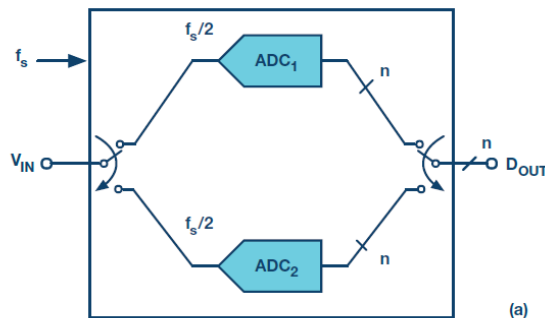


图2. (a) 乒乓方案 (b) 窄带输入信号位于 $f_s/4$ 以下时的输出频谱 (c) 此时输入信号位于 $f_s/4$ 和奈奎斯特频率 $f_s/2$ 之间。

如果窄带信号位于第一奈奎斯特频段的上半部，则所有考虑因素都适用，如图2 (c)所示，因为交错镜像杂散移至奈奎斯特频段的下半部分。再次强调，增益和时序杂散可在滤波数字化之后通过数字手段抑制。

最后，输入信号和交错杂散的频率将会重叠，并且一旦输入信号频率位置跨过 $f_s/4$ 线，交错镜像就会破坏输入频谱。这种情况下，恢复所需输入信号将是不可能的，而乒乓方案不可用。当然，除非通道间匹配足够紧密，使得交错杂散成分对于应用来说达到可以接受的低程度，或者引入校准来降低导致IL镜像的原因。

总之，频率规划和某些数字滤波可以恢复乒乓方案中的窄带数字化输入，哪怕存在通道失配。虽然转换器功耗相比使用单个时钟为 $f_s/2$ 的ADC时基本翻了个倍，但乒乓方案提供了3 dB处理增益，同时放宽了抗混叠要求。

³ 一般而言，对于 M 个通道交错，失调杂散发生在 $f_{OS} = (k/M) f_s$, $k = 0, 1, 2, \dots$ (Manganaro, 2011年)。

⁴ 一般而言，对于 M 个通道交错，增益和时序偏斜镜像发生在 $f_{GS} = \pm f_{IN} + (k/M) f_s$, $k = 1, 2, \dots$ (Manganaro, 2011年)。

采用乒乓方案并且无任何通道失配校正的一个示例，以及其产生的交错杂散见图3。在该例中，两个双通道14位/1 GSPS ADC AD9680以交替乘以正弦波的速率进行采样，从而返回单个组合输出数据流，速率为2 GSPS。当我们查看该乒乓方案输出频谱的第一奈奎斯特频段时（位于直流和1 GHz之间），可以看到输入音，它是 $f_{IN} = 400$ MHz时位于左侧的强音；我们还能看到在 $f_s/2 - f_{IN} = 2G/2 - 400 M = 600$ MHz处有较强的增益/时序失配杂散。由于通道本身的失真以及其它损害，我们还能看到一系列其它信号音，但都低于-90 dB线。

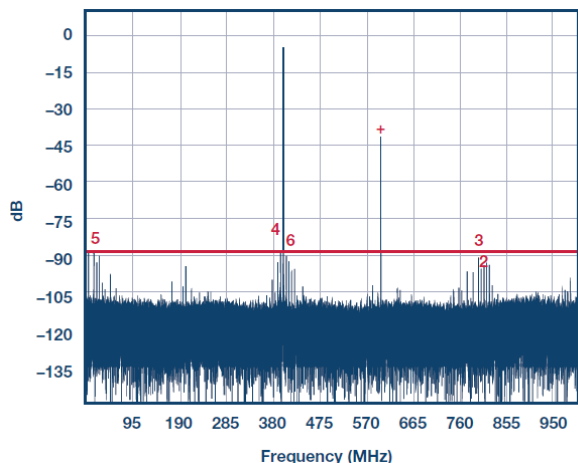


图3. 乒乓方案的2 GSPS输出数据组合频谱，采用两个AD9680在1 GSPS时钟下获取，采样相移为 180° 。

更高次交错

当具有两个以上通道时，上文所说的频率规划就不那么实用了。我们无法将交错杂散的位置限定在奈奎斯特频段的某一小部分。比如考虑四路交错ADC的情况，如图4(a)所示。此时，失调失配会提高直流、 $f_s/4$ 和 $f_s/2$ 时的信号音，而增益和时序交错镜像位于 $f_s/4 - f_{IN}$ 、 $f_s/4 + f_{IN}$ 和 $f_s/2 - f_{IN}$ 。交错ADC输出频谱的一个示例请参见图4(b)。很明显，除非输入位于 $f_s/8$ 以内的带宽之内，否则无论 f_{IN} 的位置如何，输入都会与部分交错杂散重叠，并且如果输入是一个极端窄带信号，那么我们不应当尝试使用宽带交错ADC将其数字化。

在这种情况下，我们需要最大程度降低IL杂散功率，以便获得完整的奈奎斯特频谱和更干净的频谱。为了达到这个目的，我们使用校准技术来补偿通道间失配。校正失配的影响后，最终的IL杂散功率会下降。SFDR和SNR都会得益于该杂散功率的下降。

补偿方法受限于失配可测量并最终校正的精度。除了校准所能达到的水平外，为了进一步抑制残留杂散，还可间歇性随机打乱通道输入采样的顺序。这样做之后，前面讨论的由于未校准失配而产生的转换输入信号调制效果将从固定码噪声转换为伪随机噪声。因此，IL音和干扰周期码转换为伪随机噪声类成分，并叠加至转换器量化噪声而消失，或者至少将干扰杂散镜

像和信号音加以扩散。此时，与IL杂散成分有关的功率叠加至噪声功率。因此，虽然改善了失真，但SNR可能下降，下降量为IL杂散功率加上噪声。SNDR (SINAD)基本上没有变化，因为它由失真、噪声和随机化组成；它只是将IL贡献因素从一个成分（失真）转移到另一个成分（噪声）。

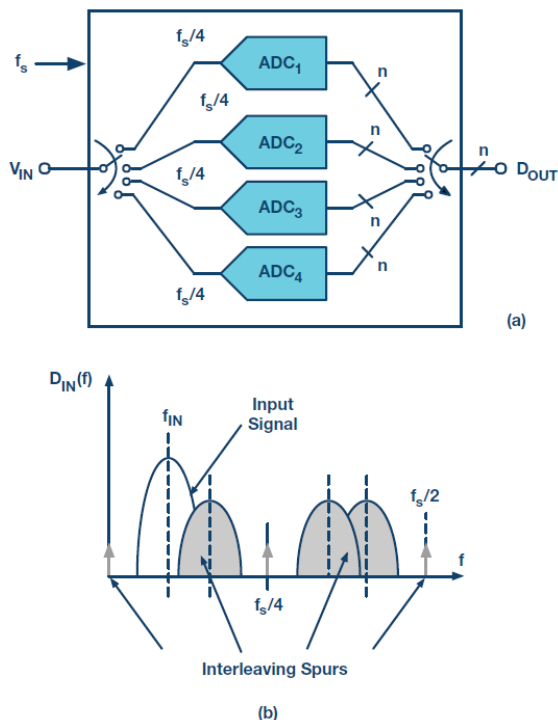
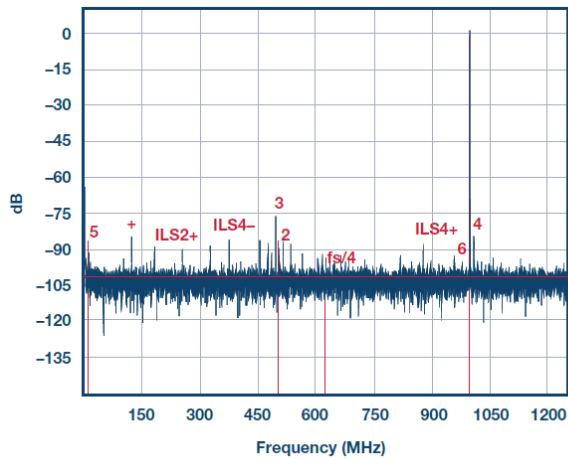


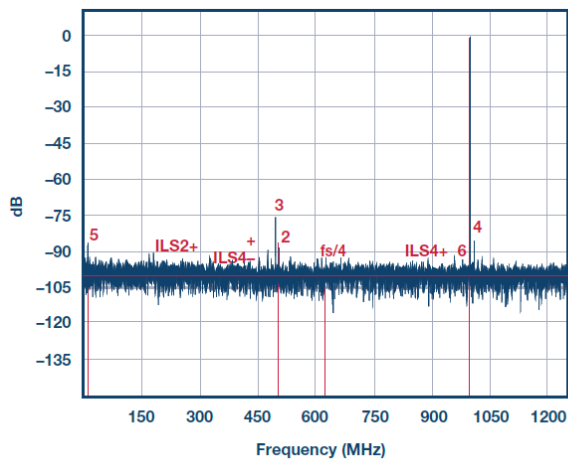
图4. (a)四路交错ADC (b)对应显示交错杂散的第一奈奎斯特输出频谱

让我们来看几个交错ADC的示例。AD9625是一个12位/2.5 GSPS三路交错ADC。对三个通道之间的失配进行校准，以便最大程度减少交错杂散。图5(a)所示是一个输入接近1 GHz的输出频谱示例。在该频谱中，除了约为1 GHz的输入音外，还可以看到通道在500 MHz附近存在2次和3次谐波失真，并在基频处存在4次谐波失真。交错失配校准可大幅降低交错杂散的功耗，并且在整个频谱中可以看到大量的额外残留的较小杂散音。

为了进一步减少这些残留杂散成分，引入了通道随机化。加入了第四个校准通道，然后将四个通道变为三路交错，并通过间歇性将交错通道与第四个更换，实现随机改变顺序。这就好比人们可以像耍杂技那样将三根柱子投向空中，然后每一次都更换第四根。这样做之后，可使残留交错杂散功率随机化，然后扩散到噪声。如图5(b)所示，经过通道随机化之后，交错杂散几乎消失了，而噪声功率却只略为增加，因而SNR降低2 dB。当然，需要注意的是，虽然图5(b)中的第二个频谱比失真音远为干净，但随机无法影响2次、3次和4次谐波，因为这些谐波不是交错杂散。



(a)



(b)

图5. AD9625的输出频谱, 时钟为2.5 GSPS, 输入音接近1 GHz。
(a) 顺序三路交错; SNR = 60 dBFS, SFDR = 72 dBc, 受限于3次谐波, 接近500 MHz; 然而, 整个频谱中可见大量交错杂散。
(b) 三路交错, 随机通道置乱; SNR = 58 dBFS, 而SFDR = 72 dBc 依然由3次谐波决定, 通过将功率扩散到噪底而消除了所有交错杂散。

使用通道随机化的另一个交错ADC示例如图6中的频谱所示。此时采用四路交错16位/310 MSPS ADC AD9652。图6示例中, 四个通道以固定顺序交错, 并且不进行任何减少通道失配的校准。频谱清楚表明交错杂散位于预计频率位置, 且它们的大功率远高于2次和3次谐波, 并将无杂散动态范围限制为仅有57 dBc。

然而, 如果同样的ADC经过前景校准以便减少通道失配, 那么交错杂散功率将会大幅下降, 如图7所示。与上例中的情况类似, 通道谐波失真不受影响, 但通过通道失配校准大幅降低了交错杂散功率。

最后, 图7中的频谱纯度可得到进一步改善, 方法是使通道顺序随机化, 如图8所示。此时, 随机化使用专利技术, 对四个

通道的顺序进行间歇性加扰无需通过另一个(第五个)通道来达成, 从而省下了与此相关的功耗。如图8所示, 经过随机化之后, 结果频谱中仅有常规谐波失真。

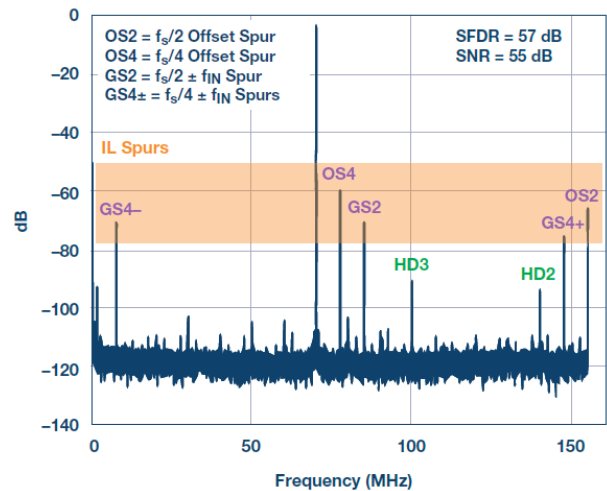


图6. AD9652的输出频谱, 时钟为 $f_s=310$ MHz, 采用 $f_{IN}\sim 70$ MHz 的正弦输入。此时, 未施加通道校准和随机化。2次(HD2)和重叠3次(HD3)谐波分别在大约140 MHz和100 MHz处可见。交错(IL)杂散同样可见。这些是直流、 $f_s/2$ (图中的OS2) 以及 $f_s/4$ (图中的OS4) 处的失谐音。另外, 增益(时序)杂散可见于 $f_s/2-f_{IN}$ (图中的GS2)、 $f_s/4+f_{IN}$ (图中的GS4+) 以及 $f_s/4-f_{IN}$ (图中的GS4-)。此图中的SNR查询人为变差了, 因为部分杂散成分和噪声功率混在了一起。

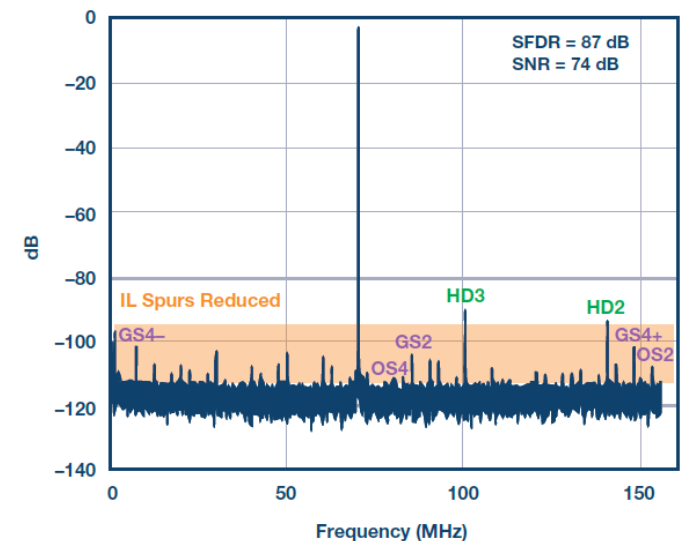


图7. 同一个AD9652的输出频谱, 采用同样的输入, 但经过校准后四个通道减少了失配。与图6相比, 虽然2次和3次谐波未受影响, 但交错杂散的功率大幅下降, 并且SFDR改善了30 dB, 即从57 dBc到87 dBc。

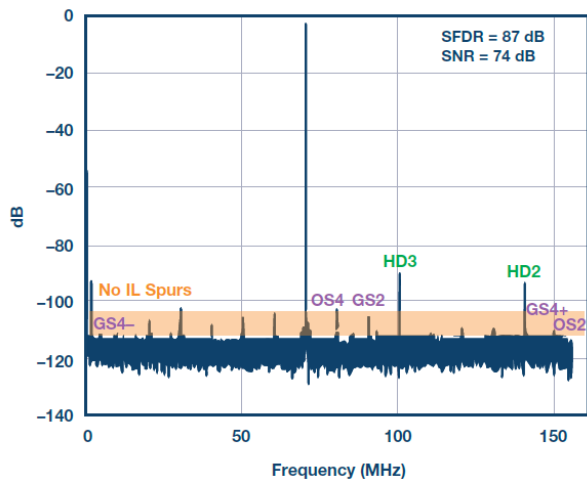


图8. 上例开启交错顺序随机化之后的输出频谱。随机化残留交错杂散可将它们的功率扩散到噪底中，相应的尖峰便消失了。可以看到的仅有常规谐波失真。SNR几乎未受影响，因为来自交错音并扩散的杂散功率经过失配校准后可以忽略。

结论

时间交错是增加数据转换器带宽的强大技术。最近在失配校准方面，以及通过随机化技术消除残留杂散成分方面的发展已经能够实现完全集成、极高速12/14/16位交错ADC。

在输入信号受频带限制的情况下（比如很多通信应用），乒乓（双路）交错方法可通过频率规划将干扰交错杂散分配到远离目标输入频段的位置。然后便可以数字手段过滤杂散成分。虽然这种方法相比工作在IL采样速率一半的非交错式ADC获得同样的无杂散输入带宽所需的功耗要高出几乎一倍，但它不仅可以通过处理增益提高动态范围3 dB，而且还能降低抗混叠的滚降，并修平ADC前的滤波器——因为IL采样速率高。

若需要用到IL转换器的全部输入频带才能捕捉宽带输入信号，那么可以采用更高次的交错转换器。这种情况下，校准和随机置乱可实现交错失真和杂散成分的补偿和消除。

致谢

作者感谢以下人员提供的部分经验性结论：Siddharth Devarajan、Prawal Shrestha、Antony DeSimone、Ahmed Ali、Umesh Jayamohan和Scott Bardsley。

参考文献

Ian Beavers, “千兆采样ADC通过快速运行应对新挑战”, ADI公司, 2014年。

William Black和David Hodges, “时间交错转换器阵列”, *IEEE Journal of Solid-State Circuit*, 第SC-15卷第6期, 1980年。

Duncan Bosworth, “GPS数据转换器拯救电子监控与对抗系统”, ADI公司, 2014年。

Jonas Elbornsson、Fredrik Gustafsson和Jan-Erik Eklund, “分析随机交错ADC系统中的失配影响”, *IEEE Transactions on Circuits and Systems*, 第52卷第3期, 2005年。

Jonathan Harris, “深入了解交错式ADC的本质”, *EDN Network*, 2013年。

Jonathan Harris, “交错式ADC入门”, *EDN Network*, 2013年。
Manganaro, Gabriele. *Advanced Data Converters*. Cambridge, UK: Cambridge University Press, 2011。

Gabriele Manganaro [gabriele.manganaro@analog.com]拥有意大利卡塔尼亚大学工程博士和哲学博士学位。他于1994年开始为ST Microelectronics和德州农工大学做研究。他曾负责Texas Instruments、Engim Inc的数据转换器IC设计，并曾担任National Semiconductor设计总监。Gabriele从2010年开始担任ADI公司高速转换器部门工程总监。他曾连续7年为ISSCC数据转换器的技术小组服务。他曾分别担任IEEE Transactions on Circuits and Systems（第一部分）的联合编辑、副主任编辑和主任编辑。他撰写/合作撰写了60篇论文、三本书、拥有13项美国专利，以及更多的申请中专利。他是IEEE的高级成员（自2003年开始），以及IET的成员（自2009年开始）。



Gabriele Manganaro

David H. Robertson [david.robertson@analog.com]于1985年加入ADI公司的数据转换器部门。他拥有各种互补双极性、BiCMOS和CMOS工艺高速数模转换器和模数转换器的工作经验。他曾担任产品工程师、设计工程师和产品线总监，并曾与美国、爱尔兰、韩国、日本和中国的产品开发团队合作过。Dave目前是ADI公司高速转换器部门的产品和技术总监。

Dave拥有15项转换器和混合信号电路方面的专利，参加过两次“最佳小组”国际固体电路会议晚间小组会话，是荣获《IEEE固体电路杂志》1997最佳论文奖的论文的合著者。他在2000年到2008年期间曾为ISSCC技术项目委员会服务，并在2002到2008年期间担任模拟和数据转换器小组主席。



David H. Robertson

零漂移放大器：现可轻松用于高精度电路中

作者：Vicky Wong和Yoshinori Kusuda

共享    

顾名思义，零漂移放大器是指失调电压漂移非常接近于0的放大器。它使用自稳零或斩波技术（或兼而有之），并随时间和温度连续自校正直流误差。这使得放大器能够实现 μV 级失调和极低的失调漂移。因此，它尤为适用于高增益和高精密性能的信号调理电路中。例如，传感器（比如温度、压力或称重传感器）一般产生低电平输出电压，因此需要一个放大器来放大信号，同时不应引入更多误差。零漂移放大器针对超低失调电压和漂移、高共模抑制、高电源抑制以及更低的 $1/f$ 噪声而设计，是在高要求系统应用中（比如检测应用）实现高分辨率的理想选择，具有较长的产品生命周期。

零漂移放大器的基本架构

图1显示了基本斩波放大器（单位增益配置）的电路图。直流增益路径包括输入斩波开关网络(CHOP_{IN})、第一跨导放大器(G_{m1})、输出斩波开关网络(CHOP_{OUT})、第二跨导放大器(G_{m2})和频率补偿电容(C₁和C₂)。CHOP和CHOP'通过时钟发生器和函数控制，可校正不希望出现的放大器直流失调电压(V_{OS})。

图2显示了相关时序图以及预期输出电压(V_{OUT})。当CHOP时钟信号为高电平（A阶段），放大器G_{m1}的差分输入和输出连接至信号路径，并且无反转。由于存在 V_{OS} ，因此产生正输出电压 V_{OUT} 。当CHOP'时钟信号为高电平（B阶段），G_{m1}的输入和输出连接信号路径且反转，并由于 V_{OS} 而产生负输出电压。来自G_{m1}的正负输出电压使输出电压等于 $\pm V_{OS}$ 。时域中的这种斩波概念类似于频域中的调制。换言之，G_{m1}失调电压由CHOP_{OUT}向上调制到斩波频率。另一方面，输入信号经由CHOP_{IN}和CHOP_{OUT}斩波两次。这与向上调制然后向下调制到原始频率的输入信号相等。因此，进入输出端的输入信号不发生反转。

正负输出电压（来自G_{m1}的 $\pm V_{OS}$ ）以电压纹波的形式出现在 V_{OUT} （图2）。此外，CHOP和CHOP'时钟通过开关相关的寄生电容耦合至差分输入引脚。时钟改变状态后，电荷注入差分输入引脚。这些注入的电荷经由有限输入源阻抗转换为输出电压毛刺。毛刺的幅度和形状取决于输入源阻抗以及差分输入引脚上注入电荷的数量和匹配程度。这些输出纹波和毛

刺会产生开关伪像，并在噪声频谱中的斩波频率和其整数倍数频率处出现增长。此外，每个零漂移放大器的开关伪像幅度和频率各有不同，并且各元件之间也有所不同。本文中，术语“斩波”和“开关频率”可以互换使用。

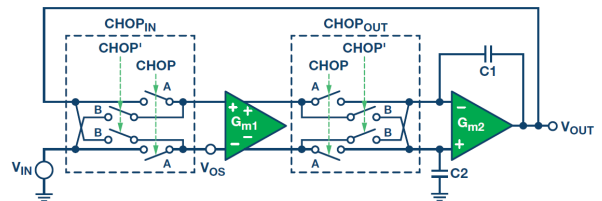


图1. 斩波架构

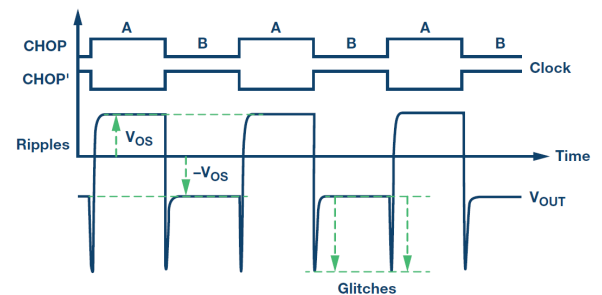


图2. 斩波时序图

数据手册中的开关伪像

一般而言，零漂移放大器具有较大的宽带噪声和较低的开关频率，范围从几千赫兹到几十k赫兹。这限制了它们只能用于直流和低于100 Hz的应用，以使开关频率保持在目标信号带宽外。对于要求在更高带宽下具有高精度和低漂移的应用，使用开关频率较高的零漂移放大器很重要。事实上，开关频率有时候可以看成零漂移放大器的品质因数。较新的零漂移放大器采用高级设计架构，针对在高很多的频率下具有较小开关伪像而设计。例如，除了在4.8 MHz处对失调电压进行斩波，高电压、双通道、零漂移放大器ADA4522-2还采用专利的失调和纹波校正环路，最大程度减少开关伪像。校正环路工作频率为800 kHz，用于消除失调电压 $\pm V_{OS}$ （如图2所示）。将 $\pm V_{OS}$ 下降至其初始值的1%能改善40 dB开关伪像。这样可以减少系统设计人员实现系统级精度目标的工作量。

检测开关伪像最简单的方法是观察放大器的电压噪声密度频谱。图3显示了ADA4522-2折合到输入端的电压噪声密度图。注意，通道B在其800 kHz开关频率处表现出了噪声频谱的增加。正如前文所述，这种噪声频谱的增加是电荷注入失配产生的副作用。由于失配取决于器件对器件以及通道对通道，因此噪声尖峰的幅度也有所不同，且并非所有器件都会表现出噪声尖峰。例如，同一个器件的通道A在800 kHz开关频率处并未表现出任何噪声尖峰。各器件之间的开关频率还可能有10%到20%的差异，具体取决于片上时钟振荡器频率的变化。

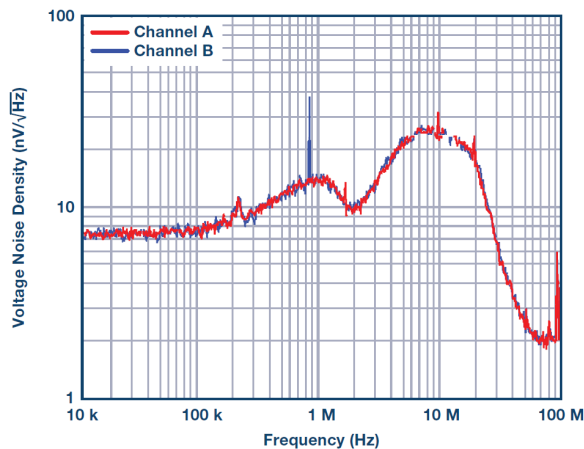


图3. ADA4522-2电压噪声密度

不同零漂移放大器之间的噪声对比

图4显示了三个不同高电压、零漂移放大器折合到输入的电压噪声密度。注意，测试的全部三个零漂移放大器都表现出了一定程度的开关伪像。某些开关伪像还在其整数倍频率处重复。这些开关伪像可能非常大，并有可能在电路设计中引入误差。因此，了解它们对电路的影响，然后找到减轻影响的方法很重要。如果放大器具有高于开关频率的闭环频率，那么这种噪声频谱的增加将会积分至整个带宽中，并反映在输出端。不仅如此，折合到输入的电压噪声还会被放大器噪声增益放大。例如，假定放大器配置为增益100，那么折合到输出的有效噪声电压密度同样会增加100倍。

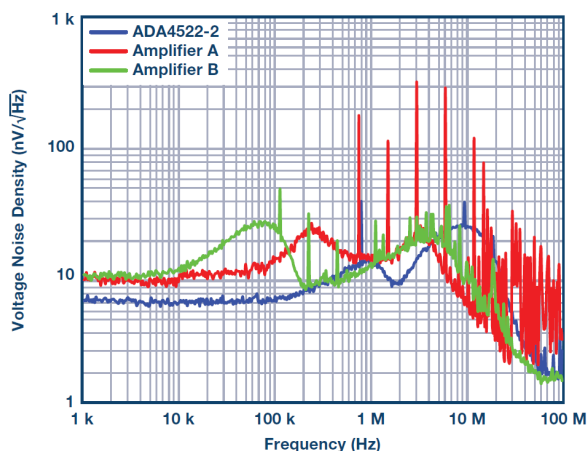


图4. 不同零漂移放大器的电压噪声密度

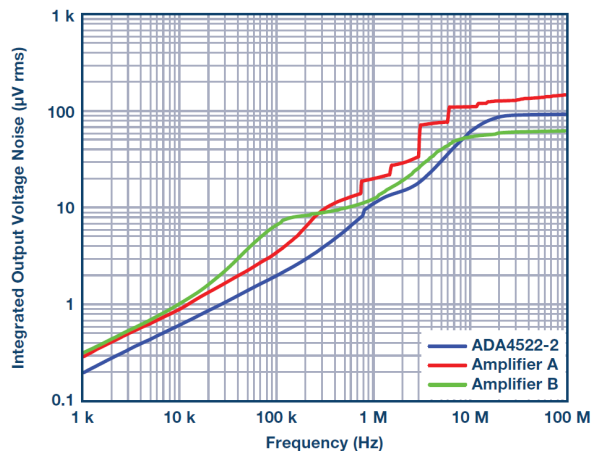


图5. 积分输出电压噪声

积分至放大器输出端的总RMS噪声取决于放大器带宽。输出电压噪声随可用带宽而滚降；因此，增益越高或带宽越宽，则输出放大器噪声的幅度也就越大。图5显示了积分输出电压噪声与频率的关系。这张图对于理解相对频率的总积分噪声很有用。例如，如果放大器的带宽通过滤波而限制在100 kHz，那么放大器的固有电压噪声引起的总输出噪声可由该图得知，如下所示：

表1. 输出积分噪声

放大器	输出噪声 (μV rms)	峰值值输出噪声 (μV p-p)
ADA4522-2	1.91	12.61
放大器A	3.33	21.98
放大器B	6.40	42.24

使用通用乘法系数（称为波峰因数）将RMS电压转换为峰峰值电压，则峰峰值噪声预计值如表1第三列所示。在一个5 V系统中，ADA4522-2提供18.6位峰峰值分辨率，而放大器B提供16.8位峰峰值分辨率。较低的总积分输出噪声总是有必要的，因为它增加了信噪比，并为整个系统带来了更高的分辨率。

图5中需注意的另一个有意思的地方是积分噪声在噪声尖峰频率处以阶跃类函数的方式递增。噪声尖峰（噪声能量增加）虽然很窄，但却会大幅增加总输出积分噪声。

时域中的开关伪像

很多时候，在频域的电压噪声密度频谱中可以清楚地看到开关伪像。为了理解基于时间的开关伪像特性，可以将放大器配置为缓冲器，将其同相引脚接地，并通过示波器直接观察输出。图6显示了两个零漂移放大器的典型输出。注意，放大器A在多个幅度中表现出了输出电压尖峰。尖峰每隔0.66 μs就重复一次。这与图4中1.51 MHz处看到的噪声尖峰匹配。另一方面，ADA4522-2在时域中未表现出任何开关伪像（蓝色图形）。换言之，噪声尖峰低于测量系统的噪声底，无法测出。这样，设计人员可以在驱动ADC的应用中使用ADA4522-2，并十分自信地知道噪声尖峰不会有任何问题。

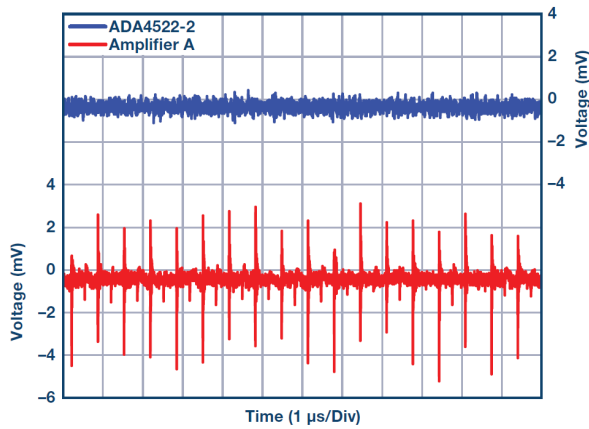


图6. 时域中的输出电压噪声

减少开关伪像的滤波器

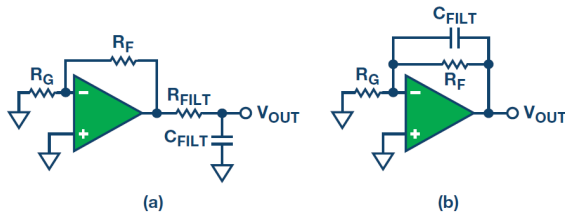


图7. 带滤波器的零漂移放大器

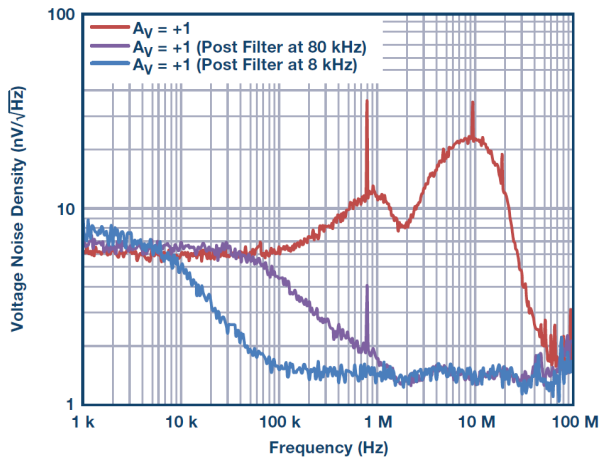


图8. 带后置滤波器的单位增益零漂移放大器电压噪声密度

有多种方法可以减少开关伪像的影响。这些方法最终都有赖于限制放大器带宽，使其低于开关频率。使用滤波器是抑制噪声尖峰的有效方式。最简单的设计是在放大器输出端放置一个电阻-电容网络，形成低通滤波器（图7A）。图8显示了零漂移放大器的电压噪声密度，后置滤波器设计为低于开关频率10%或20%。800 kHz时的噪声尖峰从 $36 \text{ nV}/\sqrt{\text{Hz}}$ （无后置滤波器）下降到 $4.1 \text{ nV}/\sqrt{\text{Hz}}$ （后置滤波器为80 kHz），低于放大器的低频宽带噪声水平。由于后置滤波器位于开关频率以下20%频率处（后置滤波器为8 kHz），噪声尖峰不再可见，而ADA4522-2与其他任何传统放大器都别无二致。

某些应用可能无法在放大器输出端使用RC网络。放大器输出电流流过滤波器电阻，导致电压失调，引起输出误差。这种情况下，可以选择在反馈环路两端放置一个反馈电容来过滤噪声尖峰（图7(b)）。图9显示的是放大器配置为增益10时，无滤波以及在开关频率下方10%处有后置滤波器或反馈滤波器情况下的输出电压噪声密度。后置滤波器配置作为低通滤波器而言，比反馈电容更为有效。

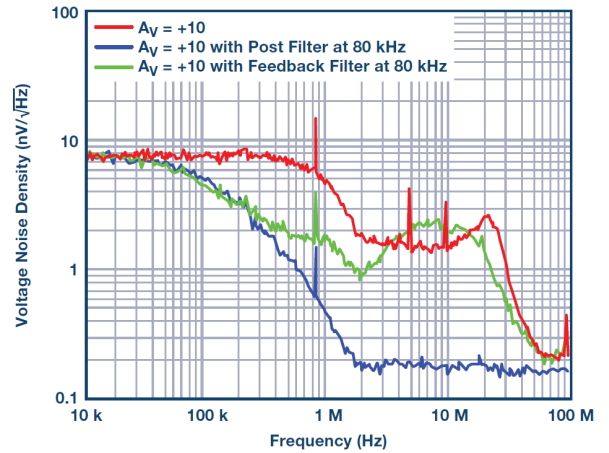


图9. 开关伪像随滤波而减少

在高增益配置下使用零漂移放大器会有所帮助

很多设计人员都会使用零漂移放大器，但并未在系统中观察到任何开关伪像。放大器配置可能是其中一个原因。零漂移放大器具有低漂移和失调特性，常用来在高增益（比如100到1000的增益）配置中对电平幅度传感器信号执行信号调理。在高增益配置下使用放大器的效果与在放大器端放置一个低通滤波器的效果是一样的。随着增益的增加，带宽会下降。图10显示了高增益配置如何降低开关效应。当闭环增益为100时，开关伪像在噪声曲线上几乎不可见。

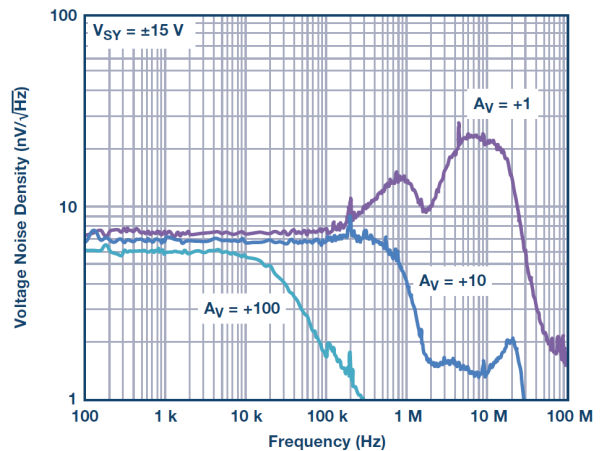


图10. 放大器带宽随增益滚降

ADA4522-2 用作零漂移放大器的优势

ADI最新的零漂移运算放大器ADA4522-2采用专利和创新的电路拓扑,可实现高开关频率,并且相比之前的产品能最大程度减少开关伪像。当单位增益带宽为3 MHz且开关频率为800 kHz和4.8 MHz时,40的增益配置便足够过滤开关伪像,无需外部低通滤波。该器件具有低失调电压漂移(22 nV/°C最大值)、低噪声(5.8 nV/ $\sqrt{\text{Hz}}$,增益配置为100)、低输入偏置电流(150 pA最大值)、高共模抑制和电源抑制性能,是电子秤、电流检测、温度传感器前端、称重传感器和桥式传感器等精密应用以及其他大量漂移关键型应用的理想选择。

结论

零漂移放大器具有极低的失调电压和漂移,是要求针对低电平信号进行高精度放大应用的理想选择。下文提供一些使用建议。

所有零漂移放大器都存在一定程度的开关伪像,这通常在电压噪声密度曲线中可以检测到。

不同器件的开关伪像幅度也有所不同。

器件之间开关频率的最大差异可达20%。

开关伪像可在频域和时域中检测到。取决于具体应用,开关伪像可能导致误差。

零漂移放大器通常用于高增益配置中;此时带宽下降,因而很多情况下开关伪像不会导致任何问题。

减少开关伪像,从而降低输出误差量很重要。使用一个低通滤波器(RC后置滤波器或反馈电容)以便在开关频率之前滚降放大器带宽便可抑制伪像。

高开关频率可降低滤波器对于较宽、可用、且无伪像带宽的要求。

致谢

Emman Adrados为本文撰写作出了贡献,在此表示衷心感谢。

Vicky Wong [vicky.wong@analog.com]是ADI公司的应用工程师,于2008年加入ADI,负责精密放大器和基准电压源产品。她拥有伊利诺伊大学香槟分校电气工程学士和硕士学位。



Vicky Wong

Yoshinori Kusuda [yoshinori.kusuda@analog.com]是线性和精密技术部门的IC设计工程师,工作地点在加利福尼亚圣何塞市。他主要负责精密CMOS放大器和开关电容设计,分别于2002年和2004年获得东京工业大学的电气工程学士和硕士学位。



Yoshinori Kusuda

分析、优化和消除带 VCO 的锁相环在高达 13.6 GHz 处的整数边界杂散

作者：Robert Brennan

共享    

锁相环 (PLL) 和压控振荡器 (VCO) 输出特定频率的 RF 信号，理想情况下此信号应当是输出中的唯一信号。但事实上，输出中存在干扰杂散信号和相位噪声。本文讨论最麻烦的杂散信号之一——整数边界杂散——的仿真与消除。

仅可工作在鉴频鉴相器参考频率整数倍的 PLL 和 VCO 组合 (PLL/VCO) 称为整数 N 分频 PLL。具有更精细频率步进的 PLL/VCO 称为小数 N 分频 PLL。小数 N 分频 PLL/VCO 灵活性更高，使用更广。小数 N 分频 PLL 能以参考速率调制 PLL 中的反馈路径，从而实现该目标。小数 N 分频 PLL/VCO 相比鉴相器参考频率虽然具有更为精细的频率步进，但它会产生称为整数边界杂散 (IBS) 的杂散输出。整数边界杂散发生在 PLL 鉴频鉴相器参考 (或比较) 频率 (f_{PFD}) 的整数倍 (1、2、3 ... 20、21 ...) 之处。例如，假设 $f_{\text{PFD}} = 100$ MHz，则整数边界杂散将位于 100 MHz、200 MHz、300 MHz ... 2000 MHz、2100 MHz。在所需 VCO 输出信号为 2001 MHz 的系统中，IBS 将位于 2000 MHz——相比所需信号偏移 1 MHz。由于 PLL 系统的有效采样，这种偏移 1 MHz 的 IBS 混叠至所需信号的两侧。因此，当所需输出为 2001 MHz 时，杂散信号将位于 2000 MHz 和 2002 MHz。

整数边界杂散不受欢迎的两个主要原因：

- 如果它们距离载波 (期望信号) 频偏小，则 IBS 功率会对相位噪声积分产生贡献。
- 如果它们距离载波 (期望信号) 频偏大，则 IBS 将调制/解调相邻通道至目标通道，导致系统失真。

在某些系统中，高整数边界杂散会导致部分输出通道无法使用。如果某个系统在特定频谱带宽内有 1000 个通道，并且 10% 通道内的杂散信号高于某个功率水平，那么这 100 个通道可能无法使用。在频谱带宽成本高昂的协议中，如果有 10% 的通道不可用，那么这将是一种浪费。

当整数边界离开目标输出频率而落在 PLL 带宽内的时候，整数边界杂散最强。也就是说，如果输出频率为 2000.01 MHz，并且环路带宽为 50 kHz，则 IBS 最大。随着输出频率远离整数边界，IBS 功率也随之可以计算和可重复的形式下降。ADI 公司的全新免费仿真器——ADIsimFrequencyPlanner™——采用这种可预测的特性来精确仿真整数边界杂散功率 (及其它)。

图 1 显示了最差情况下的整数边界杂散功率，此时各输出频率范围为 1900 MHz 至 2150 MHz (1 MHz 步进频率)。可以看到，在 2001 MHz 时，最差情况 IBS 功率为 -70 dBc (载波功率以下 70 dB)。在 2000 MHz 处没有 IBS，因为输出频率落在整数边界上。IBS 功率随着载波远离整数边界而下降，

直到载波开始接近下一个整数边界。

落在两个整数边界 (图 1 中的 2049 MHz 和 2051 MHz) 之间的一半处的杂散信号，属于二阶整数边界杂散。二阶整数边界杂散出现在整数边界之间的一半位置。通常情况下，二阶 IBS 比一阶 IBS 低 10 dB 至 20 dB。ADIsimFrequencyPlanner 可以仿真一阶、二阶、三阶、四阶和五阶整数边界杂散。

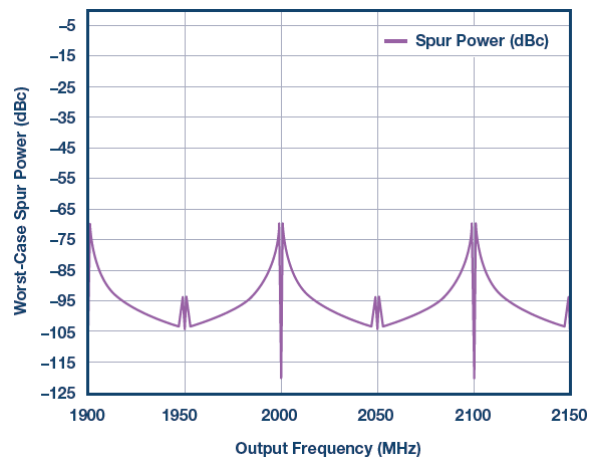


图1. 1900 MHz 至 2150 MHz 范围内各输出频率的最差情况整数边界杂散功率 (1 MHz 频率步进; 100 kHz 环路带宽; HMC830)。

假设某个调制方案声明整数边界杂散功率高于 -80 dBc 的通道不可用；那么，图 1 中大约有 10% 的通道将不再可用。为了解决这个问题，ADIsimFrequencyPlanner 可以优化 PLL/VCO 配置以便降低 (并且在大多数情况下消除) 整数边界杂散。前文提到整数边界杂散发生在 PFD 频率的整数倍之处，并且在靠近载波频率时最大。如果可以改变 PFD 频率，使 PFD 频率的整数倍落在足够大的载波频率偏移频率处，那么 IBS 功率将下降至不会产生问题的水平。这就是 ADIsimFrequencyPlanner 算法所做的事情——ADIsimFrequencyPlanner 计算一阶到五阶整数边界杂散的相对功率，并找到最优解决方案，使 VCO 输出的整数边界杂散最低。

如何改变 PFD 频率？一般而言，在 PLL/VCO 系统中，PFD 频率是固定的。然而，对于大部分可编程时钟分配源、PLL 参考输入分频器和 PLL 小数 N 分频调制器架构来说，现在可以轻松改变每个输出通道的 PFD 频率了。

在推荐的解决方案中，我们采用新型时钟生成和分配芯片 HMC7044。HMC7044 具有 14 个超低噪声输出，每个输出均集成可编程分频器。通过将这些输出之一连接到 PLL 参考输

入，然后对输出分频器按需进行编程，则参考频率阵列便可用于 PLL。

HMC7044 是时钟分配系统，可用于针对 ADC、DAC 和其它系统元件采用多种同步时钟的应用。无需那么多输出的较简单应用可以使用更为简单的替代方案，比如 [HMC832](#) 或 [ADF4351](#)——这两款器件均为集成式 PLL 和 VCO 芯片。

然后，在 PLL 参考输入端，参考输入分频器（R 分频器）可按需编程，将可用参考频率阵列分为更大的 PFD 频率阵列（PFD 频率是 R 分频器输出端的频率）。多亏了 PLL 内置的高阶小数 N 分频调制器，改变 PFD 频率不会妨碍得到所需的输出频率。此外，PLL 的可编程电荷泵电流可用来补偿 PFD 频率的变化，因此可以保持恒定环路带宽。

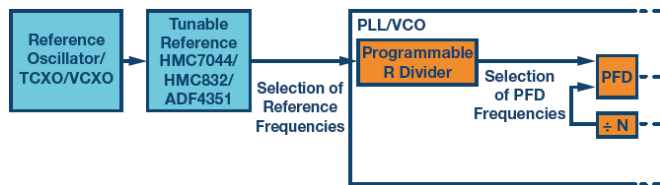


图2. PFD 频率选择框图。

示例：

f_{PFD} (MHz)	N	I_{CP}	$f_{PFD} \times N = RF_{OUT}$ (MHz)	注释
100	20.01	2.08	2001	IBS (± 1 MHz 时)
75	26.68	1.88	2001	IBS (± 24 MHz 时)

其中：

I_{CP} = 可编程电荷泵电流；

f_{PFD} = PLL PFD 频率；

N = PLL 小数 N 分频值；

RF_{OUT} = VCO 输出频率/载波频率/目标信号

可编程电荷泵电流的变化方向与 PFD 频率相反——PFD 频率增加则电荷泵电流下降。这是为了保持环路滤波器的动态恒定。

使用 ADIsimFrequencyPlanner 时，用户输入所需的输出频率范围、步进大小、PFD 频率和参考频率限制条件，以及环路滤波器参数。用户还可选择可用的时钟发生器输出分频器和 PLL 参考输入分频器。随后，ADIsimFrequencyPlanner 逐一目标频率进行分析，并根据可用 PFD 频率阵列计算最优 PFD 频率。然后，ADIsimFrequencyPlanner 将所需的分频器设置和电荷泵电流返回至用户。数据可轻松导出至查找表中，供最终应用的固件读取，然后相应编程 HMC7044 和 PLL/VCO。ADIsimFrequencyPlanner 还可生成一系列照片，向用户显示发生了什么。

在图 3 中，用户使用了与图 1 相同的配置，不同的是这次 PFD 频率通过改变 HMC7044 输出分频器和 PLL 参考输入分频器而优化。未优化的仿真如图中灰色部分所示，供对比。

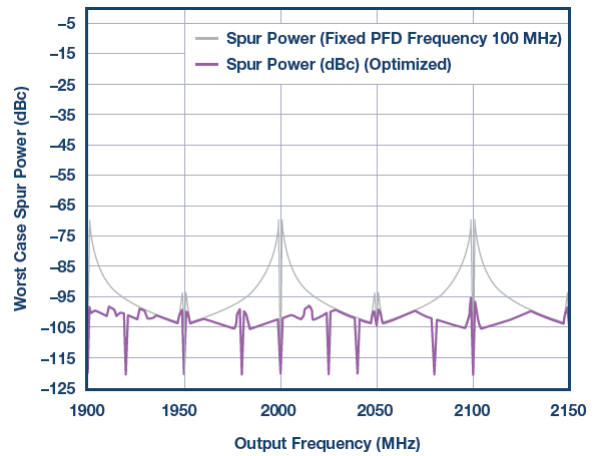


图3. 与图1相同的输出配置，不过这次优化了PFD频率。

由图 3 可见，在输出范围内（1900 MHz 至 2150 MHz，1 MHz 步进），所有整数边界杂散现在都低于 -95 dBc。这表示性能有了大幅提升，并且目标输出有极高的百分比具有相同的高质量。

将 ADIsimFrequencyPlanner 应用到宽带 VCO

在测量 ADIsimFrequencyPlanner 精度和有效性的实验中，将部分 ADI 高性能器件放在一起，并在实验室中进行评估。该实验需要用到下列器件：

- HMC7044 时钟生成和分配：
 - 高达 3.2 GHz 输出。
 - J 符合 JESD204B 标准。
 - 超低噪声（抖动低于 50 fs，12 kHz 至 20 MHz）。
 - -142 dBc/Hz（偏移 983.04 MHz 输出 800 kHz）。
 - 16 个可编程输出。
- 集成式 PLL 和 VCO [ADF5355](#)：
 - 55 MHz 至 13.6 GHz 输出。
 - 5 mm × 5 mm LFCSP 封装。
 - -138 dBc/Hz（1 MHz 偏移、3.4 GHz 输出）。
- 超低噪声 PLL [HMC704](#)：
 - RF 输入高达 8 GHz。
 - 100 MHz 最大 PFD 频率。
 - -233 dBc/Hz 归一化相位噪声。

虽然 ADF5355 内部集成 PLL，但是使用 HMC704 从外部锁定 ADF5355 VCO。这样做有两个主要好处：

1. 总相位噪声得益于 ADF5355 业界领先的 VCO 相位噪声性能，以及得益于 HMC704 业界领先的 PLL 相位噪声性能。
2. 隔离 VCO 和 PLL 可减少干扰信号耦合，从而降低杂散信号的功率。

ADIsimFrequencyPlanner 用来优化 4800 MHz 至 6300 MHz 范围的输出，步进为 250 kHz（6000 次步进）。在每个步进处，最优分频器设置（因而 PFD 频率也最优）和电荷泵电流编程至 HMC7044、ADF5355 和 HMC704。一旦器件编程并产生步进，频谱分析仪便测量载波功率、一阶和二阶整数边界杂散的功率。频谱分析仪采用极为狭窄的频率范围和分辨率带宽——即便如此，在大部分通道中仅测量噪声，因为整数边界杂散功率低于仪器的噪声。

以下测量为 PFD 频率限制在 60 MHz 至 100 MHz 范围内的时域测得。环路带宽和相位裕量分别为 17 kHz 和 49.6°。

图 4 显示了 HMC7044、ADF5355 和 HMC704 解决方案的测量和仿真结果。

- 仿真和测量 6000 个输出通道。
- 大部分整数边界杂散都在 -120 dBc 附近仿真。这低于频谱分析仪的噪底，因而仅测量噪声。
- 大部分频率的杂散低于 -100 dBc！典型要求是 -70 dBc 至 -80 dBc。
- 优化不改进 IBS 的唯一区域是低于 2 MHz 宽的部分，并且发生在 $2 \times$ HMC7044 主机时钟处——在该频率下，没有任何分频器组合可以改善 IBS 性能。下文提供替代解决方案。

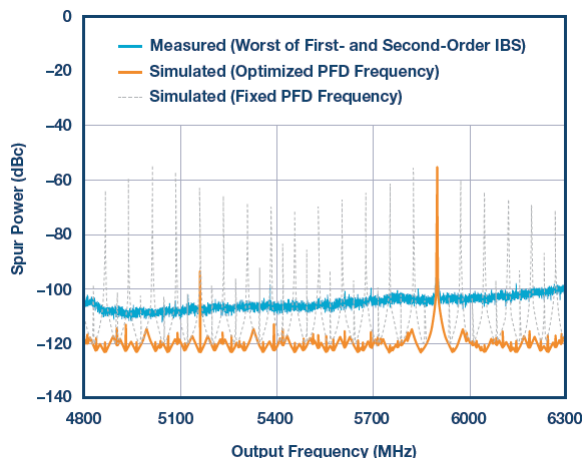


图4. HMC7044、ADF5355 和 HMC704 的测量与仿真结果。注意 ADIsimFrequencyPlanner 正确仿真了不可优化的较窄频率范围。在其它大部分频率处，测量受限于频谱分析仪的噪底。

只有在一个非常窄的频率范围内，优化 PFD 频率才无法改善 IBS 性能。该频率范围是系统主时钟的两倍（本例中为 $2949.12 \text{ MHz} \times 2 = 5898.24 \text{ MHz}$ ）。在此频率下，如果应用可行的话，建议将载波频率转换至附近更为干净的频率，然后将基带频率转换至数字 (NCO) 以补偿。例如，载波频率偏移 2 MHz，然后将数字基带频率偏移 2 MHz 以补偿。此外，如果系统可行的话，可改变主机时钟频率，创造干净的输出频率。

如果采用上述较为简单的解决方案（使用 HMC832 或 ADF4351 而非 HMC7044），那么就不会产生任何有问题的频率！

由图 4 可以看出，ADIsimFrequencyPlanner 可以：

- 精确仿真整数边界杂散。
- 成功优化参考源和 PLL/VCO 系统，以便实现出色的整数边界杂散性能。
- 这样可以在某个范围内使更多通道可用，从而提升昂贵频谱的成本价值。
- 快速仿真宽频率范围。如进行手动处理的话，可能需要数天或数周。上文中的 6000 个步进在 ADIsimFrequencyPlanner 中处理只需花不到 1 分钟的时间。

资源

- [ADF5355](#)。
- [ADIsimFrequency Planner](#)。
- [HMC704](#)。
- [HMC7044](#)。

致谢

Mark Cloutier, ADI RF 和微波部门高级科学家。Don Young, ADI RF 和微波部门应用经理。

Robert Brennan [robert.brennan@analog.com] 毕业于爱尔兰利默里克大学，拥有电子工程学士学位，并于 2010 年加入 ADI 公司。Robert 在 ADI 公司利默里克办公室工作了数年，之后重新分配到美国办公室，目前担任 RF 和微波部门的高级应用工程师，工作地点在麻省。他主要研究 PLL、VCO 和集成式 PLL/VCO。在 ADI 中文技术论坛社区中与 Robert 互动：<https://ez.analog.com/people/rbrennan>。



Robert Brennan

用于高温电子应用的低功耗数据采集解决方案

作者：Jeff Watson和Maithil Pachchigar

共享    

简介

越来越多的应用要求数据采集系统必须在极高环境温度下可靠地工作，例如井下油气钻探、航空和汽车应用等。虽然这些行业的最终应用不尽相同，但某些信号调理需求却是共同的。这些系统的主要部分要求对多个传感器进行精确数据采集，或者要求高采样速率。此外，很多这样的应用都有很严格的功率预算，因为它们采用电池供电，或者无法耐受自身电子元件发热导致的额外升温。因此，需要用到可以在温度范围内保持高精度，并且可以轻松用于各种场景的低功耗模数转换器 (ADC) 信号链。这类信号链见图 1；该图描绘了一个井下钻探仪器。

虽然额定温度为 175°C 的商用 IC 数量依然较少，但近年来这一数量正在增加，尤其是诸如信号调理和数据转换等核心功能。这便促使电子工程师快速可靠地设计用于高温应用的产品，并完成过去无法实现的性能。虽然很多这类 IC 在温度范围内具有良好的特性化，但也仅限于该器件的功能。显然，这些元件缺少电路级信息，使其无法在现实系统中实现最佳性能。

本文中，我们提供了一个新的高温数据采集参考设计，该设计在室温至 175°C 温度范围内进行特征化。该电路旨在提供一个完整的数据采集电路构建块，可获取模拟传感器输入、对其进行调理，并将其特征化为 SPI 串行数据流。该设计功能非常丰富，可用作单通道应用，也可扩展为多通道同步采样应用。由于认识到低功耗的重要性，该 ADC 的功耗与采样速率成线性比例关系。该 ADC 还可由基准电压源直接供电，无需额外的电源轨，从而不存在功率转换相关的低效率。这款参考设计是现成的，可方便设计人员进行测试，包含全部原理图、物料清单、PCB 布局图和测试软件。

电路概览

图 1 所示电路是一个 16 位、600 kSPS 逐次逼近型模数转换器系统，其所用器件的额定温度、特性测试温度和性能保证温度为 175°C。很多恶劣环境应用都采用电池供电，因此该信号链针对低功耗而设计，同时仍然保持高性能。

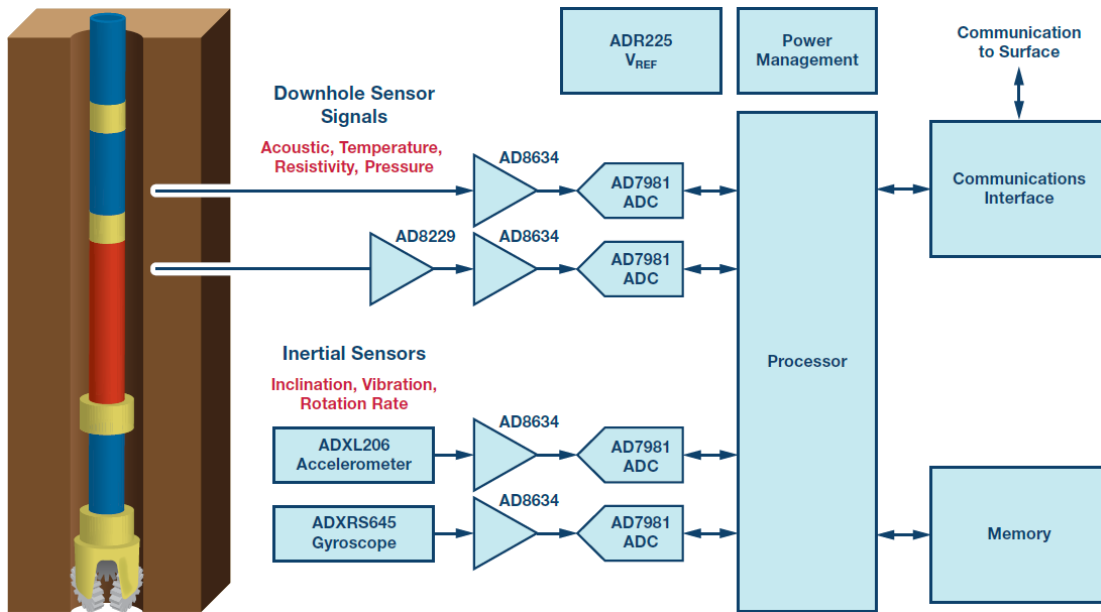


图 1. 井下仪器数据采集信号链。

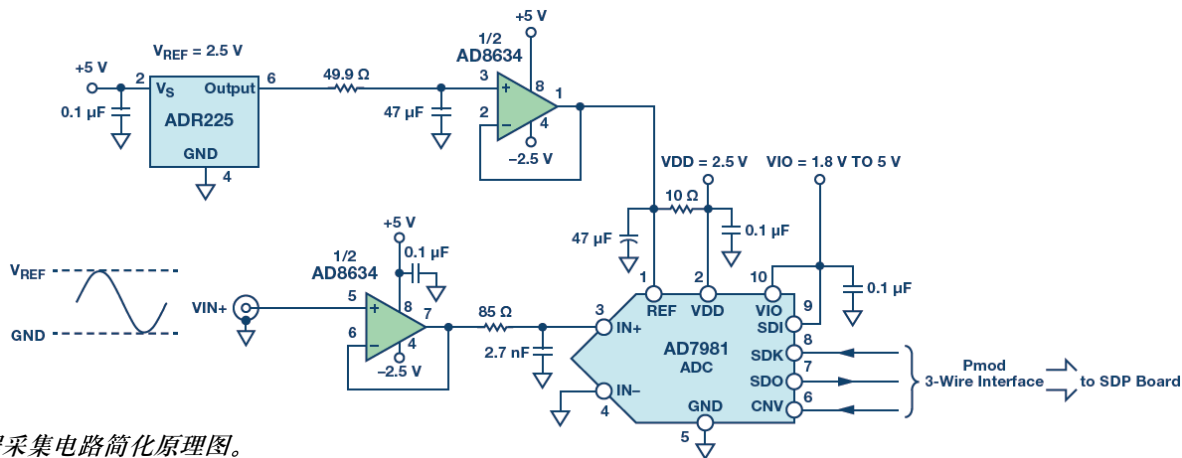


图2. 数据采集电路简化原理图。

本电路使用低功耗（600 kSPS 时为 4.65 mW）、耐高温 PuSAR® ADC AD7981，它直接从耐高温、低功耗运算放大器 AD8634 驱动。AD7981 ADC 需要 2.4 V 至 5.1 V 的外部基准电压源，本应用选择的基准电压源为低功耗 2.5 V 精密基准源 ADR225，后者也通过了高温工作认证，并具有非常低的静态电流（210°C 时最大值为 60 μA）。本设计中的所有 IC 封装都是专门针对高温环境而设计，包括单金属线焊。

模数转换器

本电路的核心是 16 位、低功耗、单电源 ADC AD7981，它采用逐次逼近架构，最高支持 600 kSPS 的采样速率。如图 1 所示，AD7981 使用两个电源引脚：内核电源（VDD）和数字输入/输出接口电源（VIO）。VIO 引脚可以与 1.8 V 至 5.0 V 的任何逻辑直接接口。VDD 和 VIO 引脚也可以连在一起以节省系统所需的电源数量，并且它们与电源时序无关。图 3 给出了连接示意图。

AD7981 在 600 kSPS 时功耗典型值仅为 4.65 mW，并能在两次转换之间自动关断，以节省功耗。因此，功耗与采样速率成线性比例关系，使得该 ADC 对高低采样速率——甚至低至数 Hz——均适合，并且可实现非常低的功耗，支持电池供电系统。此外，可以使用过采样技术来提高低速信号的有效分辨率。

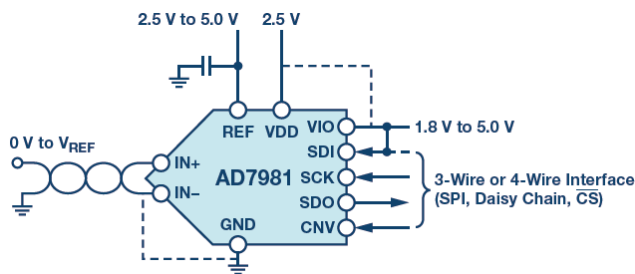


图3. AD7981 应用图。

AD7981 有一个伪差分模拟输入结构，可对 IN+ 与 IN- 输入之间的真差分信号进行采样，并抑制这两个输入共有的信号。IN+ 输入支持 0 V 至 V_{REF} 的单极性、单端输入信号，IN- 输入的范围受限，为 GND 至 100 mV。AD7981 的伪差分输入简化了 ADC 驱动器要求并降低了功耗。AD7981 采用 10 引脚 MSOP 封装，额定温度为 175°C。

ADC 驱动器

AD7981 的输入可直接从低阻抗信号源驱动；然而，高源阻抗会显著降低性能，尤其是总谐波失真（THD）。因此，推荐使用 ADC 驱动器或运算放大器（如 AD8634）来驱动 AD7981 输入，如图 4 所示。在采集时间开始时，开关闭合，容性 DAC 在 ADC 输入端注入一个电压毛刺（反冲）。ADC 驱动器帮助此反冲稳定下来，并将其与信号源相隔离。

低功耗（1 mA/放大器）双通道精密运算放大器 AD8634 适合此任务，因为其出色的直流和交流特性对传感器信号调理和信号链的其他部分非常有利。虽然 AD8634 具有轨到轨输出，但输入要求从正供电轨到负供电轨具有 300 mV 裕量。这就使得负电源成为必要，所选负电源为 -2.5 V。AD8634 提供额定温度为 175°C 的 8 引脚 SOIC 封装和额定温度为 210°C 的 8 引脚 FLATPACK 封装。

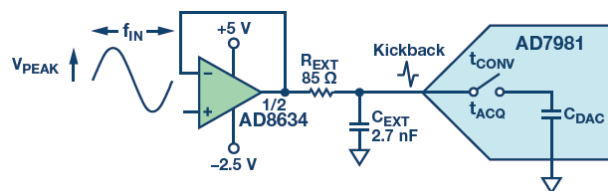


图4. ADC 前端放大器电路。

ADC 驱动器与 AD7981 之间的 RC 滤波器衰减 AD7981 输入端注入的反冲，并限制进入此输入端的噪声带宽。不过，过大的限带可能会增加建立时间和失真。因此，为该滤波器找到最优 RC 值很重要。其计算主要基于输入频率和吞吐速率。

由 AD7981 数据手册可知，内部采样电容 $C_{IN} = 30 \text{ pF}$ 且 $t_{CONV} = 900 \text{ ns}$ ，因此正如所描述的，对于 10 kHz 输入信号而言，假定 ADC 工作在 600 kSPS 且 $C_{EXT} = 2.7 \text{ nF}$ ，则用于 2.5 V 基准电压源的电压步进为：

$$V_{STEP} = \frac{2\pi f_{IN} V_{PEAK} t_{CONV} C_{IN}}{C_{EXT} + C_{IN}}$$

$$V_{STEP} = 7.768e - 4 \text{ V}$$

因此，在 16 位处建立至 $\frac{1}{2}$ LSB 所需的时间常数数量为：

$$N_{TC} = \ln\left(\frac{V_{STEP}}{V_{REF}}\right) = \ln\left(\frac{7.768e-4}{\frac{2.5V}{2^{16+1}}}\right) = 3.707$$

AD7981 的采集时间为：

$$t_{ACQ} = \left(\frac{1}{f_s}\right) - t_{CONV} = \left(\frac{1}{600 \text{ kSPS}}\right) - 900 \text{ ns} = 7.67e-7$$

通过下式可计算 RC 滤波器的带宽：

$$\tau = \left(\frac{t_{ACQ}}{N_{TC}}\right) = \left(\frac{7.67e-7}{3.707}\right) = 2.068e-7$$

$$f_{-3dB} = \left(\frac{1}{2\pi\tau}\right) = 769.5 \text{ kHz} \rightarrow R_{EXT} = 76.6 \Omega$$

这是一个理论值，其一阶近似应当在实验室中进行验证。通过测试可知最优值为 $R_{EXT} = 85 \Omega$ 和 $C_{EXT} = 2.7 \text{ nF}$ ($f_{-3dB} = 693.48 \text{ kHz}$)，此时在高达 175°C 的扩展温度范围内具有出色的性能。

在参考设计中，ADC 驱动器采用单位增益缓冲器配置。增加 ADC 驱动器增益会降低驱动器带宽，延长建立时间。这种情况下可能需要降低 ADC 吞吐速率，或者在增益级之后再使用一个缓冲器作为驱动器。

基准电压源

ADR225 2.5 V 基准电压源在时 210°C 仅消耗最大 $60 \mu\text{A}$ 的静态电流，并具有典型值 $40 \text{ ppm}/^\circ\text{C}$ 的超低漂移特性，因而非常适合用于该低功耗数据采集电路。该器件的初始精度为 $\pm 0.4\%$ ，可在 3.3 V 至 16 V 的宽电源范围内工作。

像其他 SAR ADC 一样，AD7981 的基准电压输入具有动态输入阻抗，因此必须利用低阻抗源驱动，REF 引脚与 GND 之间应有效去耦，如图 5 所示。除了 ADC 驱动器应用，AD8634 同样适合作为基准电压缓冲器。

使用基准电压缓冲器的另一个好处是，基准电压输出端噪声可通过增加一个低通 RC 滤波器来进一步降低，如图 5 所示。在该电路中， 49.9Ω 电阻和 $47 \mu\text{F}$ 电容提供大约 67 Hz 的截止频率。

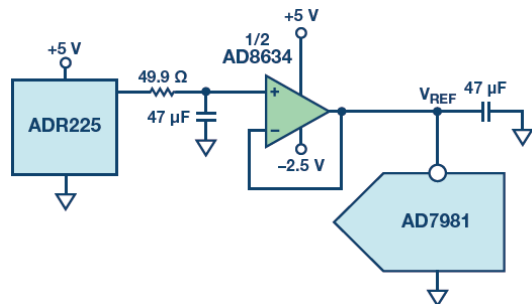


图 5. SAR ADC 基准电压缓冲器和 RC 滤波器。

转换期间，AD7981 基准电压输入端可能出现高达 2.5 mA 的电流尖峰。在尽可能靠近基准电压输入端的地方放置一个大

容值储能电容，以便提供该电流并使基准电压输入端噪声保持较低水平。一般而言，采用低 ESR—— $10 \mu\text{F}$ 或更高——陶瓷电容，但对于高温应用来说会有问题，因为缺少可用的高数值、高温陶瓷电容。因此，选择一个低 ESR、 $47 \mu\text{F}$ 钽电容，其对电路性能的影响极小。

数字接口

AD7981 提供一个兼容 SPI、QSPI 和其他数字主机的灵活串行数字接口。该接口既可配置为简单的 3 线模式以实现最少的 I/O 数，也可配置为 4 线模式以提供菊花链回读和繁忙指示选项。4 线模式还支持 CNV (转换输入) 的独立回读时序，使得多个转换器可实现同步采样。

本参考设计使用的 PMOD 兼容接口实现了简单的 3 线模式，SDI 接高电平 VIO。VIO 电压是由 SDP-PMOD 转接板从外部提供。转接板将参考设计板与 ADI 系统开发平台 (SDP) 板相连，并可通过 USB 连接 PC，以便运行软件、评估性能。

电源

本参考设计的 $+5 \text{ V}$ 和 -2.5 V 供电轨需要外部低噪声电源。由于 AD7981 是低功耗器件，因此可通过基准电压缓冲器直接供电。这样便不再需要额外的供电轨——节省电源和电路板空间。通过基准电压缓冲器为 ADC 供电的正确配置如图 6 所示。如果逻辑电平兼容，那么还可以使用 VIO。就参考设计板而言，VIO 通过 PMOD 兼容接口由外部供电，以实现最高的灵活性。

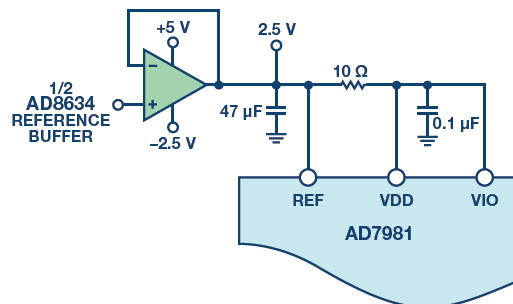


图 6. 从基准电压缓冲器为 ADC 供电。

175°C 时，整个数据采集解决方案的典型总功耗可计算如下：

- ADR225: $30 \mu\text{A} \times 5 \text{ V} = 0.15 \text{ mW}$
- AD8634: $(1 \text{ mA} \times 2 \text{ 个放大器}) \times 7.5 \text{ V} = 15 \text{ mW}$
- AD7981: $4.65 \text{ mW} @ 600 \text{ kSPS}$
- 总功耗 = 19.8 mW

IC 封装和可靠性

ADI 公司高温系列中的器件要经历特殊的工艺流程，包括设计、特性测试、可靠性认证和生产测试。专门针对极端温度设计特殊封装是该流程的一部分。本电路中的 175°C 塑料封装采用一种特殊材料。

耐高温封装的一个主要失效机制是焊线与焊垫界面失效，尤其是金 (Au) 和铝 (Al) 混合时 (塑料封装通常如此)。高温会加速 AuAl 金属间化合物的生长。正是这些金属间化合物引起焊接失效，如易脆焊接和空洞等，这些故障可能在几百小时之后就会发生，如图 7 所示。

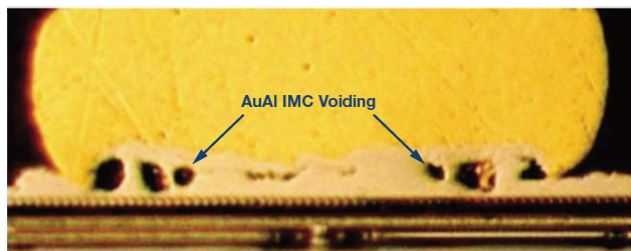


图 7. 195°C 下 500 小时后铅垫上的金球焊。

为了避免失效，ADI 公司利用焊盘金属化 (OPM) 工艺产生一个金焊垫表面以供金焊线连接。这种单金属系统不会形成金属间化合物，经过 195°C、6000 小时的浸泡式认证测试，已被证明非常可靠，如图 8 所示。

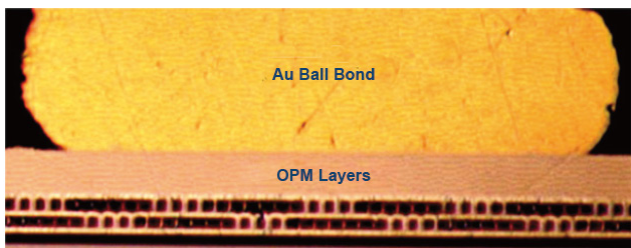


图 8. 195°C 下 6000 小时后 OPM 垫上的金球焊。

虽然 ADI 公司已证明焊接在 195°C 时仍然可靠，但受限于塑料材料的玻璃转化温度，塑料封装的额定最高工作温度仅为 175°C。除了本电路所用的额定 175°C 产品，还有采用陶瓷 FLATPACK 封装的额定 210°C 型号可用。同时有已知良品裸片 (KGD) 可供需要定制封装的系统使用。

对于高温 (HT) 产品，ADI 公司有一套全面的可靠性认证计划，包括器件在最高工作温度下偏置的高温工作寿命 (HTOL)。数据手册规定，HT 产品在最高额定温度下最少可工作 1000 小时。全面生产测试是保证每个器件性能的最后一步。ADI 高温系列中的每个器件都在高温下进行生产测试，确保达到性能要求。

无源元件

应当选择耐高温的无源元件。本设计使用 175°C 以上的薄膜型低 TCR 电阻。COG/NPO 电容容值较低常用于滤波器和去耦应用，其温度系数非常平坦。耐高温钽电容有比陶瓷电容更大的容值，常用于电源滤波。本电路板所用 SMA 连接器的额定温度为 165°C，因此，在高温下进行长时间测试时，应当将其移除。同样，0.1" 接头连接器 (J2 和 P3) 上的绝缘材料在高温时只能持续较短时间，因而在长时间高温测试中也应当予以移除。对于生产组装而言，有多个供应商提供

用于 HT 额定连接器的多个选项，比如 Micro-D 类连接器。

PCB 布局和装配

在本电路的 PCB 设计中，模拟信号和数字接口位于 ADC 的相对两侧，ADC IC 之下或模拟信号路径附近无开关信号。这种设计可以最大程度地降低耦合到 ADC 芯片和辅助模拟信号链中的噪声。AD7981 的所有模拟信号位于左侧，所有数字信号位于右侧，这种引脚排列可以简化设计。基准电压输入 REF 具有动态输入阻抗，应当用极小的寄生电感去耦，为此须将基准电压去耦电容放在尽量靠近 REF 和 GND 引脚的地方，并用低阻抗的宽走线连接该引脚。本电路板的元器件故意全都放在正面，以方便从背面加热进行温度测试。完整的组件如图 9 所示。关于其它布局布线建议，参见 AD7981 数据手册。

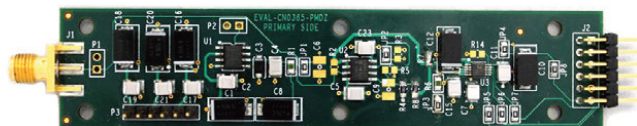


图 9. 参考设计电路组件。

针对高温电路，应当采用特殊电路材料和装配技术来确保可靠性。FR4 是 PCB 叠层常用的材料，但商用 FR4 的典型玻璃转化温度约为 140°C。超过 140°C 时，PCB 便开始破裂、分层，并对元器件造成压力。高温装配广泛使用的替代材料是聚酰亚胺，其典型玻璃转化温度大于 240°C。本设计使用 4 层聚酰亚胺 PCB。

PCB 表面也需要注意，特别是配合含锡的焊料使用时，因为这种焊料易于与铜走线形成铜金属间化合物。常常采用镍金表面处理，其中镍提供一个壁垒，金则为接头焊接提供一个良好的表面。此外，应当使用高熔点焊料，熔点与系统最高工作温度之间应有合适的裕量。本装配选择 SAC305 无铅焊料，其熔点为 217°C，相对于 175°C 的最高工作温度有 42°C 的裕量。

性能预期

采用 1 kHz 输入正弦信号和 5 V 基准电压时，AD7981 的额定 SNR 典型值为 91 dB。然而，当使用较低基准电压 (比如 2.5 V，低功耗/低电压系统常常如此)，SNR 性能会有所下降。我们可以根据电路中使用的元件规格计算理论 SNR。由 AD8634 放大器数据手册可知，其输入电压噪声密度为 $4.2 \text{ nV}/\sqrt{\text{Hz}}$ ，电流噪声密度为 $0.6 \text{ pA}/\sqrt{\text{Hz}}$ 。由于缓冲器配置中的 AD8634 噪声增益为 1，并且假定电流噪声计算时可忽略串联输入电阻，则 AD8634 的等效输出噪声贡献为：

$$\sqrt{(4.2e-9)^2 + 0 \times (0.6e-12)^2} = 4.2 \text{ nV}/\sqrt{\text{Hz}}$$

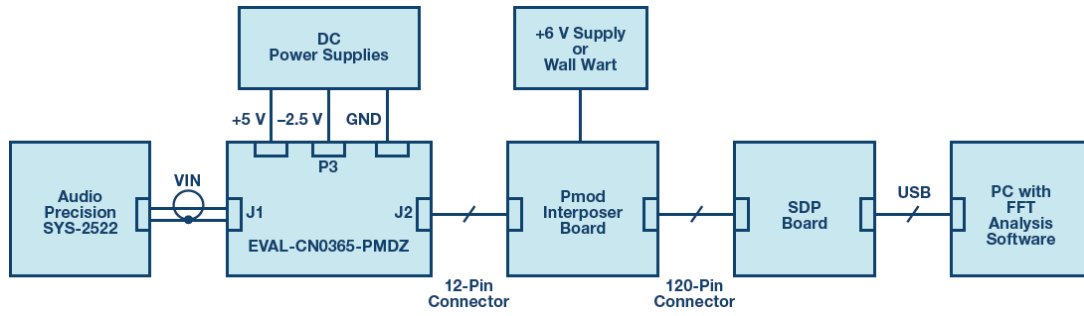


图 10. 特性测试设置。

RC 滤波器之后的 ADC 输入端总积分噪声为：

$$\left(\frac{1}{2\pi(85)(2.7e-9)} \right) 4.2 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{\left(693.48e3 \times \frac{\pi}{2}\right)} = 4.38 \text{ } \mu\text{V rms}$$

AD7981 的均方根噪声可根据数据手册中的 2.5 V 基准电压源典型信噪比 (SNR, 86 dB) 计算得到。

$$e_{\text{AD7981}} = 10^{\left(-\frac{\text{SNR}}{20}\right)} \times V_{\text{signal-rms}} = 10^{\left(-\frac{86}{20}\right)} \times 0.884 \text{ V} = 44.3 \text{ } \mu\text{V rms}$$

整个数据采集系统的总均方根噪声可通过 AD8634 和 AD7981 噪声源的方和根 (RSS) 计算：

$$V_{\text{noise-rms}} = \sqrt{(4.38e-6)^2 + (44.3e-6)^2} = 44.51 \text{ } \mu\text{V rms}$$

因此，室温 (25°C) 时的数据采集系统理论 SNR 可根据下式近似计算：

$$\text{SNR} = 20 \times \log \left(\frac{V_{\text{signal-rms}}}{V_{\text{noise-rms}}} \right) = 20 \times \log \left(\frac{0.884 \text{ V}}{44.51 \text{ } \mu\text{V rms}} \right) = \sim 86 \text{ dB}$$

测试结果

电路的交流性能在 25°C 至 185°C 温度范围内进行评估。使用低失真信号发生器对性能进行特性化很重要。本测试使用 Audio Precision SYS-2522。为了便于在烤箱中测试，使用了延长线，以便仅有参考设计电路暴露在高温下。测试设置的功能框图如图 10 所示。

由前文设置中的计算可知，室温下我们期望能达到大约 86 dB 的 SNR。该值与我们在室温下测出的 86.2 dB SNR 相当，如图 11 中的 FFT 摘要所示。

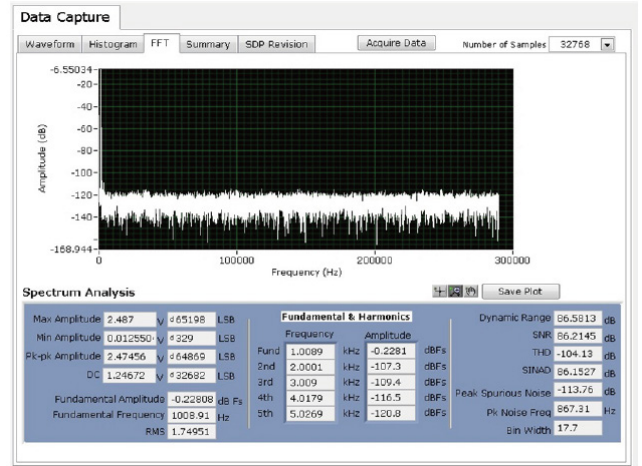


图 11. 1 kHz 输入信号音、580 kSPS、25°C 时的交流性能。

评估电路温度性能时，175°C 时的 SNR 性能仅降低至约 84 dB，如图 12 所示。THD 仍然优于 -100 dB，如图 13 所示。本电路在 175°C 时的 FFT 摘要如图 14 所示。

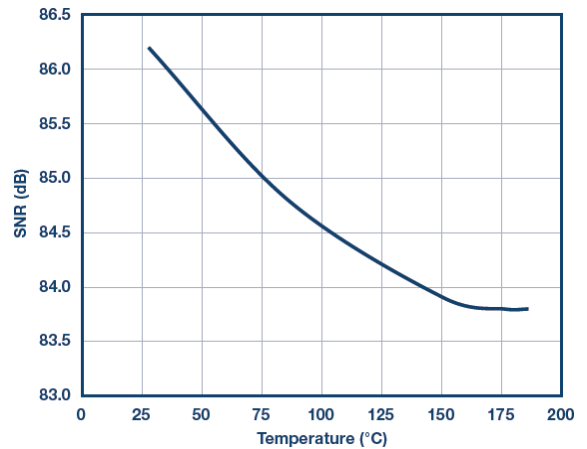


图 12. SNR 随温度的变化 (1 kHz 输入信号音、580 kSPS)。

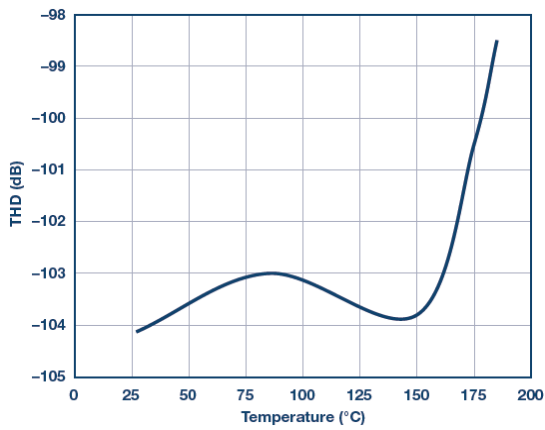


图 13. THD 随温度的变化 (1 kHz 输入信号音、580 kSPS)。

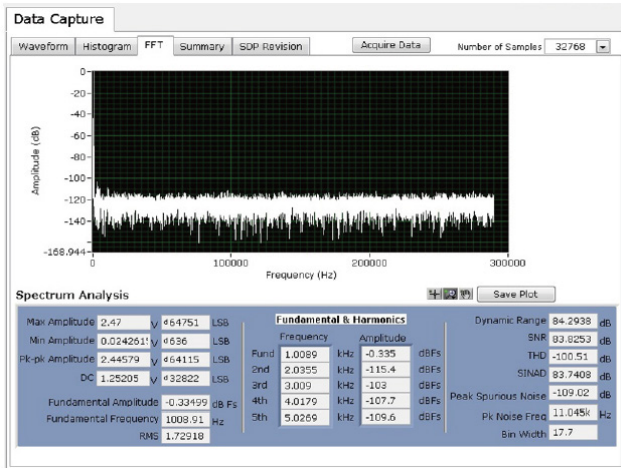


图 14. 1 kHz 输入信号音、580 kSPS、175 °C 时的交流性能。

小结

本文中，我们提供了一个新的高温数据采集参考设计，表述了室温至 175°C 温度范围内的特性。该电路是一个完整的低功耗 (<20 mW) 数据采集电路构建块，可获取模拟传感器输入、对其进行调理，并将其数字化为 SPI 串行数据流。这款参考设计现成可用，可方便设计人员进行测试，包含全部原理图、物料清单、PCB 布局图、测试软件和文档。

有关此参考设计的更多信息，请访问 analog.com/CN0365。有关 ADI 高温产品组合的更多信息，请访问 analog.com/hightemp。

Jeff Watson [jeffrey.watson@analog.com] 是 ADI 公司仪器仪表、航空航天与国防业务部门的系统应用工程师，致力于高温应用。加入 ADI 公司之前，他是地下石油和天然气仪器仪表行业以及非公路用车仪器仪表/控制行业的一名设计工程师。他拥有宾州州立大学的电气工程学士和硕士学位。



Jeff Watson

该作者的其它文章：
[高温电子设备对设计和可靠性带来挑战](#)
 第 46 卷，第 2 期

Maithil Pachchigar [maithil.pachchigar@analog.com] 是 ADI 公司麻萨诸塞州威明顿市仪器仪表、航空航天与国防业务部门的应用工程师。他于 2010 年加入 ADI 公司，致力于仪器仪表、工业、医疗健康和能源行业的精密 ADC 产品组合。自 2005 年以来，Maithil 一直在半导体行业工作，并已发表多篇技术文章。他于 2006 年获得圣何塞州立大学电气工程硕士学位，并于 2010 年获得硅谷大学 MBA 学位。



Maithil Pachchigar

该作者的其它文章：
[RF 至位解决方案可为材料分析应用提供精密的相位和幅度数据](#)
 第 48 卷，第 4 期

参考文献

Arkin, Michael, Jeff Watson, Michael Siu 和 Michael Cusack. “用于极高温环境的精密模拟信号调理半导体 (Precision Analog Signal Conditioning Semiconductors for Operation in Very High Temperature Environments).” 高温电子网络汇刊 (Proceeding from the High Temperature Electronics Network) 2013。

AD7981。

Digilent Pmod 规格。

Harman, George. *微电子的线焊 (Wire Bonding in Microelectronics)*. McGraw Hill, 2010 年 2 月。

Phillips, Reggie 等人。“适合深井应用的高温陶瓷电容 (High Temperature Ceramic Capacitors for Deep Well Applications).” CARTS 2013 国际会议论文集 (CARTS International 2013 Proceedings). 2013 年 3 月。Houston, TX.

Siewert, Thomas, Juan Carlos Madeni 和 Stephen Liu. “电子制造业 APEX 研讨会论文集无铅焊料和铜基体之间界面的金属间化合物的形成和生长 (Formation and Growth of Intermetallics at the Interface Between Lead-Free Solders and Copper Substrates).” (Proceedings of the APEX Conference on Electronics Manufacturing). Anaheim, California. 2003 年 4 月。

Walsh, Alan. “精密 SAR 模数转换器的前端放大器和 RC 滤波器设计。” *模拟对话*, 第 46 卷第 4 期, 2012 年。

Walsh, Alan. “精密逐次逼近型 ADC 的基准电压源设计。” *模拟对话*, 第 47 卷第 2 期, 2013 年。

Watson, Jeff 和 Gustavo Castro. “高温电子器件给设计和可靠性带来挑战。” *模拟对话*, 第 46 卷第 2 期, 2012 年。

Zedníček, Tomas, Zdeněk Sita 和 Slavomir Pala. “适用于扩展工作温度范围的钽电容技术 (Tantalum Capacitor Technology for Extended Operating Temperature Range).”

四个步骤快速投入生产：针对软件定义无线电使用基于模型的设计

第一部分 — ADI/Xilinx SDR 快速原型制作平台：功能、优势以及工具

作者：Di Pu、Andrei Cozma和Tom Hill

共享    

摘要

无线系统的概念与设计实现之间存在巨大的差异。要缩小这种差异通常都要涉及到几组来自各领域的工程师团队（比如RF、SW、DSP、HDL和嵌入式Linux[®]），并且很多情况下项目在开发的早期阶段便由于难以协调各设计团队而偏离了原先计划。

本系列文章分为四个部分，将讨论平台和工具的进步；这些技术进步允许开发人员快速进行无线系统的仿真与原型制作，同时建立与保持投入生产的可实现路径。作为实际过程的一个示例，我们将对无线SDR平台进行原型制作，该平台可接收并解码自动相关监视广播（ADS-B）信号，以便我们检测并汇报附近飞行中的商用飞机的位置、高度和速度。本例中需用到MATLAB[®]和Simulink，以及集成和内嵌硬件/软件的技能。硬件平台将采用ADI/Xilinx[®]软件定义无线电（SDR）原型制作系统。使用MATLAB和Simulink[®]后，将执行下列任务：

- 设计用来解码ADS-B消息的信号处理算法
- 仿真接收ADS-B信号的RF接收器
- 生成C语言代码和HDL代码
- 以目标收发器和FPGA上的记录数据和实时数据验证HDL代码

最终得到一个能够在适于生产的硬件上实现的可行RF SDR设计，我们将把它带到当地机场来验证性能和功能。

该文章系列有四部分，第一部分将讨论ADI/Xilinx SDR原型制作系统、该系统的功能和优势，并简要描述工具流程。第二部分将回顾自动相关监视广播（ADS-B）信号，并解释仿真时如何在MATLAB和Simulink中解码它们的信息。第三部分将讨论和演示如何使用环路中硬件（HIL）并以目标收发器捕捉信号，并同时在Simulink的主机中进行信号处理以便验证。第四部分将说明如何通过第二部分开发并在第三部分验证的算法，并使用MathWorks的HDL编码器以及嵌入式编码器生成代码，然后在生产硬件中进行部署；最后，我们将在机场采用真正的ADS-B信号来操作平台。

简介

随着人们对通信方式和手段的需求呈指数式增长，方便而经济高效地修改无线电设备也随之成为一项重要的业务。在这样的背景下，软件定义无线电技术最近得到了广泛的部署，因为这项技术推动通信向着灵活、高性价比、功能更强大的方向发展¹。SDR系统的目的是在软件和可重复编程逻辑中部署尽可能多的调制/解调和数据处理算法，以便通信系统能够仅通过更新软件和可重复编程逻辑而轻松进行再配置，并且无需更改硬件平台。

随着片上系统（SoC）的出现（比如集CPU的灵活性与FPGA的处理能力于一体的Xilinx Zynq[®] All Programmable SoC），设计人员终于能够将SDR系统的数据处理功能和其它处理任务纳入单个器件中。数据调制/解调算法等处理密集型任务分流至器件的可编程逻辑，而数据解码和渲染、系统监控和诊断以及用户界面等任务延缓至处理单元进行。

同时，无线系统的原型制作数十年来一直是个争论不休的话题，而最近几年才刚出现针对FPGA的完整设计流程 — 从模型创建到完整实施 — 这要归功于像MathWorks的MATLAB和Simulink等建模和仿真工具的革命。无线系统的原型制作正在改变工程师和科学家工作的方式，它将设计任务从实验室和现场带到了桌面上²。现在，工程师可以对整个无线系统（比如SDR系统）进行建模，从而可观察系统的表现，并在现场实际实施之前进行调节。这样做有很多好处，比如加快系统集成、减少对设备的依赖。此外，完成SDR系统的Simulink模型之后，C语言代码和HDL代码可自动生成，然后部署到Zynq SoC上，从而节省时间并避免手动编码错误。将系统模型链接到快速原型制作环境可进一步降低风险，因为后者允许SDR系统在实际条件下运作。

该文章系列有四部分，第一部分将讨论ADI/Xilinx SDR快速原型制作系统、该系统的功能和优势，并简要描述工具流程。文章解释了ADI RF IC技术和参考设计硬件与软件如何降低设计技巧，从而使客户减轻风险，并缩短产品上市时间。

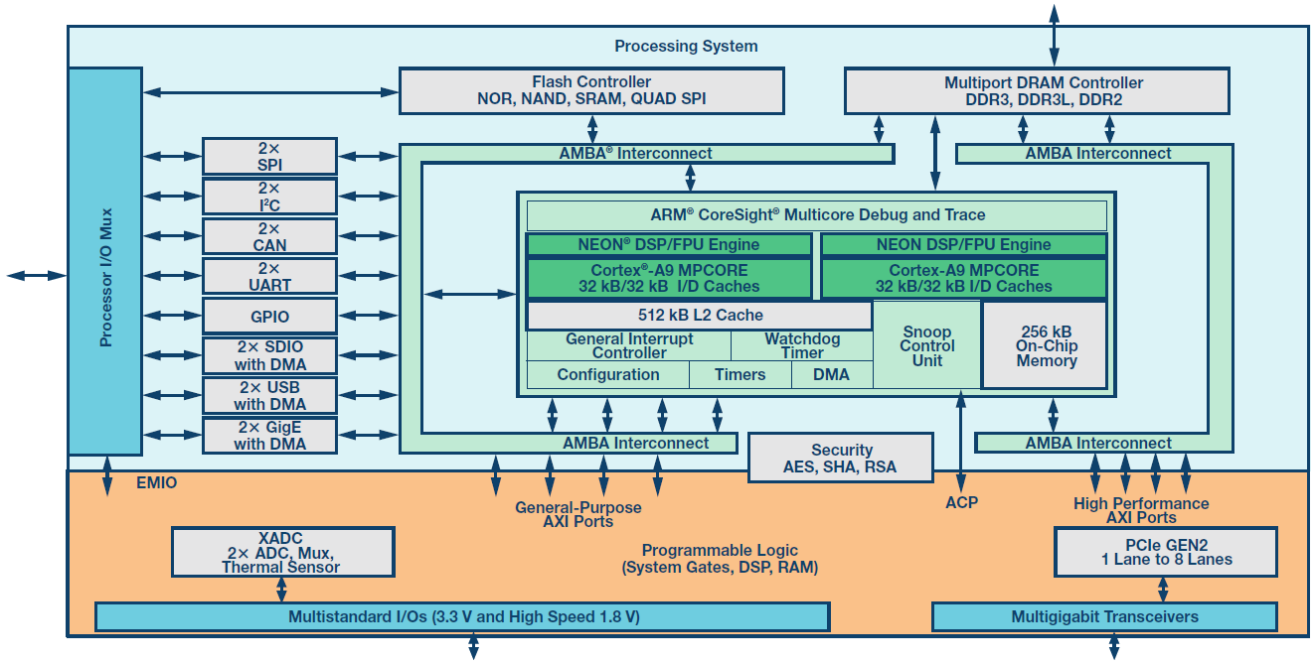


图1. Xilinx Zynq SoC功能框图

用于SDR的Zynq

当需要执行数据处理、通信和用户界面等具有不同处理带宽要求和实时限制的任务组合时，需要用到高级SDR系统。为了实现这样的系统，所选的硬件平台必须鲁棒且可扩展，同时还需为将来的系统改进和扩张创造条件。Xilinx Zynq-7000 All Programmable SoC满足这些要求，提供高性能处理系统以及可编程逻辑，如图1所示³。可编程逻辑配上处理系统便具有了出色的并行处理能力、实时性能、快速计算能力以及连接的多样性。

Zynq SoC的处理系统包括一个双核ARM[®] Cortex[®]-A9处理器和一个NEON协处理器，以及多个用于加速软件执行的浮点扩展单元。为了完全发挥系统的能力，可以在双核ARM处理器上采用嵌入式Linux或实时操作系统。该处理器是自足的，可在不配置可编程逻辑的情况下使用，这点对于软件开发人员来说很重要，他们可以与设计FPGA结构的硬件开发人员同时进行代码的开发工作。

在可编程逻辑方面，该器件拥有多达444,000个逻辑单元和2,200个DSP Slice，可提供巨大的处理带宽，允许Zynq设备应对各种充满挑战的信号处理应用。5个高吞吐速率的

AMBA[®]-4 AXI高速互连可将编程逻辑紧密地耦合到处理系统，提供相当于3,000以上引脚的有效带宽⁴。

用于SDR的AD9361捷变宽带RF收发器

近年来，ADI公司将革命性的SDR产品推向了市场，以支持不断变化的SDR要求和系统架构。在这方面，ADI最重要的产品包括AD9361/AD9364集成式RF捷变收发器。AD9361 (2 × 2)⁵和AD9364 (1 × 1)⁶是用于SDR架构的高性能、高度集成的RF收发器IC，适合无线通信基础设施、防务电子系统、RF测试设备和仪器，以及通用软件定义无线电平台等应用。这些器件集RF前端与灵活的混合信号基带部分为一体，集成频率合成器，为处理器或FPGA提供可配置数字接口，从而简化设计导入。这些芯片工作频率范围为70 MHz至6 GHz，涵盖大部分特许执照和免执照频段，通过对AD9361和AD9364器件编程可改变采样速率、数字滤波器和抽取参数，使该芯片支持的通道带宽范围为低于200 kHz至56 MHz⁷。图2显示了AD9361器件的功能框图。

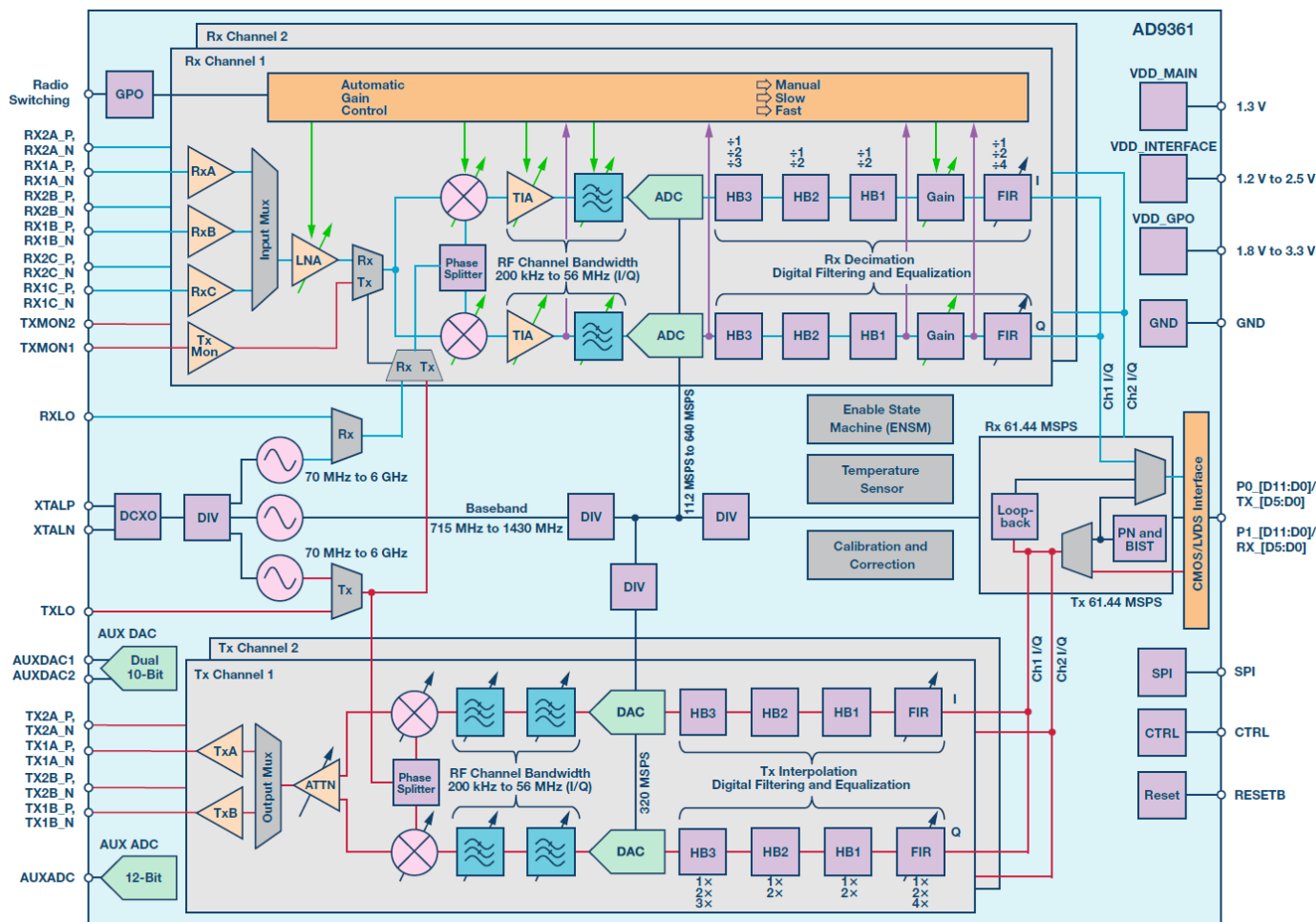


图2. AD9361 功能框图

为了帮助客户缩短产品上市时间并减轻整体开发负担，ADI公司更进一步，提供的SDR解决方案可用于具有无缝FPGA连接能力的完整生态系统中，为完整的无线电系统设计提供快速原型制作和开发环境。AD-FMCOMMSx-EBZ快速开发和原型制作板属于高速模拟FMC模块，集成AD9361或AD9364捷变RF收发器IC或分立式信号链，可无缝连接Xilinx FPGA开发平台生态系统。这些板可完全通过软件定制，无需更改任何硬件，提供可供下载的Linux驱动程序和裸机软件驱动程序、原理图、电路板布局文件和有助于设计的参考材料，可前往ADI的Wiki知识库获取。表1总结了不同FMCOMMSx平台的产品特性。

表1. FMCOMMSx平台

平台	产品特性
AD-FMCOMMS5-EBZ	该SDR快速原型制作板集成两个AD9361 2 × 2捷变收发器IC，能够为4个接收器通道和4个发送器通道提供完全同步能力，可创建4 × 4 MIMO系统的任意子系统。支持宽带70 MHz至6 GHz和2.4 GHz调谐端口。AD-FMCOMMS5-EBZ资源页面（wiki知识库）： http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms5-ebz
AD-FMCOMMS4-EBZ	该1 × 1 SDR快速原型制作板集成AD9364捷变RF收发器IC，可经软件配置在2400 MHz至2500 MHz范围内实现最高RF性能，或者可经软件配置工作在AD9364的70 MHz至6 GHz完整RF调谐范围内，以进行系统原型制作和开发。AD-FMCOMMS4-EBZ资源页面（wiki知识库）： http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms4-ebz
AD-FMCOMMS3-EBZ	该2 × 2型号的SDR快速原型制作板集成AD9361捷变RF收发器IC，支持AD9361的70 MHz至6 GHz全RF调谐范围。该套件非常适合寻求具有宽调谐能力的统一开发平台的无线通信系统架构师。AD-FMCOMMS3-EBZ资源页面（wiki知识库）： http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms3-ebz
AD-FMCOMMS2-EBZ	该2 × 2 SDR快速原型制作板集成AD9361捷变RF收发器IC，经调谐可在2400 MHz至2500 MHz范围内实现最高RF性能。该套件适合寻求最优系统性能，并要求在RF频谱定义范围内满足AD9361数据手册中规格的工程师使用。AD-FMCOMMS2-EBZ资源页面（wiki知识库）： http://wiki.analog.com/resources/eval/user-guides/ad-fmcomms2-ebz

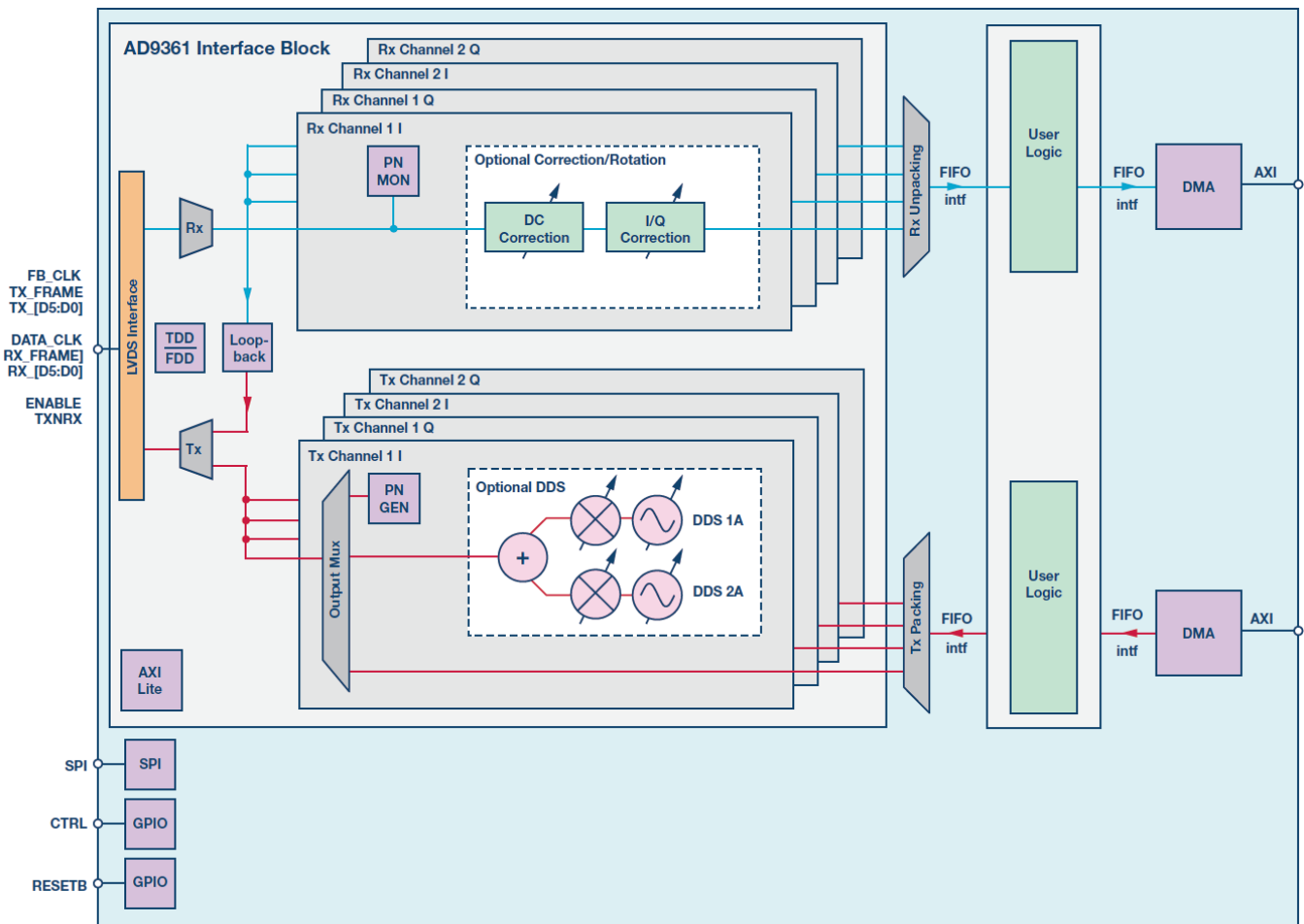


图3. ADI HDL 和软件基础架构

Zynq SDR快速原型制作平台

参考设计

ADI公司与FMCOMMSx平台一同提供完整的Vivado框架，采用Linux和裸机软件基础架构，可同时用于原型制作以及最终生产系统中。图3显示了ADI支持FMCOMMSx板的Zynq基础架构。

该高级框图说明了ADI参考设计在Xilinx Zynq SoC上是如何划分的。一路HDMI输出用于在监视器上显示Linux界面，鼠标和键盘可通过USB 2.0端口连接到系统。ARM Cortex A9处理系统运行ADI公司提供的Ubuntu Linux，其中包括：与ADI公司FMCOMMS硬件接口所需的Linux IIO驱动程序，用于监测和控制的IIO Oscilloscope（示波器）⁸用户空间应用程序，支持实时数据采集和通过TCP控制系统的libiio服务器⁹，在远程计算机上运行的客户端，以及整合嵌入式编码器所生成C语言代码的可选用户应用程序，可用于控制器的Simulink模型。

软件基础架构

所有ADI Linux驱动程序均基于Linux工业I/O (IIO) 子系统，现已包含在所有主流Linux内核中。IIO Scope是ADI公司开发的一款开源Linux应用程序，运行在Xilinx Zynq中的双核ARM Cortex-A⁹的内核上，能够显示连接到Xilinx Zynq平台的ADI FMC卡所获取的实时数据。这些数据可以在时域中、频域中或以星座图的形式显示。支持以不同的常用文件格式

（如逗号分隔值或.mat MATLAB数据文件等）保存所捕获的数据以供进一步分析。IIO Scope提供一个图形用户界面，用于更改或读取ADI FMC卡的配置。libiio服务器支持实时数据采集、通过传输控制协议（TCP）控制系统以及运行于远程计算机上的客户端¹⁰。服务器运行于Linux下的嵌入式目标上，通过TCP管理目标与远程客户端之间的实时数据交换。此库抽取了硬件的低级详情，提供简单但完整的编程接口，可用于高级项目。它的模块化架构、设计良好的API以及内置的网络功能允许用户创建应用，而这些应用不仅能运行在IIO设备已连接的系统中，还能运行在通过网络远程连接的系统中。它首先针对Linux，不过现在也能通过库的远程后端支持Windows。它以C语言写成，并授权给LGPL，结合了C#、Python和MATLAB的特点。MathWorks IIO客户端¹¹可以作为系统对象集成到MATLAB和Simulink原生应用程序中。它设计用来配合连接FPGA/SoC平台（运行ADI Linux发布版）的以太网进行数据交换，可让MATLAB或Simulink模型执行下列功能：

- 发送数据流至目标，并从目标接收数据流
- 控制目标的设置
- 监控不同的目标参数

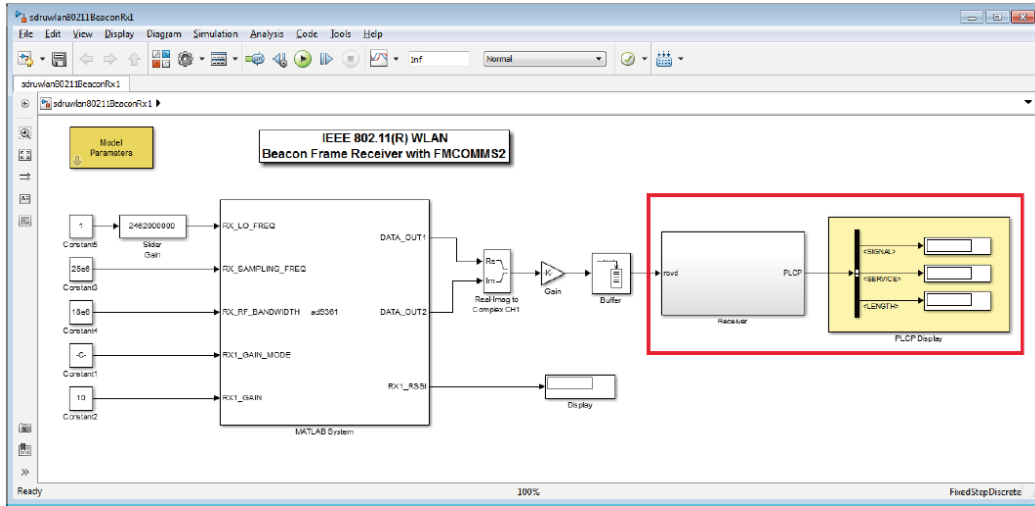


图4. 信标帧接收器示例的屏幕截图

MATLAB和Simulink均提供IIO系统对象，具体取决于用户从MATLAB脚本中对其进行调用，还是将其整合至MATLAB系统模块中。ADI提供针对FMCOMMS平台的Linux软件和HDL基础架构，配合MathWorks和Xilinx提供的工具后，便是进行SDR应用原型制作的绝佳环境，并且它还包含可随时投入生产的组件，这些组件可以集成至SDR系统——有助于缩短从概念到生产所需的时间并降低成本。

为了帮助客户快速而轻松地掌握IIO系统对象，我们提供了几个基于该界面的MATLAB和Simulink示例，比如信标帧接收器¹²、QPSK发射器和接收器¹³，以及LTE发送器和接收器¹⁴。在这些示例中，FMCOMMSx平台由IIO系统对象配置，并用作RF前端并无线发送或接收模拟信号。这些信号通过IIO系统对象以数据流的形式发送至目标，或从目标接收。所有其它信号处理均在MATLAB或Simulink中执行。图4是信标帧接收器示例的屏幕截图，该图显示了IIO系统对象和其它Simulink模块之间的典型连接。

MathWorks对Zynq的支持

MathWorks支持基于Zynq的SDR，具体表现在以下四个方面：

1. AD9361 Simulink模型

由于AD9361是一款集成式RF收发器芯片，信号探测和内部工作监控是不太现实的。因此，MathWorks和ADI合作开发了AD9361的SimRF™模型，可对芯片的工作进行仿真，以便客户能够真正了解到这其中发生了什么，并知晓在现实中难以重现的不同测试条件下芯片性能如何。SimRF使用相同的基带或电路包络模块——比如放大器、混频器和S-参数模块——提供RF系统设计中的组件库和仿真引擎。它是适合AD9361 RF收发器建模的有效工具。系统级AD9361捷变RF收发器模型（如图5所示）精确重现了AD9361的功能，并以MathWorks硬件支持包的形式向用户提供¹⁵。

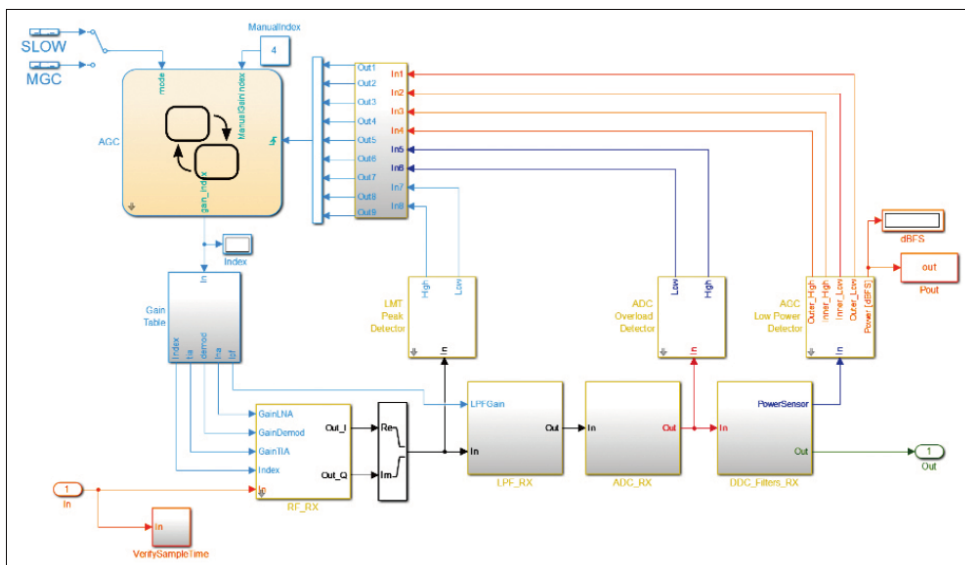


图5. AD9361捷变RF接收器的MathWorks SimRF模型

SimRF模型已在实验室中经过了功率频谱测量验证。不同频率和功率水平下的收发器噪声和非线性特性也已识别。然后，这些模型设计为生成相同的特性，并在设计范围内得到验证。

采用AD9361收发器SimRF模型后，用户可以：

- 预测RF缺陷对测试信号的影响
- 使用参考音和LTE信号
- 生成或导入测试向量，并评估非线性、噪声、增益和相位不平衡、频谱泄露以及其它RF发送器和接收器缺陷导致的影响
- 加入干扰信号并评估时域或频域结果

2. 通信和DSP系统工具箱功能

MathWorks产品 — 比如*Communications System Tool-box*^{TM16}、*Signal Processing Toolbox*^{TM17}、*DSP System Toolbox*^{TM18}和SimRF¹⁹ — 具有业界标准算法和应用程序，可进行SDR系统的系统性分析、设计与调谐。所有这些工具均提供了创建高保真SDR模型的途径，可在进行真实物理部署前用来验证通信系统的表现和性能。

3. 用于Zynq的Simulink工作流程

MathWorks的MATLAB和Simulink是用于多领域仿真和基于模型设计的环境，非常适合仿真具有通信算法的SDR系统。通信算法调节增益、频率偏移、时序偏移和其它性能变量，并经常能更好地同步发送器和接收器系统。利用仿真评估通信算法可以有效地确定SDR设计是否合适，判断其合适后再进行昂贵的硬件测试，从而减少算法开发的时间和成本。图6给出了设计通信算法的有效工作流程，步骤如下：

- 使用基于模型的设计环境提供的库构建精确的SDR模型
- 仿真系统行为以验证系统表现是否符合预期
- 产生C代码和HDL进行实时测试和实施
- 利用原型制作硬件测试通信算法

在原型制作硬件上进行仿真和测试后，如果SDR系统的性能证明是令人满意的，那么在最终生产系统上实施与部署系统也将是安全的。

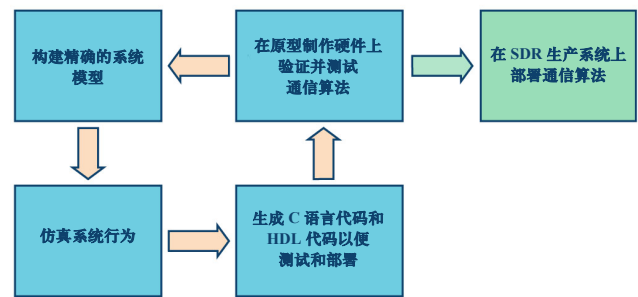


图6. 通信算法设计的工作流程

4. Simulink平台集成至Zynq SDR套件

一旦SDR系统使用MathWorks的Embedded Coder^{®20}和HDL Coder^{TM21}等工具完成了全面的验证，用户就可以利用嵌入式编码器和VHDL或使用HDL编码器的Verilog来生成C语言代码，然后将代码部署到原型制作硬件上进行测试，之后便可进入最终生产系统。此时应指定软件和硬件实施要求，如定点和时序行为。自动生成代码有助于缩短从概念到实际系统实施所需的时间，消除手动编程错误，确保实际SDR实施与模型相符。图7给出了在Simulink中进行SDR系统建模并将其转移到基于Xilinx Zynq SoC的最终生产系统所需的实际步骤。

第一步是在Simulink中对SDR系统进行建模和仿真。在这一阶段，通信算法被划分为在软件中实现的模块和在可编程逻辑中实现的模块。划分和仿真完成后，利用嵌入式编码器和HDL编码器将SDR模型转换为C语言代码和HDL代码。基于Zynq的原型制作系统用来验证通信算法的性能，并且帮助进一步调谐SDR模型，然后转移到实际生产阶段。在生产阶段，将自动生成的C代码和HDL集成到复杂的生产系统框架中。此工作流程确保通信算法在到达生产阶段之前经过全面验证和测试，使得系统鲁棒性具有高可信度。Zynq针对嵌入式编码器和HDL编码器推出的硬件支持包提供集成式硬件/软件设计、仿真和验证框架，将基于模型的设计集成至工作流程中，简化了Zynq平台的编程，并实现了快速设计迭代周期，同时有助于尽早检测和纠正设计以及规格错误²²。

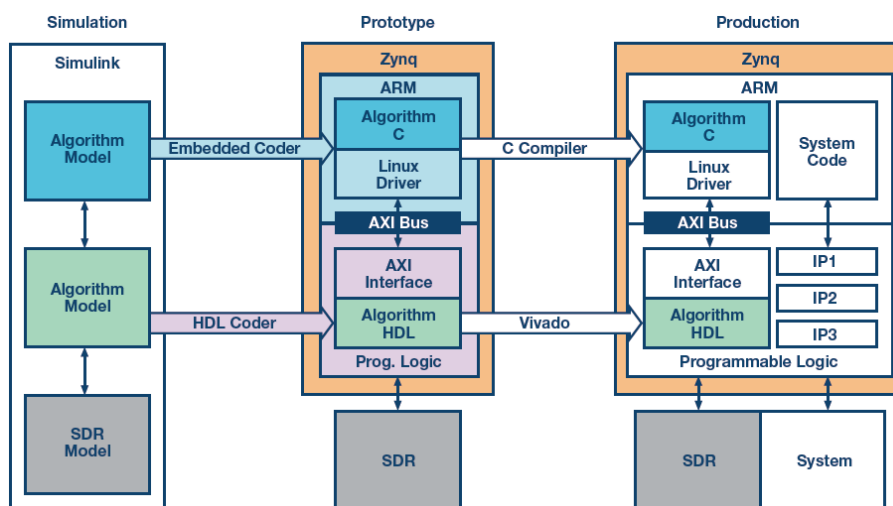


图7. 从仿真到生产的过程

结论

本文说明了现代SDR系统的要求和趋势，以及为满足这些要求和帮助实现更高性能SDR解决方案而由MathWorks、Xilinx和ADI公司带给市场的工具和系统。通过将MathWorks基于模型的设计和自动生成代码工具与强大的Xilinx Zynq SoC和ADI集成式RF收发器结合，SDR系统设计、验证、测试和实现可以比以前更有效率，进而提高无线电系统性能并缩短产品上市时间。ADI的FMCOMMS平台搭配Avnet Zynq-7000 AP SoC便可提供强大的原型制作环境，供采用MathWorks MATLAB和Simulink的SDR算法设计使用。FMCOMMS平台带有一组开源参考设计，旨在为所有希望评估该系统的人士提供一个起点，并且帮助启动任何新SDR项目。

在本系列的下一篇文章中，我们将进一步深入探讨SDR设计过程，回顾自动相关监视广播 (ADS-B) 信号特性，并解释如何在MATLAB/Simulink仿真中解码这些信息。

有关本文中所涉及话题、文档、视频和参考设计的更多信息，请查看“参考文献”部分。

参考文献

- 1 “什么是软件定义无线电？”无线创新论坛。
- 2 基于模型的设计。MathWorks。
- 3 Zynq-7000 All Programmable SoC。Xilinx。

- 4 Hill, Tom。“借助MATLAB将电机驱动迁移到Zynq SoC设计中。”*Xcell*杂志，第87期，2014年第二季度。
- 5 AD9361。
- 6 AD9364。
- 7 “ADI的软件定义无线电解决方案”。ADI公司。
- 8 IIO示波器。ADI公司Wiki知识库。
- 9 Simulink Librio。ADI公司Wiki知识库。
- 10 什么是Librio？ADI公司Wiki知识库。
- 11 IIO系统对象。ADI公司Wiki知识库。
- 12 信标帧接收器示例。ADI公司Wiki知识库。
- 13 QPSK发送器和接收器示例。ADI公司Wiki知识库。
- 14 LTE发送器和接收器示例。ADI公司。
- 15 AD9361。
- 16 “Communications System Toolbox”。MathWorks公司。
- 17 “Signal Processing Toolbox”。MathWorks公司。
- 18 “DSP System Toolbox”。MathWorks公司。
- 19 SimRF。MathWorks公司。
- 20 “HDL Coder”。MathWorks公司。
- 21 “Embedded Coder”。MathWorks公司。
- 22 “Simulink支持Xilinx Zynq”。MathWorks公司。

MATLAB和Simulink是MathWorks公司的注册商标。其它商标列表请参见：www.mathworks.com/trademarks。其它产品或品牌名称可能是各自所有人的商标或注册商标。

Di Pu [di.pu@analog.com]是 ADI 公司的系统建模应用工程师，支持软件定义无线电平台和系统的设计与开发。她与 MathWorks 密切合作，共同解决最终客户的难题。加入 ADI 公司以前，她曾于 2007 年获得中国南京理工大学 (NJUST) 电气工程本科学位，并在 2009 和 2013 年获得美国马萨诸塞州伍斯特理工学院 (WPI) 电气工程硕士和博士学位。她是 2013 年 WPI 博士论文西格玛西研究奖获得者。



Di Pu

Andrei Cozma [andrei.cozma@analog.com]是 ADI 公司工程设计经理，负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与了电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

该作者的其它文章：

[基于FPGA的系统提高电机控制性能](#)
第 49 卷第 1 期

Tom Hill, Xilinx 公司系统发生器产品经理[tom.hill@xilinx.com]Tom Hill 拥有 EDA 行业超过 18 年的从业经历。Hill 监管 Xilinx DSP 目标设计平台有关的所有产品、战略和企业营销活动。Hill 最近在 AccelChip 公司担任技术营销经理，负责 DSP 应用的产品指导和高级设计方法与工具应用。加入 AccelChip 以前，Hill 曾经担任多款 FPGA 和 ASIC 频率合成工具的产品经理、技术营销经理、技术营销工程师和现场应用工程师。Hill 的职业生涯始于 Allen-Bradley 和 Lockheed 公司，担任硬件和 ASIC 设计工程师。Hill 拥有克里夫兰州立大学电气工程学士学位。



Tom Hill

能量采集功率转换的新进展

作者：Frederik Dostal

共享    

能量采集技术已经面世很长时间了。我依然记得1980年代，我的袖珍计算器采用太阳能电池为计算单元和LCD显示器供电。甚至在此之前的电气革命早期阶段，便已将发电装置或者发电机放在河上磨坊里，通过奔腾的水流发电并获取可供使用的能源。现在，当我们讨论能量采集的时候，我们一般指用来代替电子设备中电池。因此，1980年的袖珍计算器例子非常符合我们现在所说的“能量采集”。

能量采集系统设置

显然，能量采集系统中最重要的就是采集器了，而最常见的是太阳能电池。采集器产生的电能需转换为有用的电压或电流，才能为系统供电，或者为超级电容和电池等中间储能设备充电。系统上电后，需针对电子设备产生正确的电压。图1显示了能满足各种不同任务需要的电源管理单元。使输入阻抗匹配，以便最大程度采集能量、为中间储能设备充电、从传统一次电池转移电能、为系统生成正确的输出电压以及监控电流流动和电压，从而形成一个可靠的系统。所有这些任务都必须是在极低的电源功率条件下实现，以便系统能够采用小型采集器或传感器。这些功能高度集成在DC-DC转换器中，有助于降低这类任务所需的电能。

图1中的系统显示了一个用于无线环境传感器的典型能量采集系统。这些传感器通常用来检测温度、湿度或各种气体，比如二氧化碳。能量采集还有很多其它应用。无线占位传感器或工业监控（比如资产追踪和机器监控）中的安全与安保方面属于工业应用。

能量采集还用于消费电子设备中，比如便携式设备和可穿戴设备。在家庭医疗保健应用中，无线病人监护需要在无电池的情况下使用，或者延长电池寿命。

能量采集是目前非常流行的一个话题。很多工程师都必须评估能量采集解决方案是否能代替或补充现有的能源解决方案。这类系统目前如此受欢迎的原因是我们最终达到了一个均衡点，即从相对成本较低且尺寸较小的采集器获得的能量足以为极低功耗微控制器和RF电路供电。过去数年内，电子产品的更新换代和能耗都有了进步，因此5到10年前不可行的很多应用在现在都得以实现，且经济实惠。

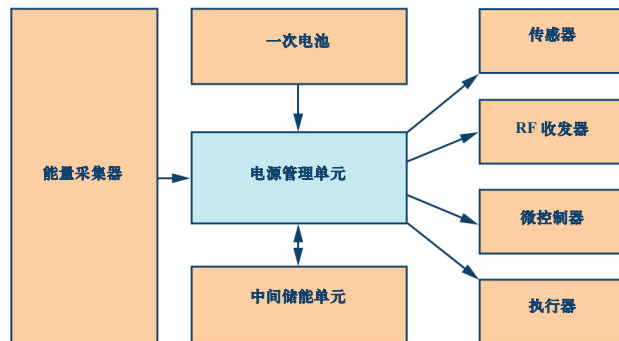


图1. 能量采集系统设置

不同的能量来源

能量有各种来源，最常见的是光伏(PV)、热电(TEG)、电磁、压电和RF。光伏和热电采集器产生直流电压，而电磁、压电和RF采集器产生交变电压或交流电压。这便使得电源转换技术的要求稍有不同。

图2显示了不同的采集类型，以及一个尺寸为10平方厘米的采集器大致可以产生的能量量。该图左侧显示产生的能源，右侧显示针对不同任务的功耗。注意，中间的功率尺度取对数。这张图很重要，可以从中获得切实可行的设计思路。很多时候，设计人员的工作和精力花费在评估能量采集解决方案上，最后却发现所采集的能量不足以为特定系统供电。

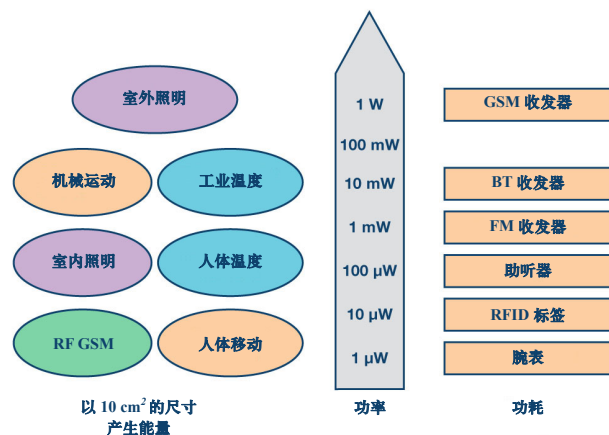


图2. 不同的能量来源和不同应用所需的能量要求

DC-DC转换器单元的重要性

电源转换和管理通常是现代能量采集系统的核心组件。虽然某些应用并不采用复杂的功率器件，但更多应用的功率器件较为复杂。不含智能电源管理的系统示例有链式太阳能电池堆栈，可生成相对较高的直流电压，直接为系统供电或在两者之间放置一个简单的线性稳压器后供电。这类系统通常达不到最佳的能效，或者电源电压不能良好调节。虽然某些负载可以在变化较大的电源电压下工作，但另一些不行。此外，更高级的系统倾向于要求使用某类电压转换器和管理模块。

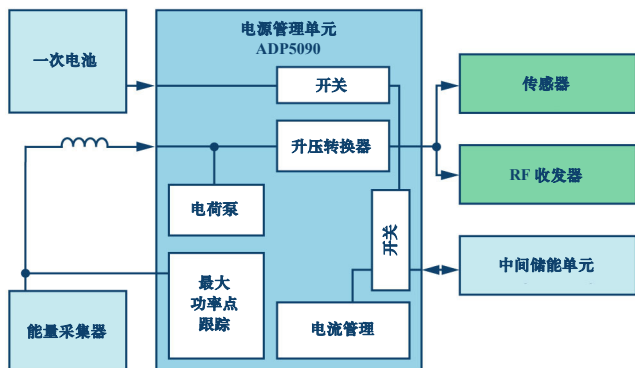


图3. 适合能量采集应用的电源管理器件功能框图

图3显示了适合能量采集应用的现代电源管理器件的功能框图。它包含启动电路，该电路带电荷泵，使输入端上的启动电压为380 mV。系统运行后，ADP5090的内部电路由ADP5090的输出电压供电。它也是为能量采集系统负载供电的节点。当节点高于1.9 V时，输入电压可下降至80 mV，但依然可采集能量。这对于那些在非最优情况下花了很多时间的系统而言非常有用，比如采用太阳能电池供电的室内传感器。太阳能电池在早上和晚上受到的光照可能很少，进而产生的电能也非常少。在这些时间内采集一定能量有利于给定时间段内的总功率预算。ADP5090具有低静态电流特性，因而从另一方面改善了这类情况。需注意的是，其功耗仅为260 nA。图4显示了一个典型的实际应用。该曲线显示了住宅楼内的不同位置，以及采用太阳能电池的传感器处于黑暗中的典型时间。当然，这只是一个典型案例。传感器接收的光量取决于房子的结构，包括窗户数量、在用的电灯数量以及传感器的确切位置。此外，一年中的季节和房子的位置也会影响这类图形。重点在于，在这种变化较大的照明条件下，ADP5090的低功耗特性对总功率预算极为有帮助，尤其是那些大部分时间都处于黑暗中的场所。

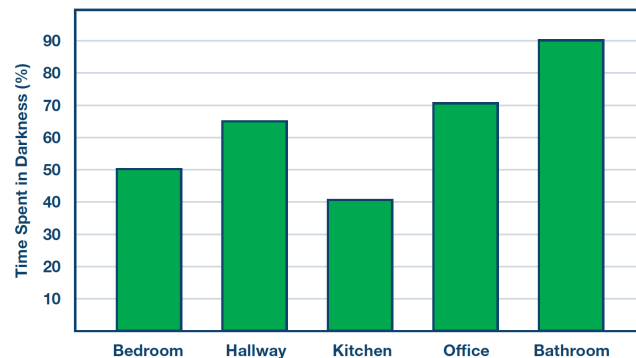


图4. 不同住宅楼位置的传感器处于黑暗中的典型时间

ADP5090中的DC-DC转换器级很有意思。正如大部分DC-DC转换器，它具有调节环路。然而，它既不会调节输出电压，也不会调节输出电流。调节环路主要以调节输入阻抗的方式设置。

太阳能电池的电流和电压表现如图5所示。在开环条件下，没有电流流过时，所提供的电压达到最大值。然后，随着电流流动，电压开始下降。在极高的电流下，电压下降得非常快。在曲线的中部形成了一个膝盖形状，它就是峰值功率点。在该点处，电压依然相对较高，但吸取了较多电流。为了在最大峰值功率点处工作，我们需要跟踪这一点。仅设置一个我们所描绘的固定电流值是无法工作的，因为图5中特定太阳能电池的曲线将根据不同的光照条件而发生偏移。如需跟踪MPP（最大峰值功率点），则ADP5090停止在输入端传导电流并在不加载太阳能电池电压的情况下检查该电压，然后设置下一个16秒的MPP。经过此时间周期之后，再次执行开环检查。16秒是个良好的折衷点，既远离MPP漂移，又不会过于频繁地中断采集操作。

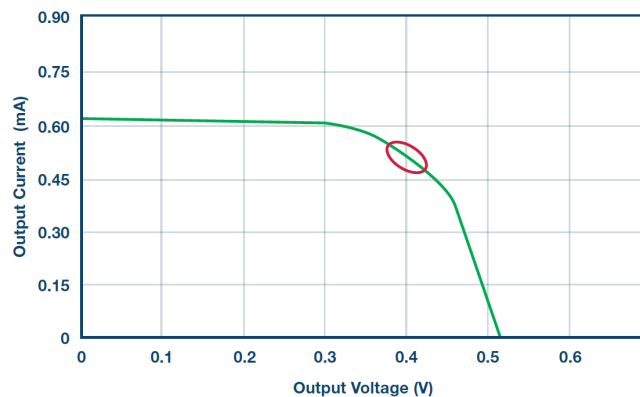


图5. 典型光伏电池的电压和电流曲线

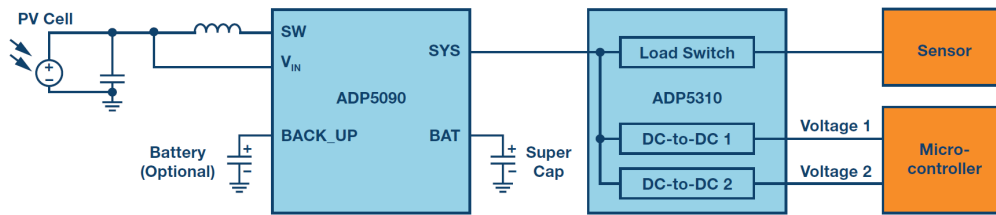


图6. 适合能量采集应用的电源管理级示例

MPP跟踪确保大部分能量从光伏电池或热电发生器等电源采集，但电源管理单元还有其它任务。例如，它需要在某个电压窗口内控制输出电压。ADP5090用作电流源，为超级电容或电池充电。此元件对于消耗能量的能量采集而言很重要。这样可以实现很多没有恒定可用能量供采集并以指定间隔执行某些系统任务的系统。例如，无线传感器网络中的某个传感器需要每隔5分钟发送一次温度值。如果该传感器由太阳能电池供电，由于中间储能单元，系统依然可以在没有光照的情况下工作。

目前一个非常受欢迎的架构是将能量采集设备加入一次电池供电的系统中。使用不可充电电池的产品可以成功地通过加入能量采集功能来延长系统寿命。这样可以延长工作时间，而不会影响系统的可靠性。针对这类混合系统，ADP5090提供控制一次电池的能力。当没有足够的采集能量时，一次电池的电源路径便转而直接为负载供电。

图6显示了一个完整的能量采集功率级，不仅包含主ADP5090 MPPT能量采集IC，还带有一个备用IC，即ADP5310。它是一款DC-DC转换器，可以非常高效地产生两路输出电压。在100 μ A输出电流时，其效率接近90%。此外，ADP5310还集成了一个负载开关。此负载开关可用于关闭那些持续消耗能量的负载，哪怕这些负载并未使用。

ADP5310降压转换器支持的输入电压最高达15 V。因此，这款器件可以直接用于交流电压生成器，比如压电类或电磁类发生器。只需一个桥式整流器，输出电压便可直接馈入ADP5310。

现在，很多电源管理集成电路均针对能量采集应用而专门设计。它们可让系统支持更小的采集器，或者实现数年前无法设计出来的能量采集解决方案。系统设计人员有一些好的想法现在正在实施中，不久之后我们就能见证它们的实现并赞叹不已。

Frederik Dostal [frederik.dostal@analog.com]就读于德国爱尔兰根大学微电子学专业。他于2001年加入电源管理业务部门，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

ESD 二极管用于电压箝位

作者：Paul Blanchard和Brian Pelletier

共享    

摘要

当放大器发生外部过压状况时，ESD 二极管是放大器与过应力之间的最后防线。正确理解 ESD 单元在一个器件中是如何实现的，设计人员就能通过适当的电路设计大大扩展放大器的生存范围。本文旨在向读者介绍各种类型的 ESD 实现方案，讨论每种方案的特点，并就如何利用这些单元来提高设计鲁棒性提供指南。

引言

有许多应用的输入不受系统控制，而是连接到外部世界，例如测试设备、仪器仪表和某些检测设备。对于此类应用，输入电压可能会超过前端放大器的额定最大电压，因而必须采用保护方案来维持设计的使用范围和鲁棒性。前端放大器的内部 ESD 二极管有时会用来箝位过压状况，但为了确保这种箝位能够提供充分可靠的保护，需要考虑许多因素。了解前端放大器内部的不同 ESD 二极管架构，以及具体保护电路的热影响和电子迁移影响，有助于设计人员解决保护电路相关的问题，并提高其在现场的使用寿命。

ESD 二极管配置

应当明白，并非所有 ESD 二极管都是连接到电源和地的简单二极管箝位。有许多可能的方案可以采用，例如：多个二极管串联、二极管和电阻、背靠背二极管等。下面介绍一些较为常见的方案。

连接到电源的二极管

图 1 显示了一个放大器实例，二极管连接在输入引脚和电源之间。在正常工作条件下，二极管反偏，但当输入高于正电源电压或低于负电源电压时，二极管变为正偏。当二极管变为正偏时，电流经过放大器的输入端流至相应的电源。

对于图 1 所示电路，当过压超过 $+V_s$ 时，放大器本身不会限制输入电流，需要外部增加串联电阻来限流。当电压低于 $-V_s$ 时， $400\ \Omega$ 电阻会起到一定的限流作用，设计时应当纳入考虑中。

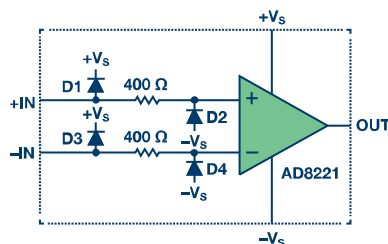


图1. AD8221 的输入 ESD 拓扑结构

图 2 显示了一个具有相似二极管配置的放大器，但在本例中，电流受内部 $2.2\ \text{k}\Omega$ 串联电阻的限制。它与图 1 所示电路的区别不仅在于限流电阻 R 的值，还在于 $2.2\ \text{k}\Omega$ 可保护电路不受 $+V_s$ 以上电压的影响。这个例子复杂难懂，务必充分了解以便在使用 ESD 二极管时优化保护。

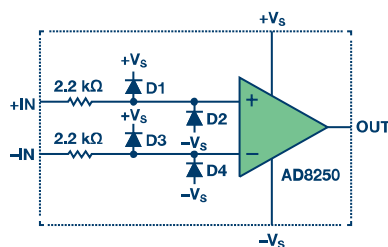


图2. AD8250 的输入 ESD 拓扑结构

限流 JFET

与图 1 和图 2 中的方案不同，IC 设计可以使用限流 JFET 代替二极管箝位。图 3 显示了一个例子，当输入电压超过器件的额定工作范围时，JFET 被用来保护器件。JFET 输入使该器件自身就能耐受相反供电轨的最高 $40\ \text{V}$ 电压。由于 JFET 会限制流入输入引脚的电流，因此 ESD 单元无法用作额外的过压保护。

当需要最高 40 V 的电压保护时，此器件的 JFET 保护可提供严格受控的、可靠的、完全明确的保护方案。这常常与使用 ESD 二极管的保护方案相反，后者关于二极管限流的信息常常指定典型值，甚至完全不明确。

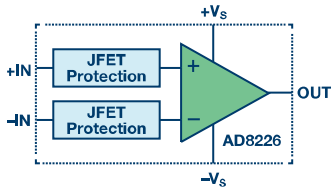


图3. AD8226的输入保护方案

二极管堆叠

在允许输入电压超过电源电压或地的应用中，可以使用二极管堆叠来防止输入受 ESD 事件的影响。图 4 所示的放大器就是采用堆叠二极管保护方案。该配置使用二极管串来防范负瞬变。在可用输入范围内，二极管串用于限制漏电流，但当超过负共模范围时，它就会提供保护。记住，二极管串的等效串联电阻是唯一的限流措施。对于给定电压，可使用外部串联电阻来降低输入电流。

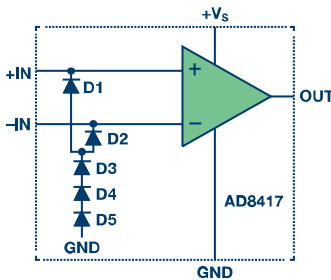
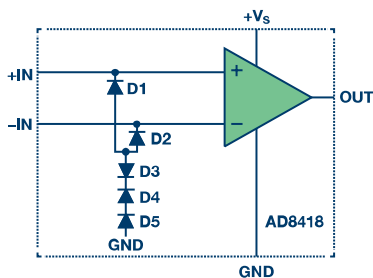


图4. AD8417的低端输入保护方案

背靠背二极管

当允许输入电压范围超过电源电压时，也可使用背靠背二极管。图 5 所示的放大器采用背靠背二极管来为器件提供 ESD 保护，采用 3.3 V 电源供电时，其允许电压最高达到 70 V。D4 和 D5 是高压二极管，用于应对输入引脚上可能存在的高电压；当输入电压在正常工作范围以内时，D1 和 D2 用于防止漏电流。在这种配置中，不建议使用这些 ESD 单元来提供过压保护，因为若超过高压二极管的最大反偏电压，很容易造成器件永久损坏。



Note: D4 and D5 Are High Voltage Devices

图5. AD8418的高端输入保护方案

无ESD箝位

某些器件的前端没有 ESD 器件。很显然，如果没有 ESD 二极管，设计人员当然无法将其用于箝位。之所以提到这种架构，是因为在研究过压保护 (OVP) 时，需要注意这种情况。图 6

所示的器件仅使用大阻值电阻保护放大器。

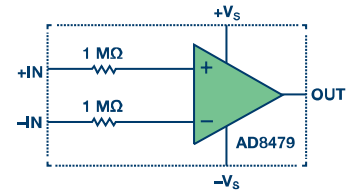


图6. AD8479的输入保护方案

ESD单元用于箝位

除了解 ESD 单元如何实现之外，还必须知道如何利用这些结构提供保护。典型应用使用串联电阻来限制额定电压范围内的电流。

当放大器配置为图 7 所示时，或者输入受连接到电源的二极管保护时，输入电流限值可利用以下公式计算。

$$I_{DIODE} = \frac{V_{STRESS} - (V_{SUPPLY} + 0.7 V)}{R_{PROTECTION}} \quad (1)$$

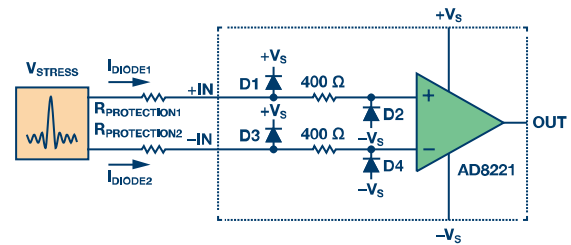


图7. ESD单元用于箝位

公式 1 用到一个假设，即 $V_{STRESS} > V_{SUPPLY}$ 。若非如此，应得更精确的二极管电压并将其用于计算，而不要使用 0.7 V 的近似值。

下面是一个计算实例，其中放大器采用 $\pm 15 V$ 电源供电，要防范的输入过压高达 $\pm 120 V$ ，输入电流限制在 1 mA。根据公式 1，我们可以使用这些输入进行计算：

$$I_{DIODE} = \frac{V_{STRESS} - (V_{SUPPLY} + 0.7 V)}{R_{PROTECTION}} \quad (1)$$

$$1 \text{ mA} = \frac{120 V - (15 V + 0.7 V)}{R_{PROTECTION}} \quad (2)$$

$$R_{PROTECTION} = 104,300 \Omega \quad (3)$$

根据上述要求， $R_{PROTECTION} > 105 \text{ k}\Omega$ 可将二极管电流限制在 1 mA 以下。

了解限流

I_{DIODE} 最大值随器件而不同，它还取决于施加过压的特定应用情形。持续数毫秒的一次性事件，与在应用的全部 20 年或更多年的任务寿命中持续施加电流，其最大电流将会不同。具体指导值可在放大器数据手册的绝对最大值部分或应用笔记中找到，通常在 1 mA 至 10 mA 范围内。

故障模式

具体保护方案的最大电流额定值最终要受两个因素的限制：二极管功耗的热影响和电流路径的最大电流额定值。功耗应保持在阈值以下，使工作温度始终处于有效范围；所选电流应在额定最大值范围内，以免电子迁移引起可靠性问题。

热影响

当电流流入 ESD 二极管时，二极管的功耗会引起温度升高。多数放大器数据手册指定了热阻（通常指定 θ_{JA} ），它显示了结温升幅与功耗的关系。考虑最差情况下的应用温度，以及功耗引起的最坏温度升幅，可以判断保护电路是否有效。

电子迁移

即使电流不引起热问题，二极管电流也可能造成可靠性问题。由于电子迁移，任何电气信号路径都有一个最大寿命电流额定值。二极管电流路径的电子迁移电流限值通常受与二极管串联的内部走线的厚度限制。放大器制造商不一定会发布此信息，但若二极管长时间工作（而不是工作很短时间），就需要予以考虑。

举个例子，当放大器监控（因而连接到）一个独立于其自身供电轨的电压轨时，电子迁移便可能是一个问题。当存在多个电源域时，可能会发生因电源时序问题而引起电压暂时超过绝对最大条件的情况。考虑最差情况下的电流路径和在整个使用寿命中以此电流工作的持续时间，并了解电子迁移的最大允许电流，便可避免电子迁移引起可靠性问题。

结论

了解放大器内部 ESD 二极管如何在过电应力期间激活，有助于轻松提高设计的鲁棒性。研究保护电路的热影响和电子迁移影响，可以凸显潜在的问题并显示是否需要额外的保护。考虑本文提出的条件可以让设计人员作出明智选择，避免在现场发生鲁棒性问题。

Paul Blanchard [paul.blanchard@analog.com] 是 ADI 公司位于麻萨诸塞州威明顿市的仪器仪表、航空航天与国防业务部门的应用工程师。Paul 于 2002 年加入 ADI 公司的先进线性产品 (ALP) 部门，从事仪表放大器和可变增益放大器方面的工作。2009 年，作为线性产品部门 (LPG) 的一员，他主要负责汽车雷达、电流检测和 AMR 相关应用。目前，作为线性与精密技术 (LPT) 部门的一员，他从事精密输入信号调理 (PISC) 信号链技术方面的工作。Paul 拥有伍斯特理工学院电气工程学士学位和硕士学位。



Paul Blanchard

Brian Pelletier [brian.pelletier@analog.com] 是 ADI 公司线性产品技术部门的产品开发工程师。他从马萨诸塞大学获得电气工程学士学位后，于 2003 年加入 ADI 公司。Brian 专门研究精密放大器，包括仪表放大器和电流检测放大器。



Brian Pelletier

快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电

第二部分—利用 MATLAB 和 Simulink 进行 S 模式检测和解码

作者：Mike Donovan、Andrei Cozma和Di Pu

共享    

自动相关监视广播波形

能被检测和解码的无线信号无处不在。利用当今的软件定义无线电 (SDR) 硬件，像 ADI 公司的集成 RF 捷变收发器 AD9361/AD9364 等，很容易接入这些信号^{TM1,2}。商业航空器的自动相关监视广播 (ADS-B) 传输提供了一个现成的无线信号，利用它可演示基于 AD9361 和 Xilinx[®] Zynq[®]-7000 All Programmable SoC 的快速原型开发流程。商业航空器利用 ADS-B 发射机向空中交通管制员报告其位置、速度、高度和航空器 ID³。国际民用航空组织 (ICAO) S 模式超长电文规范定义了飞行数据格式⁴。ADS-B 正在向全世界推广，以便构建现代化空中交通管制和避碰系统。它已被欧洲采用，美国正在逐渐引入。

S 模式超长电文标准详细规定了 RF 传输格式和编码数据字段。应答器传输具有如下特性：

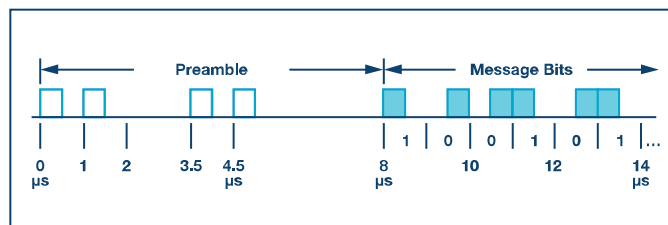
- 发射频率：1090 MHz
- 调制：脉冲位置调制 (PPM)
- 数据速率：1 Mbps
- 消息长度：56 μs 或 112 μs
- 24 位 CRC 校验和

调谐频率和带宽完全在 AD9361 RF 收发器的能力范围之内，收到的 I/Q 样本可利用多种软件或嵌入式平台选项进行检测和解码。

本文将讨论如何利用一个基于 AD9361 的接收机平台来捕捉这些 S 模式信号，然后利用 MATLAB 和 Simulink 开发一个能够解码消息的算法。该算法的最终目标是将该解决方案部署到 Zynq SoC 平台上，例如 Avnet PicoZedTM SDR 系统化模块 (SOM)。

接收机设计挑战

S 模式消息有短 (56 μs) 和长 (112 μs) 两种。短消息包含消息类型、航空器识别号和循环冗余校验 (CRC) 和。长消息则还包含高度、位置、速度和飞行状态信息。无论何种情况，S 模式传输均从一个 8 μs 前同步码开始。接收机通过此前同步码确定一条有效消息正在传输，此前同步码还能帮助接收机确定消息位从何时开始。详情参见图 1⁵。



© 1984-2015 The MathWorks, Inc.

图1. S模式消息结构

S 模式波形相当简单，但要成功接收并解码消息，仍有若干挑战需要解决。

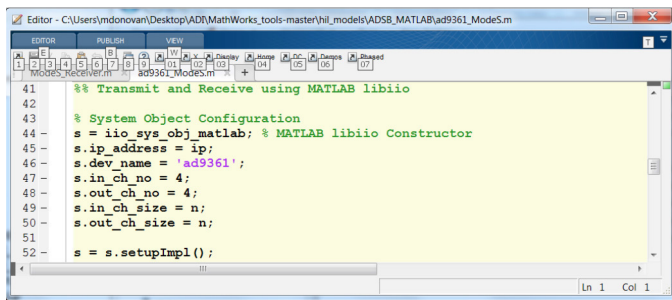
1. 接收环境通常是长时间空闲中穿插着非常短的消息；如果发射信号的航空器距离接收机很远，收到的信号可能非常弱。传统波形也会以 1090 MHz 的频率发射。接收机需要利用前同步码在拥挤的频段中识别高和低两个幅度的 S 模式传输。
2. 在 1 μs 位间隔内，各位的可能模式有两种。前 $\frac{1}{2}$ μs 为 ON 且后 $\frac{1}{2}$ μs 为 OFF，表示逻辑 1。前 $\frac{1}{2}$ μs 为 OFF 且后 $\frac{1}{2}$ μs 为 ON，表示逻辑 0。位判定的依据是基于时间的模式，因此，接收机需要利用前同步码准确找出消息位开始的 I/Q 样本。
3. S 模式消息由 88 个信息位和 24 个校验和位组成。接收机需要能够在正确的时间清除寄存器、作出位判定、计算校验和并读取校验和寄存器。为使接收机正确工作，必须对时序进行控制。
4. 对于嵌入式设计，解码过程必须逐个样本进行。存储大量数据再进行批处理的接收机设计，对嵌入式系统来说是不现实的。

AD9361 等强大的 RF 前端与 MATLAB[®] 之类的科技计算语言相结合，可大大简化与此类传输的检测和解码相关的问题。MATLAB 和信号处理工具箱中的函数可用来识别同步模式，计算噪底，作出位判定，以及计算校验和。MATLAB 中的条件和执行控制函数可简化控制逻辑。利用 AD9361 SDR 平台很容易访问测试数据，无论是从二进制或文本文件读取，还是以流形式直接输入 MATLAB。最后，MATLAB 是解释性语言，因而很容易与数据进行交互，尝试不同的方法，以交互方式开发解决方案。

在MATLAB中建模并验证S模式接收机算法

对下述内容和 MATLAB 源代码感兴趣的读者，可在 Analog Devices GitHub 库中找到相关文件。入门级函数为 ad9361_ModeS.m，同时提供了此函数调用的文件。

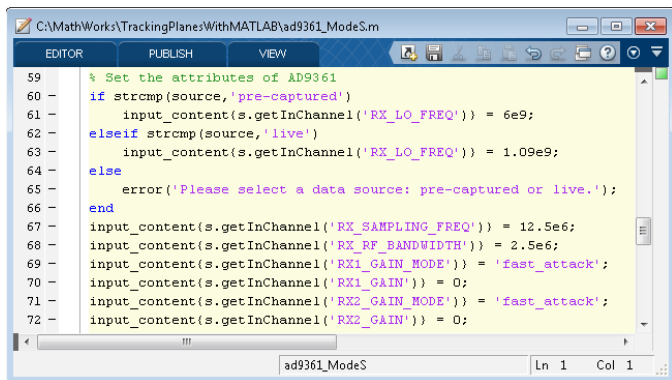
设计接收机算法的第一步是访问一些源数据。许多航空器现在都配备了 S 模式应答器，因而只需将接收机调谐到 1090 MHz 的广播频率便可捕获本地传输。在我们的例子中，可以使用 Zynq SDR 快速原型开发平台。ADI 公司提供了一个 MATLAB 系统对象™，它能通过以太网从 FCOMMS 平台接收数据⁶。该系统对象允许用户选择调谐频率和采样速率，利用无线电硬件收集接收样本，以及将接收样本作为 MATLAB 变量直接送入 MATLAB 工作空间。所需代码非常少，几行代码便可设置 MATLAB 系统对象，再用几行代码设置 FCOMMS3，还有几行代码用来捕获 I/Q 样本并将其写入一个 MATLAB 变量。代码示例如图 2、图 3 和图 4 所示。



```
41 %% Transmit and Receive using MATLAB libio
42
43 % System Object Configuration
44 s = iio_sys_obj_matlab; % MATLAB libio Constructor
45 s.ip_address = ip;
46 s.dev_name = 'ad9361';
47 s.in_ch_no = 4;
48 s.out_ch_no = 4;
49 s.in_ch_size = n;
50 s.out_ch_size = n;
51
52 s = s.setupimpl();
```

© 1984-2015 The MathWorks, Inc.

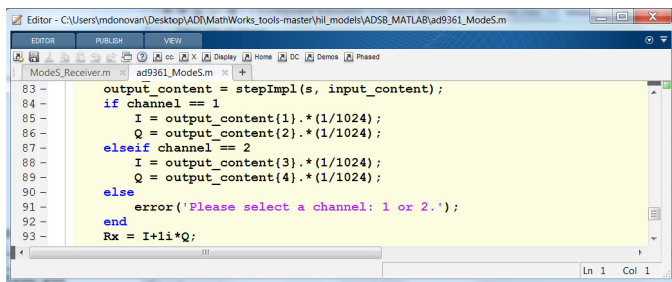
图2. 设置MATLAB系统对象的MATLAB代码示例



```
59 % Set the attributes of AD9361
60 if strcmp(source, 'pre-captured')
61     input_content(s.getInChannel('RX_LO_FREQ')) = 6e9;
62 elseif strcmp(source, 'live')
63     input_content(s.getInChannel('RX_LO_FREQ')) = 1.09e9;
64 else
65     error('Please select a data source: pre-captured or live.');
```

© 1984-2015 The MathWorks, Inc.

图3. 配置FCOMMS3板的MATLAB代码示例

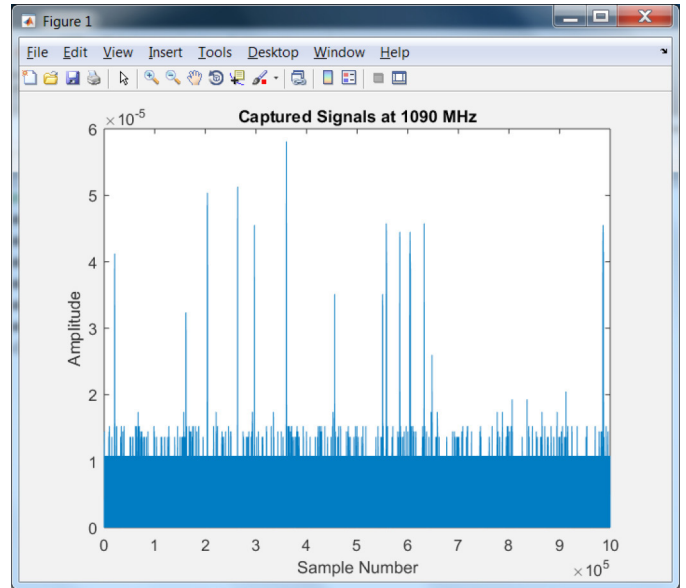


```
83 output_content = stepImpl(s, input_content);
84 if channel == 1
85     I = output_content(1) .* (1/1024);
86     Q = output_content(2) .* (1/1024);
87 elseif channel == 2
88     I = output_content(3) .* (1/1024);
89     Q = output_content(4) .* (1/1024);
90 else
91     error('Please select a channel: 1 or 2.');
```

© 1984-2015 The MathWorks, Inc.

图4. 捕获I/Q样本并将其写入Rx变量的MATLAB代码示例

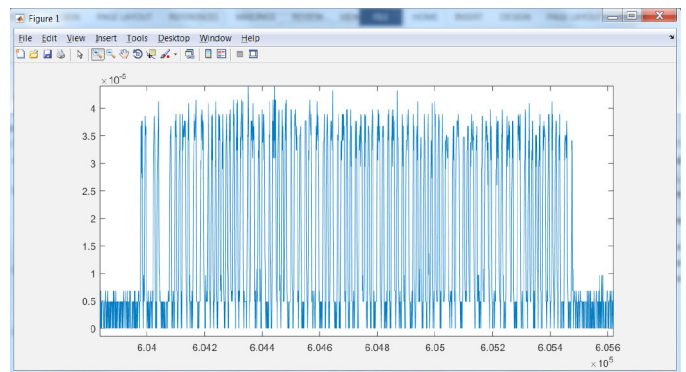
我们使用了一些基于这些命令的代码，以 12.5 MHz 的采样速率捕获数个数据集。选择 12.5 MHz 速率是为了提供足够的样本来使前同步码与第一个消息位精密对齐，并通过求均值方法消除用来作出位判定的样本中的噪声。捕捉一百万样本的结果如图 5 所示。



© 1984-2015 The MathWorks, Inc.

图5. 1090 MHz 数据捕捉示例

在这个较短的数据集中，有 14 个信号从噪底中凸显出来。在这 14 个信号中，有两个是 S 模式消息。其余是传统或杂散信号，应予以抛弃。放大样本号 604000 附近的区域，可看到其中一个有效消息（图 6）。



© 1984-2015 The MathWorks, Inc.

图6. 单个S模式消息

在此图中，可以清楚看到前同步码，PPM 调制引起的位跃迁也很明显。即使面对如此清晰的信号，通过目视检查解码各位也需要很好的视力和极大的耐心。显然，需要一个自动化程序来解码这些消息。MATLAB 非常适合于开发这种程序。

用于接收和解码 S 模式消息的 MATLAB 代码可概述如下：

1. 利用 filter() 函数计算一个短时间窗口上的噪底和前同步码相关性。我们的解决方案使用 75 个样本，相当于 6 μs。

2. 当前同步码相关性比噪底大一个相当大的倍数时,启动寻找第一消息位样本的逻辑。
 - a. 此阈值可主观选择。它应足够小,以便检测弱信号,但又应足够大,以防出现大量误报。我们选择比噪底高 10 倍的值,这是一个能够捕捉大多数可解码消息的合理阈值。
 - b. 前同步码模式产生数个峰值。最佳匹配是第一个 6 μs ,因此存储第一峰值,开始寻找第一消息位,并检查接下来的 3 μs 是否有一个更大的峰值。若有,则存储新峰值,重新开始寻找第一消息位。
 - c. 找到最大峰值时,于 2 μs 后开始解码消息位。
 - d. 图 7 显示了噪底(绿色)以及将理想前同步码与输入数据相关的结果。噪底上有多个峰值,但有意义的峰值是幅度最大的峰值。第一消息位样本出现在该峰值后 2 μs 处。

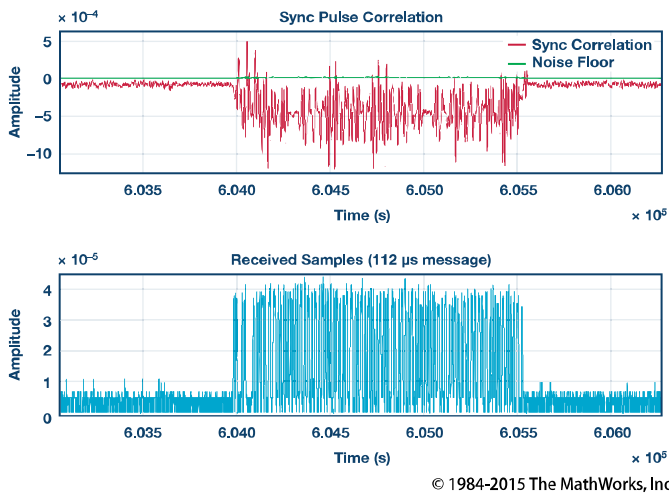


图7. 噪底和前同步码相关性的计算

3. 对于每一位,将前 $\frac{1}{2}$ μs 和后 $\frac{1}{2}$ μs 的样本幅度分别求和。哪一个和较大决定该位是逻辑 1 还是逻辑 0。
4. 一边作出位判定,一边计算校验和。当第一位到达时,需要某种控制逻辑来复位 CRC 寄存器,计算 88 位的校验和,然后在最后的 24 位期间清空 CRC 寄存器。若接收位匹配校验和,则 ADS-B 消息有效。
5. 根据 S 模式标准解析消息位(参见图 8)。

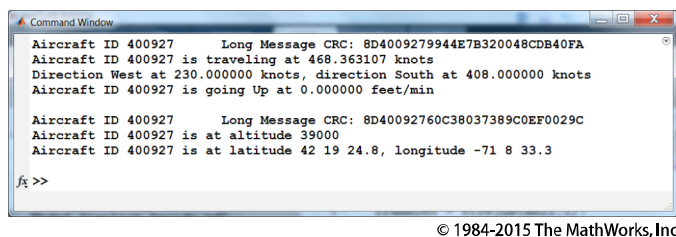


图8. 解码后的S模式消息

上图来自 MATLAB 命令窗口,显示了从一百万样本数据集中成功解码的两条消息。图中给出了构成 88 位消息和 24 位校验和的十六进制字符,解码过程的结果显示了航空器 ID、消息类型以及航空器速度、高度和位置。

MATLAB 提供了功能强大的数学和信号处理语言,使我们能够相对轻松地解决此类问题。用于处理数据样本并最终解码消息的 MATLAB 代码很短,只有 200 行。此外, MATLAB 是解释性语言,因而很容易以交互方式尝试不同的设计思想,快速确定可行的解决方案。我们对不同数据集测试了多种时序机制、阈值和噪声水平,最终获得一个满意的程序。

该 MATLAB 代码已针对本地空域飞行的航空器发出的信号进行了测试,解码的消息也对照 airframes.org 和 flight-aware.com 等信息源进行了检查。硬件和代码表现得非常好,我们已经能够解码距离 50 英里的飞机发出的信号。

实施路径

对下述内容和 Simulink 模型感兴趣的读者,可在 Analog Devices GitHub 库中找到相关文件:

https://github.com/analogdevicesinc/MathWorks_tools/tree/master/hil_models/ADSB_Simulink

MATLAB 是一个出色的环境,可让用户在 PC 上测试设计思想并运行算法,但如果最终目标是产生要用在嵌入式平台(例如 Zynq SoC)上的软件或 HDL,那么 Simulink 是一个不错的解决方案。Simulink 非常适合针对可编程器件的硬件细化建模工作。一个很好的工作流程是先用 MATLAB 开发并验证算法,然后将设计转换成 Simulink,沿着开发路径向前推进,直至获得最终硬件实现方案。

幸运的是,该算法的 MATLAB 代码是逐个样本地处理数据,因此可以相当轻松地转换为 Simulink。与 200 行 MATLAB 代码相比, Simulink 模型很容易显示和描述(参见图 9)。

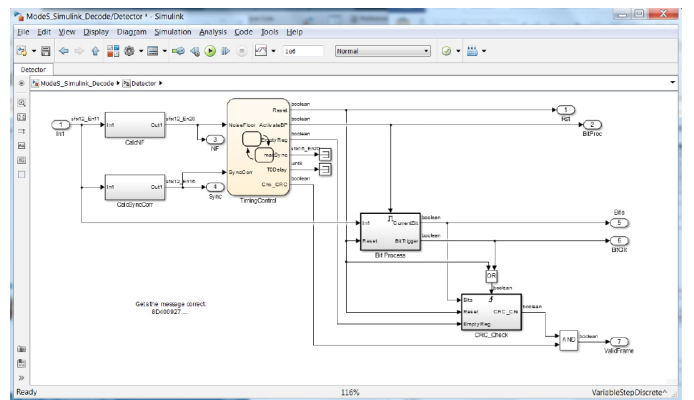
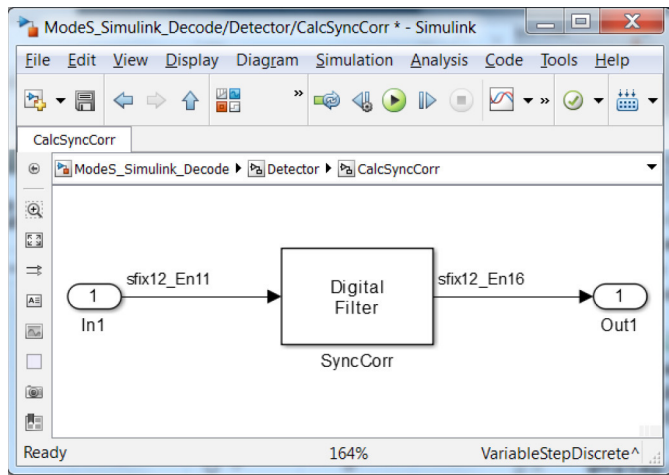


图9. S模式检测和解码算法的Simulink模型

在图 9 中,可以看到解码的第一步是计算噪底和前同步码相关性。这些计算使用数字滤波器模块。时序控制模块利用 Stateflow[®]实现,后者是一个状态机工具,用于为解码算法的其它部分产生时序、复位和控制信号。对于想要将控制逻辑与数据流分开的模型, Stateflow 非常有用。一旦激活时序和触发信号,名为 BitProcess 的模块便会接受 I/Q 输入样本并计算数据位,然后 CRC_Check 模块计算校验和。消息解析仍然发生在由该 Simulink 模型驱动的 MATLAB 脚本中。

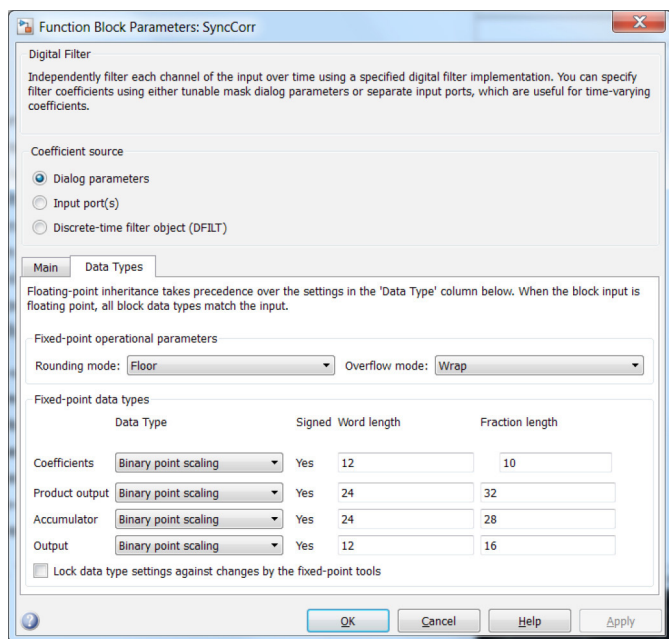
深入观察该模型，可以看到令 Simulink 适合嵌入式开发的几个特性，尤其是针对 Zynq SoC 将设计划分为多个功能，以及产生 HDL 代码和 C 代码。

1. Simulink 具有出色的定点支持能力，用户可以构建并测试设计的位真 (bit-true) 版本。各个模块允许用户设置模型中数学运算的字长和小数长度。用于计算前同步码相关性的数字滤波器模块就是一个很好的例子 (图 10)。用户可以设置计算的舍入模式和溢出行为 (对于 HDL 中的数学运算, Floor 和 Wrap 是最简单的选择)。此外, 用户可以为产品和滤波器的累加器操作指定不同的字长和小数精度 (图 11)。用户可以使用映射到接收机 ADC 的字长选择, 并且利用硬件乘法器, 例如 Zynq SoC 的 DSP48 分片内部的 18 位 × 25 位乘法器。



© 1984-2015 The MathWorks, Inc.

图10. 用于前同步码相关性的Simulink数字滤波器模块, 12位数据类型

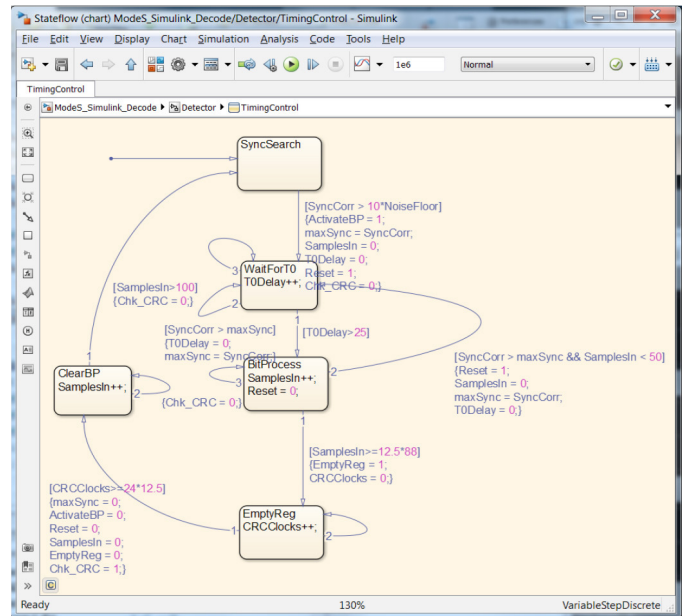


© 1984-2015 The MathWorks, Inc.

图11. 定点数据类型设置

2. 嵌入式设计常常具有多种工作模式和条件执行算法。Stateflow 特别善于管理这些控制信号。Stateflow 以可视化方式呈现 S 模式消息检测和解码所需的控制逻辑。在下面的图 12 中, 可以看到逻辑中的如下状态:
 - a. SyncSearch: 寻找捕获样本中的前同步码
 - b. WaitForT0: 寻找第一个消息位的开始
 - c. BitProcess: 启用位处理
 - d. EmptyReg: 清空校验和寄存器并将这些位与位处理输出进行比较

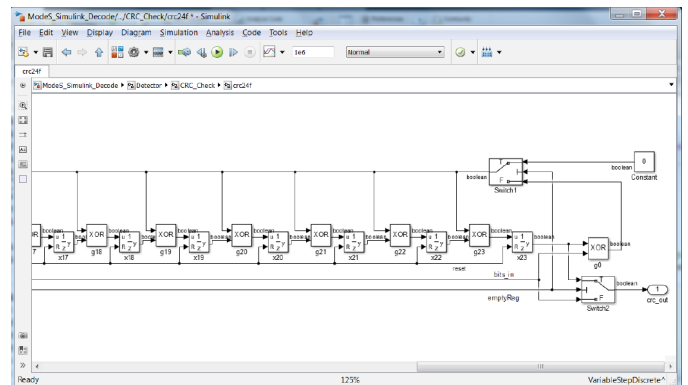
当检测和解码算法在不同状态间流转时, Stateflow 模块产生相关信号以启用位处理, 复位位判定计数器和校验和寄存器, 以及在 S 模式消息结束时读出校验和位。



© 1984-2015 The MathWorks, Inc.

图12. 解码S模式消息的Stateflow流程图

3. Simulink 模块库中既有高度概括的模块, 也有非常精细的模块, 工程师可以根据需要选择使用。数字滤波器、FFT 和数控振荡器等是高级模块, 利用这些模块很容易构建信号处理设计。如果需要更精确地控制设计, 例如针对速度或面积进行优化, 工程师可以使用单位延迟、逻辑运算符 (如 XOR) 和开关等低级模块。该模块中的 24 位校验和便是利用这些低级模块构建的反馈移位寄存器 (图 13)。



© 1984-2015 The MathWorks, Inc.

图13. 用于S模式校验和计算的反馈移位寄存器

该 Simulink 模型是用于检测和解码 S 模式消息的 MATLAB 算法的硬件化版本。Simulink 是一个很有用的工具，填补了 MATLAB 中编写的行为算法与嵌入式硬件的实现代码之间的空白。您可以将针对硬件的细化工作引入 Simulink 模型，运行模型，验证您所做的变更没有破坏解码算法。

结论

Zynq SDR 快速原型开发平台和 MathWorks 软件的结合，为通信工程师提供了一种全新且灵活的方式来将无线接收机设计理念快速变成原型。AD9361/AD9364 捷变宽带 RF 收发器的高度可编程能力和性能，加上硬件与 MATLAB 环境之间的简单连接，让大量不同且有趣的无线信号可以为工程师所用。使用 MATLAB 的工程师可以快速尝试各种设计思想并确定有前途的解决方案。如果设计的最终目标是嵌入式处理器，工程师可以通过 Simulink 工具利用硬件相关主意优化设计，最终获得用于对处理编程的代码。这种工作流程可降低无线接收机设计对工程师技能的要求，缩短从概念到工作原型的开发周期。

在本系列的下一篇文章中，我们将介绍如何使用硬件在环 (HIL) 仿真来验证接收机设计，用目标收发器捕获信号，同时在 Simulink 中的主机上执行该信号处理系统的一个模型进行验证。

参考文献

- ¹ AD9361. Analog Devices.
- ² AD9364. Analog Devices.
- ³ 960-1164 MHz, 美国国家电信和信息管理局。
- ⁴ S 模式服务和超长电文的技术规定, 国际民用航空组织。
- ⁵ 监视和避碰系统, 航空电信第 IV 卷, 国际民用航空组织。
- ⁶ Di Pu, Andrei Cozma 和 Tom Hill, “快速通往量产的四个步骤: 利用基于模型的设计开发软件定义无线电”, *Analog Dialogue* 第 49 卷。

源代码和模型链接

MATLAB S 模式解码算法:

https://github.com/analogdevicesinc/MathWorks_tools/blob/master/hil_models/ADSB_MATLAB/

Simulink S 模式解码模型:

https://github.com/analogdevicesinc/MathWorks_tools/tree/master/hil_models/ADSB_Simulink

致谢

感谢 MathWorks 公司的 Mike Mulligan, 他为本文示例提供了一些 MATLAB 代码。

Mike Donovan [mike.donovan@mathworks.com] 是 MathWorks 公司应用工程部门经理。他拥有巴克内尔大学电气工程学士学位和康涅狄克大学电气工程硕士学位。加入 MathWorks 之前, Mike 开发过雷达和卫星通信系统, 并在宽带电信行业工作过。



Mike Donovan

Andrei Cozma [andrei.cozma@analog.com] 是 ADI 公司工程设计经理, 负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与过电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

该作者的其它文章:

[基于 FPGA 的系统提高电机控制性能](#)
第 49 卷第 1 期

Di Pu [di.pu@analog.com] 是 ADI 公司系统建模应用工程师, 负责支持软件定义无线电平台和系统的设计与开发。她与 MathWorks 密切合作解决双方共同客户的难题。加入 ADI 公司之前, 她于 2007 年获得南京理工大学 (NJUST) 电气工程学士学位, 于 2009 年和 2013 年分别获得伍斯特理工学院 (WPI) 电气工程硕士学位和博士学位。她是 WPI 2013 年博士论文 Sigma Xi 研究奖获得者。



Di Pu

快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电

第三部分—利用硬件在环验证 S 模式信号解码算法

作者：Di Pu和Andrei Cozma

共享    

简介

在MATLAB或Simulink[®]中实现信号处理算法之后，合乎逻辑的下一步是利用从实际要使用的SDR硬件平台获得的真实数据验证算法的功能。首先是利用从系统获得的不同输入数据集来验证算法。这样做有助于验证算法的功能，但不能保证算法在其它环境条件下也能像预期那样工作，也不能确定对于SDR系统模拟前端和数字模块的不同设置，算法的行为和性能会如何。为了验证所有这些方面，如果能让算法在线运行以接收实时数据作为输入，并且调整SDR系统设置以实现最佳性能，将是非常有好处的。本系列文章的这一部分讨论ADI公司提供的软件工具，其支持MATLAB和Simulink模型与FMCOMMSx SDR平台直接互动；此外还会说明如何利用这些工具验证第二部分所述的ADS-B模型²。

MATLAB和Simulink IIO系统对象

ADI公司提供了完整的软件基础设施来支持MATLAB和Simulink模型与FMCOMMSx SDR平台（其连接到运行Linux的FPGA/SoC系统）实时互动。这之所以可能，有赖于IIO System Object^{TM3}（系统对象），它设计用于通过TCP/IP与硬件系统交换数据，从而发送（接收）数据至（自）目标，控制目标的设置，并监测RSSI等不同目标参数。图1显示了该软件基础设施的基本架构以及系统组件之间的数据流。

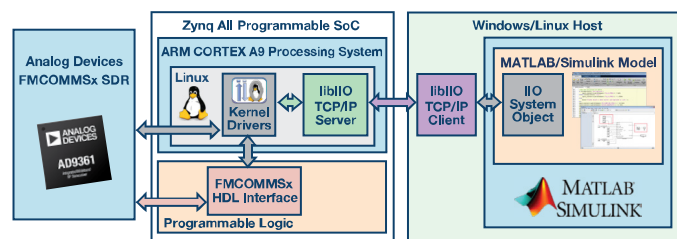


图1. 软件基础设施框图

IIO系统对象基于MathWorks系统对象规范⁴，其公开了数据和控制接口，MATLAB/Simulink模型通过这些接口与基于IIO的系统通信。这些接口在一个配置文件中指定，配件文件将系

统对象接口链接到IIO数据通道或IIO属性。这样便可实现通用型IIO系统对象，只需修改配置文件，它便能配合任何IIO平台工作。ADI GitHub库⁵提供了一些平台的配置文件和示例，包括AD-FMCOMMS2-EBZ/AD-FMCOMMS3-EBZ/AD-FMCOMMS4-EBZ/AD-FMCOMMS5-EBZ SDR板和高速数据采集板AD-FMCDQA2-EBZ。IIO系统对象与目标之间的通信是通过libiio服务器/客户端基础设施来完成。服务器运行于Linux下的嵌入式目标上，管理目标与本地/远程客户端之间的实时数据交换。libiio库是硬件低层细节的抽象，提供了简单但完整的编程接口，可用于绑定各种语言（C、C++、C#、Python）的高级项目。

本文接下来将通过一些实际例子说明如何利用IIO系统对象来验证ADS-B MATLAB和Simulink模型。一个连接到ZedBoard⁷且运行Analog Devices Linux发行版的AD-FMCOMMS3-EBZ SDR平台⁶用作SDR硬件平台，以验证ADS-B信号检测与解码算法是否正常工作，如图2所示。



图2. ADS-B算法验证的硬件设置

利用IIO系统对象验证MATLAB ADS-B算法

为了利用从AD-FMCOMMS3-EBZ SDR平台获得的实时数据验证MATLAB ADS-B解码算法，开发了一个MATLAB脚本来执行如下操作：

- 根据用户输入计算地球带
- 创建并配置IIO系统对象
- 通过IIO系统对象配置AD-FMCOMMS3-EBZ模拟前端和数字模块
- 利用IIO系统对象从SDR平台接收数据帧
- 检测并解码ADS-B数据
- 显示解码的ADS-B信息

构建IIO系统对象之后，必须利用SDR系统的IP地址、目标设备名称、输入/输出通道的大小和数目对其进行配置。图3给出了一个创建并配置MATLAB IIO系统对象的例子。

```
% System Object Configuration
s = iio_sys_obj_matlab; % MATLAB libiio Constructor
s.ip_address = ip;
s.dev_name = 'ad9361';
s.in_ch_no = 4;
s.out_ch_no = 4;
s.in_ch_size = n;
s.out_ch_size = n;

s = s.setupImpl();
```

图3. MATLAB IIO系统对象的创建和配置

然后，利用IIO系统对象设置AD9361属性并接收ADS-B信号。AD9361属性基于以下考量而设置：

```
% Set the attributes of AD9361
if strcmp(source,'pre-captured')
    input_content(s.getInChannel('RX_LO_FREQ')) = 6e9;
elseif strcmp(source,'live')
    input_content(s.getInChannel('RX_LO_FREQ')) = 1.09e9;
else
    error('Please select a data source: pre-captured or live.');
```

```
end
input_content(s.getInChannel('RX_SAMPLING_FREQ')) = 12.5e6;
input_content(s.getInChannel('RX_RF_BANDWIDTH')) = 4e6;
input_content(s.getInChannel('RX1_GAIN_MODE')) = 'fast_attack';
input_content(s.getInChannel('RX1_GAIN')) = 0;
input_content(s.getInChannel('RX2_GAIN_MODE')) = 'fast_attack';
input_content(s.getInChannel('RX2_GAIN')) = 0;
input_content(s.getInChannel('TX_LO_FREQ')) = 6e9;
input_content(s.getInChannel('TX_SAMPLING_FREQ')) = 12.5e6;
input_content(s.getInChannel('TX_RF_BANDWIDTH')) = 4e6;
```

图4. MATLAB libiio设置AD9361属性

利用基于AD9361的平台，采样速率相当容易确定。发送数据速率一般等于接收数据速率，最终取决于基带算法。本例中，解码算法是针对12.5 MSPS的采样速率而设计，AD9361采样速率据此设置。这样，接收到的样本便可直接应用于解码算法，无需其它抽取或插值操作。

RF带宽控制设置AD9361 RX模拟基带低滤波器的带宽，以提供抗混叠和带外信号抑制。为了成功解调收到的信号，系统必须最大程度地提高信噪比 (SNR)。因此，在满足平坦度和带外抑制要求的同时，RF带宽必须设置得尽可能窄，以使带内噪声和杂散信号电平最小。如果RF带宽设置得较宽，ADC线性动态范围就会因为额外的噪声而缩小。同样，ADC无杂散动态范围也会因为较低的带外信号抑制而缩小，导致接收器的整体动态范围缩小。因此，将RF带宽设置为最优值对于接收所需的带内信号并抑制带外信号非常重要。通过观察接收信号的频谱，我们发现4 MHz是一个合适的RF带宽值。

除了通过RF带宽属性设置AD9361的模拟滤波器之外，我们还可以通过IIO系统对象使能AD9361的数字FIR滤波器以改善解码性能，如图5所示。根据ADS-B信号的频谱特性，我们设计一个数据速率为12.5 MSPS、通带频率为3.25 MHz、阻带频率为4 MHz的FIR滤波器。这样，我们就能进一步聚焦于目标带宽。

```
s.writeFirData('adsb.ftr');
```

图5. 通过libiio使能AD9361的适当FIR滤波器

Ads.b.ftr文件包含FIR滤波器的系数，该FIR滤波器利用ADI公司AD9361滤波器向导MATLAB应用程序设计⁸。此工具不仅能完成通用低通滤波器设计，还能为信号路径中的其它级提供幅度和相位均衡。

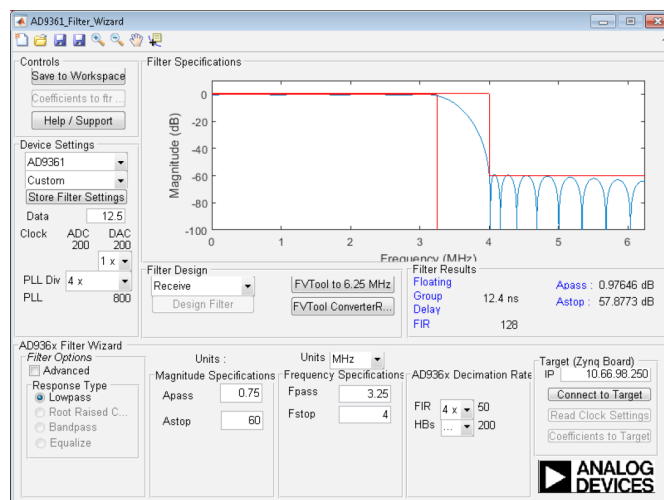


图6. 利用MATLAB AD9361滤波器向导设计的用于ADS-B信号的FIR滤波器

多功能且高度可配置的AD9361收发器具有多种增益控制模式，适合很多不同的应用。IIO系统对象的Gain Mode（增益模式）参数选择可用模式之一：manual、slow_attack、hybrid和fast_attack。最常用的模式是manual、slow_attack和fast_attack。Manual增益控制模式允许基带处理器（BBP）控制增益。Slow_attack模式主要用于慢速变化的信号，fast_attack模式主要用于“突发”开启和关闭的波形。增益模式在很大程度上取决于接收信号的强度。如果信号太强或太弱，建议使用manual或slow_attack模式。否则，fast_attack是不错的选择。ADS-B信号具有突发性，因此fast_attack增益模式可实现最佳效果。这种波形要求使用fast_attack模式，因为其存在前同步码，并且AGC需要以足够快的速度响应以便捕捉第一位。没有信号时，启动时间（增益斜坡下降所需的时间）与衰减时间（提高增益所需的时间）存在差异。目标是快速调低增益，以便能在第一位看到一个有效的1，但不提高位时间之间的增益。

最后，根据您的TX_LO_FREQ和RX_LO_FREQ的设置，该模型有两种使用方式：使用预先捕捉的数据（RF回送）和使用从空中获得的实时数据。

预先捕捉数据

这种情况下，我们利用AD-FMCOMMS3-EBZ发送和接收预先捕捉到的一些ADS-B信号。这些信号保存在一个名为“newModeS”的变量中。

```
input_content{1} = (2^13).*newModeS./sqrt(2);
input_content{2} = (2^13).*newModeS./sqrt(2);
input_content{3} = (2^13).*newModeS./sqrt(2);
input_content{4} = (2^13).*newModeS./sqrt(2);
```

图7. 利用预先捕捉的ADS-B信号定义输入

这种情况要求TX_LO_FREQ = RX_LO_FREQ，它可以是AD-FMCOMMS3-EBZ支持的任意LO频率值。预先捕捉的数据中有大量ADS-B有效数据，因此，这是验证硬件设置是否合适的好方法。

实时数据

这种情况下，我们接收空中的实时ADS-B信号，而不是AD-FMCOMMS3-EBZ发送的信号。根据ADS-B规范，它以1090 MHz的中心频率发送，因此，这种情况的要求是：

- RX_LO_FREQ=1090 MHz，TX_LO_FREQ 远离 1090 MHz，以免产生干扰。
- 在接收侧使用一根适当的天线，它能覆盖 1090 MHz 频段，例如ADS-B双半波移动天线⁹；使用调谐不佳或制作不良的天线会导致空中雷达探测距离不够。

一切设置妥当之后，使用如下命令便可运行MATLAB模型：

```
[rssi1,rssi2]=ad9361_ModeS('ip','data source',channel);
```

其中，ip为FPGA板的IP地址，data source指定接收信号的数据源。目前，该模型支持“预先捕捉”的数据源和“实时”数据源。

Channel指定信号是利用AD-FMCOMMS3-EBZ的通道1还是通道2进行接收。

例如，发出以下命令时，系统将通过通道2接收预先捕捉的数据：

```
[rssi1,rssi2]=ad9361_ModeS('192.168.10.2','pre-captured',2);
```

在仿真结束时，您会得到两个通道的RSSI值以及下表所示的结果：

AircraftID	Altitude	N/S vel	E/W vel	Lat	Long	U/D vel	FlightID	Time
1 A72C78	21300	-63	-381	42.10	-71.45 1856		AAL1899	13:18:40
2 A0433B								13:18:14
3 A24C99								13:18:07
4 A482CA	38975	-367	-131	42.12	-71.26 0		AAL235	13:18:36
5 A4E82C	25000	-202	-166	42.15	-71.08 0			13:18:41
6 AB324A								13:18:40
7 A29E86								13:18:12
8 4CAAFA	39000	-375	-133	42.45	-71.09 0			13:18:38
9 AB184D								13:18:34
10								

图8. 仿真结束时显示的结果表格

此结果表格显示了仿真期间出现的航空器信息。借助适当的天线，此模型利用AD-FMCOMMS3-EBZ能够捕捉并解码80英里范围内的航空器信号。S模式消息有两类（56 μs和112 μs），因此，某些消息包含的信息比其它消息要多。

利用实际ADS-B信号测试此模型时，解码能否成功，信号强度非常重要，务必把天线放在对准航空器的良好位置上。接收信号强度可通过查看两个通道的RSSI值来了解。例如，若通过通道2接收信号，通道2的RSSI应显著高于通道1的RSSI。通过查看频谱分析仪，可以判断是否存在有用数据。

RF信号质量

任何RF信号都需要一个质量指标。例如，对于QPSK等信号，我们有误差矢量幅度（EVM）。对于ADS-B信号，查看分离器输出还不足以获得正确消息，如图8所示。我们需要一个指标来定义ADS-B/脉冲位置调制的质量，以便判断哪种设置更好。

ModeS_BitDecode4.m函数中有一个变量diffVals，它就可以用作这样的指标。此变量是一个112 × 1矢量。对于一条S模式消息中的每个解码位，它都会显示该位距离阈值有多远。也就是说，每个解码位相对于正确判断有多少裕量。显而易见，一个位的裕量越大，解码结果的置信度就越高。另一方面，若裕量很小，则意味着判断处于边缘区，解码位很有可能是错误的。

下面两幅图比较了有和没有FIR滤波器两种情况下从ADS-B接收器获得的 $diffVals$ 值。注意y轴，我们发现，使用FIR滤波器时，无论处于最高点、最低点还是平均值， $diffVals$ 都较大。然而，当没有FIR滤波器时，几个位的 $diffVals$ 都非常接近0，意味着解码结果可能不正确。因此，我们可以得出结论，使用适当的FIR滤波器可改善解码的信号质量。

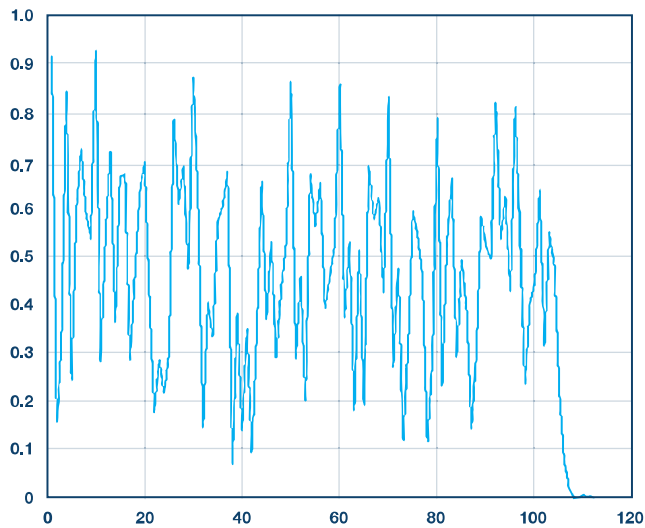


图9. 使用FIR滤波器时从ADS-B接收器获得的 $diffVals$ 值

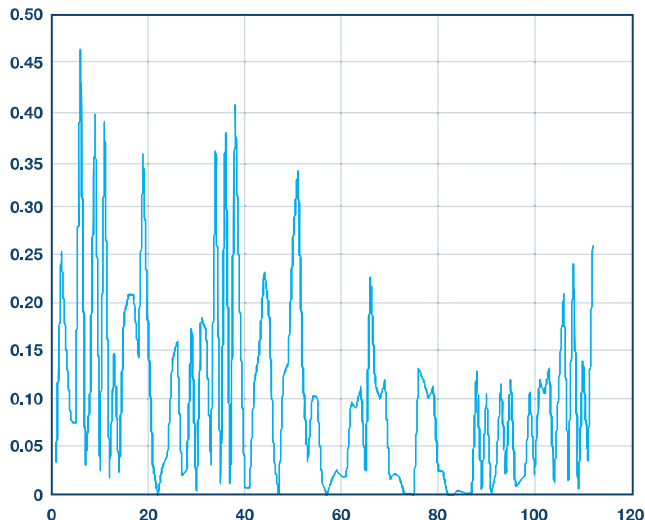


图10. 无FIR滤波器时从ADS-B接收器获得的 $diffVals$ 值

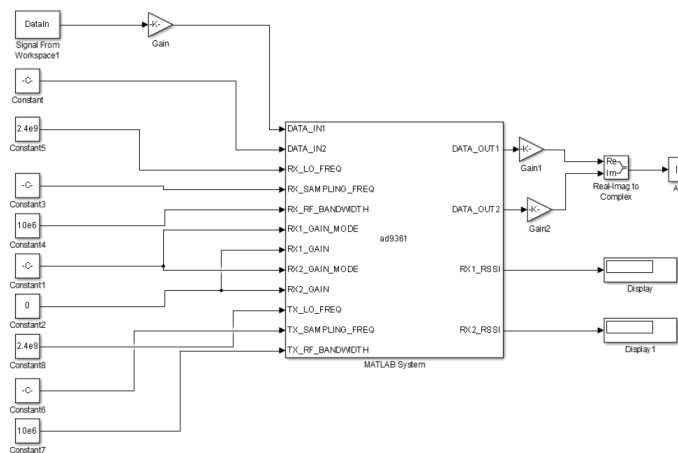


图11. Simulink模型捕捉和解码ADS-B信号

采用IIO系统对象的MATLAB ADS-B算法可从ADI GitHub库下载¹⁰。

利用IIO系统对象验证Simulink ADS-B算法

Simulink模型基于本系列文章第二部分介绍的模型²。解码器和解码模块直接来自该模型，我们增加了Simulink IIO系统对象以开展信号接收和硬件在环仿真。

原始模型以采样时间 = 1且帧大小 = 1的设置工作。然而，Simulink IIO系统对象以缓冲模式工作，它会积累若干样本，然后进行处理。为了让原始模型配合系统对象工作，我们在其间增加了两个模块：解除缓冲以使帧大小 = 1，转换速率以使采样时间 = 1。这样，原始模型便可保持不变。

Simulink IIO系统对象设置如下。与MATLAB实例相同，它创建一个系统对象，然后定义与此系统对象相关的IP地址、设备名称、输入/输出通道数目和大小。

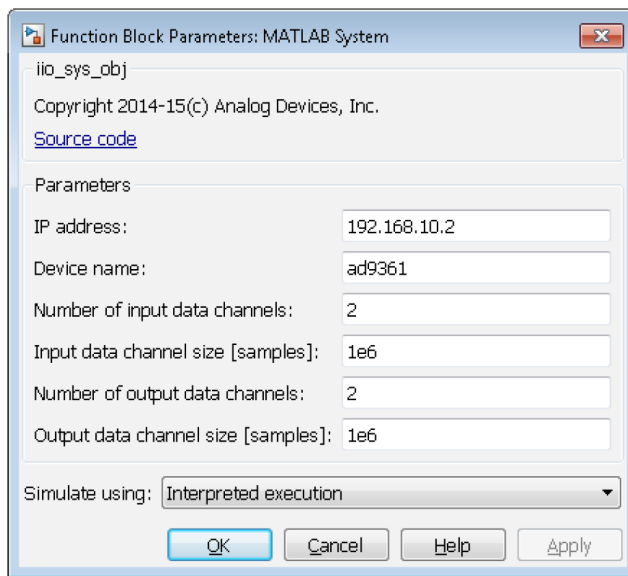
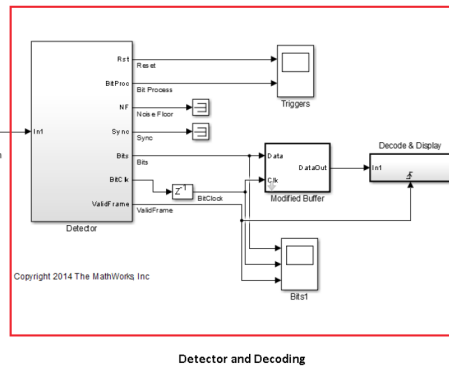


图12. Simulink IIO系统对象



与IIO系统对象相对应，此Simulink模块的输入输出端口通过对对象模块的属性对话框以及目标ADI SDR平台特定的配置文件来定义。输入和输出端口按数据和控制端口分类。数据端口以帧处理模式发送（接收）连续数据缓冲至（自）目标系统，而控制端口则用于配置和监控不同的目标系统参数。数据端口的数目和大小通过该模块的配置对话框进行配置，而控制端口则在配置文件中定义。AD9361属性设置所依据的因素与MATLAB模型所述相同。MATLAB模型运用的所有理论和方法在这里都适用。

根据您对TX_LO_FREQ和RX_LO_FREQ的设置，Simulink模型有两种运行模式：使用预先捕捉的数据“DataIn”和使用实时数据。以预先捕捉的数据为例，在仿真结束时，我们可以在命令窗口中看到如下结果：

```
Aircraft ID 400927      Long Message CRC: 8D40092760C38037389C0EF0029C
Aircraft ID 400927 is at altitude 39000
Aircraft ID 400927 is at latitude 42 19 24.8, longitude -71 8 33.3
Aircraft ID 400927      Long Message CRC: 8D4009279944E7B320048CDB40FA
Aircraft ID 400927 is traveling at 468.363107 knots
Direction West at 230.000000 knots, direction South at 408.000000 knots
Aircraft ID 400927 is going Up at 0.000000 feet/min
```

图13. 使用预先捕捉数据的仿真结束时在命令窗口中显示的结果
这里的结果以文本格式显示，而不像在MATLAB模型中以表格形式显示。

采用IIO系统对象的Simulink ADS-B模型可从ADI GitHub库下载¹¹。

结论

本文讨论了利用ADI公司提供的libiio基础设施进行的硬件在环仿真。采用这种基础设施，便可利用实际信号和硬件验证MATLAB和Simulink ADS-B信号检测与解码算法。属性设置高度依赖于应用和波形，适合一个波形的设置并不一定适合另一个波形。这是关键的一步，可确保SDR系统的模拟前端和数字模块针对目标算法和波形调谐妥当，并且算法足够鲁

棒，对于不同环境条件下获得的实际数据，它都能像预期的那样处理。有了经过验证的算法之后，便可开始下一步，即利用MathWorks代码自动生成工具将算法转换为HDL和C代码，并将此代码集成到实际SDR系统的可编程逻辑和软件当中。本系列文章的下一部分将说明如何生成代码并将其部署到生产硬件中，还会谈谈该平台在机场利用实际ADS-B信号运行所获得的结果。这样便介绍完了SDR系统从原型开发到生产的所有步骤。

参考文献

- ¹ Andrei Cozma、Di Pu和Tom Hill。“快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电—第一部分”。*模拟对话*，第49卷第3期，2015年。
- ² Mike Donovan、Andrei Cozma和Di Pu。“快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电—第二部分”。*模拟对话*，第49卷第4期，2015年。
- ³ ADI公司。“IIO系统对象”。
- ⁴ MathWorks。“什么是系统对象？”
- ⁵ ADI公司，“[Mathworks_tools](#)”。GitHub库。
- ⁶ ADI公司。[AD-FMCOMMS3-EBZ用户指南](#)。
- ⁷ [ZedBoard](#)。
- ⁸ ADI公司。[MATLAB AD9361滤波器设计向导](#)。
- ⁹ [ADS-B双半波移动天线](#)。
- ¹⁰ [采用IIO系统对象源代码的MATLAB ADS-B算法](#)。
- ¹¹ [采用IIO系统对象源代码的Simulink ADS-B模型](#)。

致谢

感谢MathWorks公司的Mike Donovan，他帮助开发了本文所用的MATLAB和Simulink ADS-B信号检测与解码算法。

Di Pu [di.pu@analog.com]是 ADI 公司系统建模应用工程师，负责支持软件定义无线电平台和系统的设计与开发。她与 MathWorks 密切合作解决双方共同客户的难题。加入 ADI 公司之前，她于 2007 年获得南京理工大学 (NJUST) 电气工程学士学位，于 2009 年和 2013 年分别获得伍斯特理工学院 (WPI) 电气工程硕士学位和博士学位。她是 WPI 2013 年博士论文 Sigma Xi 研究奖获得者。



Di Pu

Andrei Cozma [andrei.cozma@analog.com]是 ADI 公司工程设计经理，负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与过电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

该作者的其它文章：

[基于FPGA的系统提高电机控制性能](#)
第 49 卷第 1 期

带可调输出共模的多功能、精密单端转差分电路提升系统动态范围

作者：Darwin Tolentino和Sandro Herrera

共享    

差分信号适合于需要大信噪比、高抗扰度和较低二次谐波失真的电路，例如高性能ADC驱动和高保真度音频信号处理等应用。《模拟对话》曾刊载过一篇相关文章——“多功能、低功耗、精密单端差分转换器”¹，其中介绍了一种有很大改进的单端转差分电路，它具有很高输入阻抗，最大输入偏置电流为2 nA，最大失调 (RTI) 为60 μV，最大失调漂移为0.7 μV/°C。性能改进是通过在反馈环路中将OP1177与差分增益为1的AD8476级联而实现的。

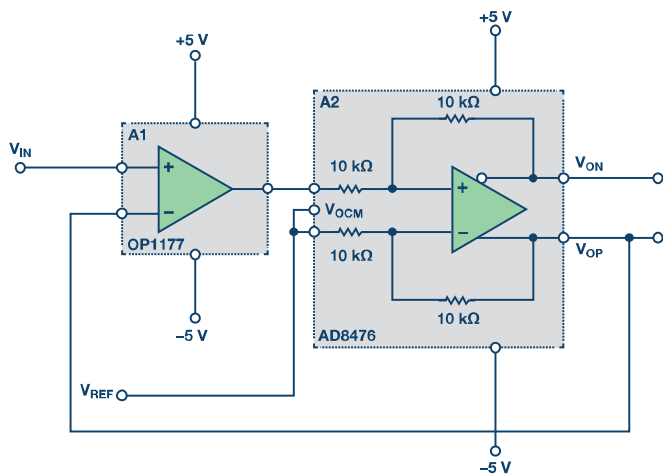


图1. 改进的单端转差分电路

然而，许多应用需要更大的输出动态范围，例如温度和压力传感器输出的信号调理等。如果还能调节共模，那么该电路将能非常方便地与许多ADC接口，其基准电压决定满量程范围。

将环路内部差分放大器的增益配置为大于1的值，可提高电路的输出动态范围 (图2)。输出通过下式计算：

$$V_{OUT, DIFF} = V_{OP} - V_{ON} = 2 \left(V_{IN} \left(1 + \frac{R_F}{R_G} \right) - V_{REF} \right)$$

其中R_G保持开路，电路的总增益为2。A1 (OP1177) 的输出通过下式计算：

$$V_{OUT, OP1177} = \frac{V_{OUT, DIFF}}{G_{DIFF, A2}} + V_{REF}$$

注意：V_{REF}始终增加到OP1177的输出上，从而会限制其输出裕量。多数应用中，V_{REF} (输出共模) 设置在电源的中点，以提供最大输出动态范围。环路内部增益大于1的差分放大器，例如图2中的ADA4940 (增益为2)，可降低A1输出电压，降低倍数为A2的差分增益，这样便有助于避免A1输出饱和。采用±5 V电源时，OP1177的典型输出摆幅为4.1 V，因此，当V_{REF}设置为0时，图2所示电路的差分输出电压摆幅约为±8 V。将A2增益配置为3可进一步改善输出动态范围，实现电路的最大输出摆幅。另一个可用增益为1、2和3的放大器ADA4950，也适合用作A2。

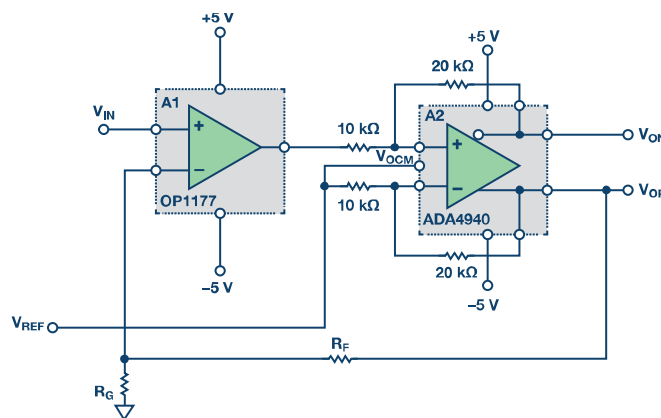
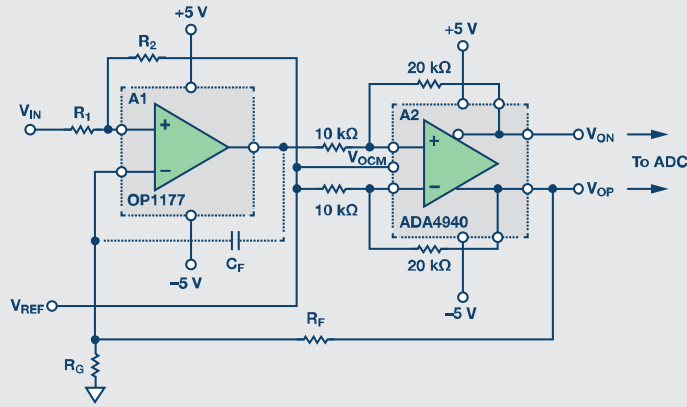
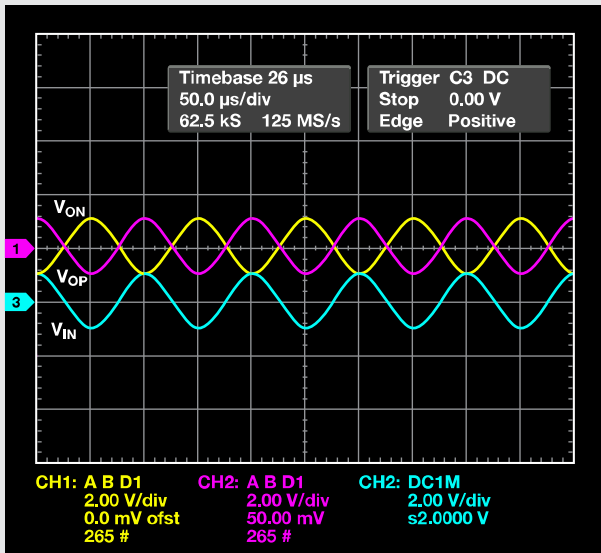


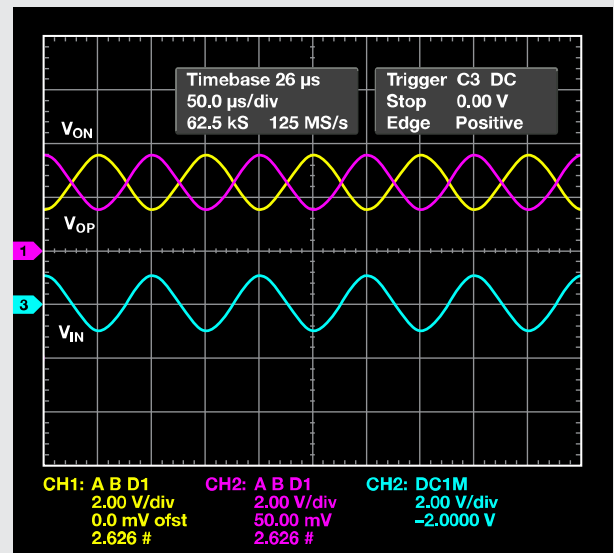
图2. 具有改进动态范围的单端转差分电路



(a) 改进的单端差分转换器，具有可调共模。



(b) 输入和输出图，红线为 V_{OP} ，黄线为 V_{ON} ，蓝线为输入。共模为0V。



(c) 输入和输出图，红线为 V_{OP} ，黄线为 V_{ON} ，蓝线为输入。共模为2.5V。

图3.

可调输出共模

可以修改电路，使输出共模可调且独立于输入信号的共模。对于输入以地为基准且需要转换为具有高共模的差分信号以与ADC接口的单电源应用，这样做可带来极大的灵活性和便利。

实现方法是在输入端增加两个电阻 R_1 和 R_2 ， R_2 连接到 V_{OCM} 。若需要，可以使用输入放大器A1的双通道版本OP2177，对于非常低的输入偏置电流，可将第二放大器用作输入缓冲器。

在图1所示电路中，输入以 V_{REF} 为基准。参见图3所示电路，输入以地为基准，直接获取后转换为差分输出。现在可以调节 V_{OCM} 以使共模输出偏移，而输入仍然以地为基准。 V_{OCM} 可以设为基准电压源的一半或转换器的中间电平。

V_{OCM} 基本上像 V_{IN} 一样，用作另一个输入。所选电阻值应满足下式： $\frac{R_1}{R_G} = \frac{R_2}{R_F}$ 。

通过叠加，当 V_{IN} 为0时，输出值与 V_{OCM} 相同。由于 V_{OCM} 是设置输出共模的值，因此差分输出为0。若 $R_1 = R_G$ 且 $R_2 = R_F$ ，则输出电压由下式给出：

$$V_{OP} = \left(\frac{R_F}{R_G}\right) V_{IN} + V_{OCM}$$

$$V_{ON} = -\left(\frac{R_F}{R_G}\right) V_{IN} + V_{OCM}$$

$$V_{OUT, DIFF} = 2\left(\frac{R_F}{R_G}\right) V_{IN}$$

带宽和稳定性

两个放大器构成一个伺服环路配置的复合差分输出运算放大器。OP1177/OP2177的开环增益和ADA4940的差分增益合并，得到电路的总开环增益，其定义电路的总带宽。其极点的合并则使环路的相移增加。A2使用较高增益时，会降低其带宽，并可能影响电路整体的稳定性。电路设计人员须检查电路整体的频率响应，评估是否需要补偿。为了确保反馈系统的稳定性，经验法则是随频率而变化的合并开环增益必须以-20 dB/十倍频程的滚降速率跨过单位增益。这在最小增益（2倍增益）的应用中更为重要，因为环路增益处于最大值，相位裕量最差。提高总增益，从而减小带宽并增加反馈环路的相位裕量，也能改善稳定性。因为环路增益减小，它会在较低的频率跨过单位增益。环路增益由下式计算：

$$\text{环路增益} = (A_{OL, 1st Amp})(A_{Diff, 2nd Amp})\beta$$

$$\beta = \frac{1}{2} \left(\frac{R_G}{R_G + R_F} \right)$$

反馈系数 β 中有一个 $\frac{1}{2}$ ，这是因为输出为差分，而反馈仅从差分输出之一中获得。ADA4940在2倍增益时的带宽为50 MHz，而OP1177的单位增益带宽约为4 MHz。受限于OP1177和闭环增益，图3所示电路在带宽约为1 MHz时可稳定工作。如之前文章中所指出的，当使用差分放大器无法满足稳定性条件时，可以使用一个限带电容，如图3(a)所示。该电容与反馈环路内部的 R_F 形成一个积分器，将电路整体的带宽限制为：

$$\frac{1}{2} \times \frac{1}{2\pi R_F C_F}$$

可以适当选择电容和反馈电阻，使总带宽受上式限制。

参考资料：

- ¹ Sandro Herrera和Moshe Gerstenhaber。“多功能、低功耗、精密单端差分转换器”模拟对话，第46卷，第4期。

Darwin Tolentino [darwin.tolentino@analog.com] 是菲律宾 ADI 公司线性精密技术部门的高级测试开发工程师。他曾在产品与测试工程部门工作，为放大器和线性产品（包括转换器）开发了测试解决方案。他于2000年加入 ADI 公司，在半导体行业已有 17 年的经验。他的兴趣包括历史和模拟电路设计。



Darwin Tolentino

该作者的其它文章：

[简单电路提供可调CAN级差分输出信号](#)

第46卷第2期

Sandro Herrera [sandro.herrera@analog.com] 是美国马萨诸塞州威明顿市集成放大器产品 (IAP) 部门的一名电路设计工程师。他目前主要从事固定、可变或可编程增益的全差分放大器设计工作。Sandro 拥有麻省理工学院电气工程学士学位 (BSEE) 和电气工程硕士学位 (MSEE)。他于2005年8月加入 ADI 公司。



Sandro Herrera

该作者的其它文章：

[多功能、低功耗、精密单端差分转换器](#)

第46卷第4期

新型、完整、高分辨率、多功能、双极性 DAC： 易于使用的通用解决方案

作者：Estibaliz Sanz Obaldia 和 Junifer Frenila

共享    

当前市场在不断动态变化，促使设计周期越来越短，系统功能越来越强，而且终端系统更具便携性。这就要求必须采用新方法简化这些挑战，同时又不增加设计复杂度。本文将讨论控制和测量方面的一些关键系统挑战；许多不同应用都涉及到控制和测量，包括数据采集系统、工业自动化、可编程逻辑控制器和电机控制。本文将探讨双极性数模转换器 (DAC) 架构的最新进展，以及这些拓扑结构如何应对终端系统挑战，比如在相同或更少的空间中提供更多功能和智能。本文还会探讨分立式和功能更完整的解决方案。最后，本文说明多种替代传统设计拓扑的方案，这些方案在设计重用和系统模块化方面具有更高的灵活性。

应当注意的是，下面的图形并非实际原理图，而是关于如何利用多功能DAC和其他器件来实现应用的示意图。虽然并未包括

电源电路、旁路和其他无源元件等方面，但这些图形显示了此类应用的一般实现方法。

数据采集系统

数据采集系统 (DAQ) 用于测量电压、电流或压力等电气或物理特性，并利用微控制器或微处理器 (MPU) 来处理数据。DAQ由传感器、放大器、数据转换器和控制器组成，其中控制器利用嵌入式软件控制采集过程。

在过程控制应用中，传感器必须足够敏感以便保障待测信号的质量，这点非常重要。但是，即便传感器足够敏感，增益和失调等信号链误差也可能会干扰信号质量。在高性能应用中，数据采集系统利用DAC自动校准调理电路。图1是一个压力检测系统的框图。它显示了AD5761R等双极性DAC及该系列产品如何用于自动增益和失调校准方案。

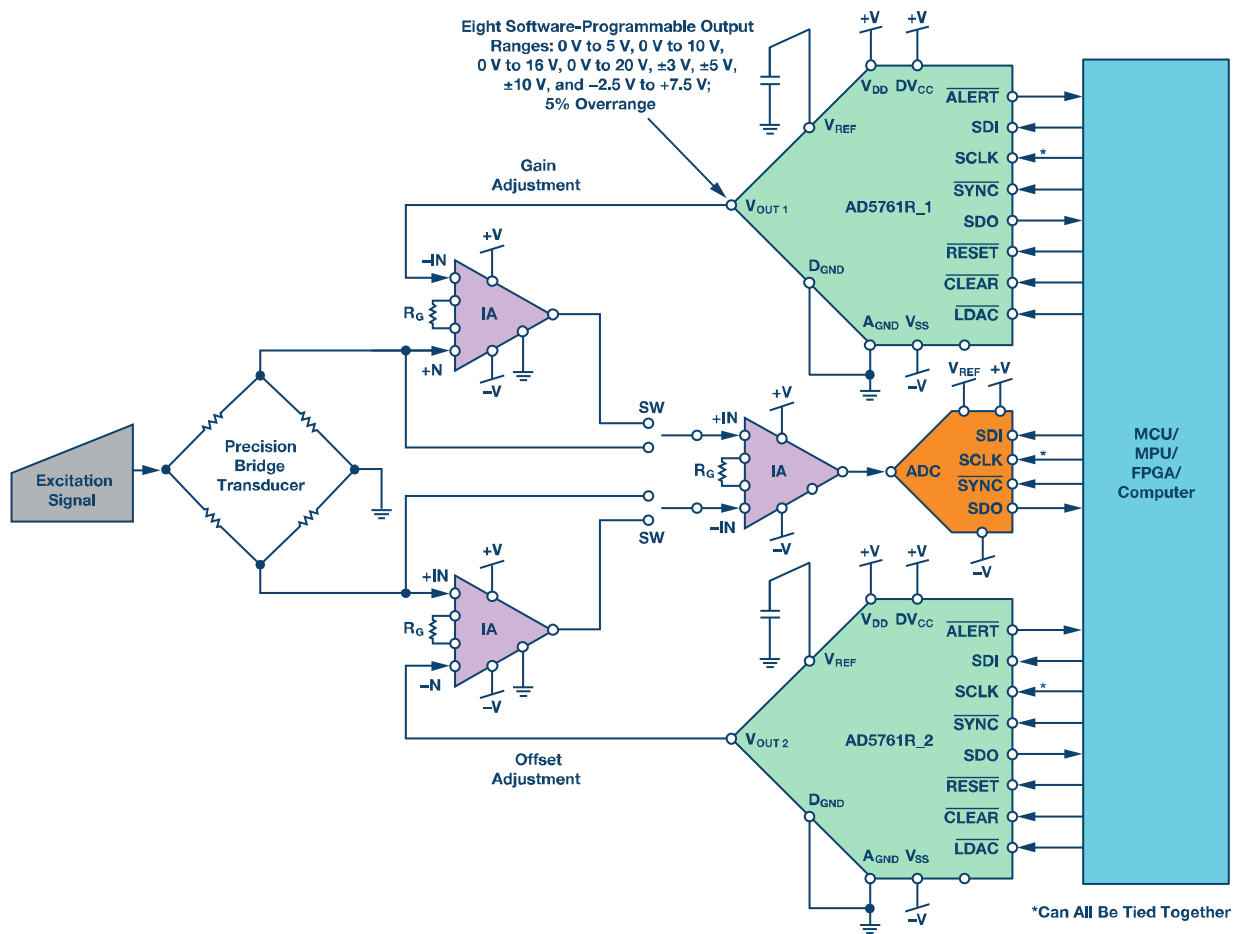


图1. 压力检测系统的自动校准

精密电桥传感器收到来自压力传感器的激励信号，产生输出电压。由于电桥传感器的信号幅度较低，通常会使用仪表放大器来放大信号。这种低幅度信号容易受误差影响。此类误差通常包括温度变化引起的漂移误差、电路板上的寄生误差以及无源器件的容差。

利用AD5761R，系统可实现增益和失调校准，从而在系统工作期间动态校正误差。根据调整水平和所需的极性，完整、高分辨率、多功能、双极性DAC可大大简化校准过程。AD5761R可通过高速4线SPI接口进行编程，该接口的串行数据输出(SDO)线可为菊花链和回读操作提供便利。

工业自动化

工业自动化应用多种多样。但无论什么应用，此类自动化系统的功能和性能都取决于其信号采集和控制单元。在采集方面，传感器的灵敏度、调理电路的适应性以及从低电平信号采集正确信息的速度是非常重要的。在控制方面，能够灵活适应不同执行器和驱动器的要求至关重要。

图2是一个工业自动化系统的示例。一个带冷结补偿的热电偶用来测量激光加工机床或重型电机等工业设备的温度。电压经

过放大和滤波后送至集成模拟前端(AFE) IC进行转换，数字数据送入处理器进行分析。基于处理过的数据，处理器将信号送至一个同样完全隔离的控制DAC，以驱动工业风机、激活Peltier之类的冷却装置或开启水冷系统的阀门。此外，用户可以通过控制接口设备输入超控命令。

经过改造后，该系统也可用于压力和振动的测量与控制。油品和化学品储罐监控通常使用压力传感器系统，快速运动机器头部的振动监控通常使用陀螺仪系统。这些应用可采用相同的AFE，它与外部环境完全隔离。

AD5761R是一款高电压、高分辨率、双极性DAC，内置低漂移基准电压源并提供软件可选的输出范围，可以很好地取代多个DAC或单个复用DAC。它提供单极性和双极性电压并保持相同的精度，还有超范围输出选项。该双极性DAC支持执行器的不同需求，包括通过软件调整控制单元，以免修改硬件。

AD5761R及该系列产品提供两种小型封装—3 mm × 3 mm引脚框架芯片级封装(LFCSP)和16引脚超薄紧缩封装(TSSOP)，并且支持-55°C至+125°C的宽工作温度范围。这种新型工业控制方法对缩小电路板空间和降低成本非常有帮助。

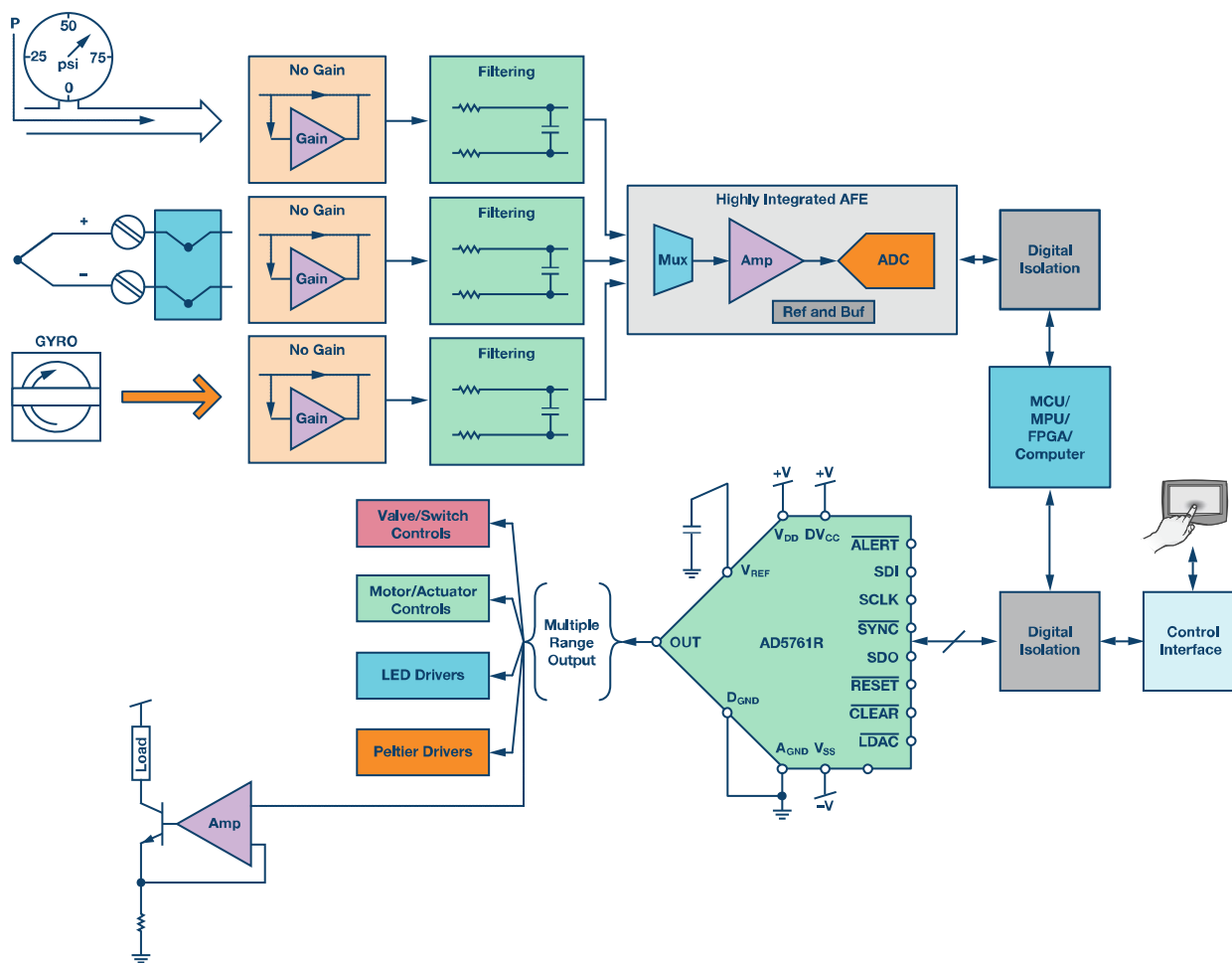


图2. 工业自动化系统简图

可编程逻辑控制器

可编程逻辑控制器 (PLC) 集成电源、中央处理单元和多个模拟/数字I/O模块, 以便控制、激活、监测复杂的机器变量。PLC 广泛用于各行各业, 它们提供扩展的温度范围, 不受电气噪声影响, 并且能够耐受振动和冲击。图3显示了一个过程控制系统的基本构建模块。报告过程变量状态的输入信号通过输入模块来监控, 并传输到MCU进行分析。基于分析结果, 输出模块作出必要的响应来控制系统中的设备。

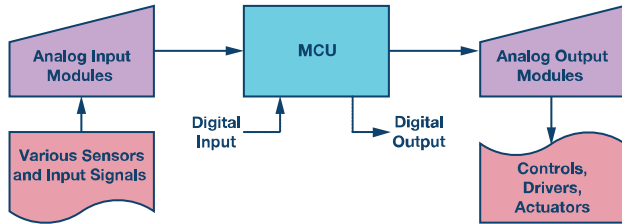


图3. 过程控制系统构建模块

图4显示了一个更完整的工业PLC系统, 其中, 一个嵌入式控制器/处理器用作主系统控制器, 并与完全隔离的输入和输出模块接口。不算电源模块, 该系统分为四个子系统, 用来区分

模拟输入、模拟输出、数字输入和数字输出模块。该系统采用了多种类型的传感器来获取不同幅度和频率的模拟信号。这些信号需要进行预处理, 并转换为数字形式以供进一步分析。可编程增益放大器调理小输入信号以便能进行精确测量, 并通过模数转换器 (ADC) 转换为数字形式。为了保护控制器或处理器不受现场可能发生的意外过压事件影响, 必须在处理器和输入输出模块之间放置光学或集成隔离器等进行隔离。

输入和输出模块的精度和分辨率要求大不相同。在高端应用中, 输入模块需要监控高度精确的过程数据采集, 而输出模块本质上是以16位分辨率和精度调整输出。因此, PLC系统的输入模块常常使用 Σ - Δ 型ADC, 市场上有各种各样的隔离式、单通道/多通道、同步采样ADC可供使用。

输出模块可提供精密电压DAC、精密电流DAC或二者的结合。针对PLC模拟输出, 可利用多种方法来产生电流和电压电平。AD5761R等精密双极性DAC的发展, 提供了额外的功能和高集成度, 对PLC系统相当有利, 可降低系统复杂度、缩小电路板尺寸并减少成本。

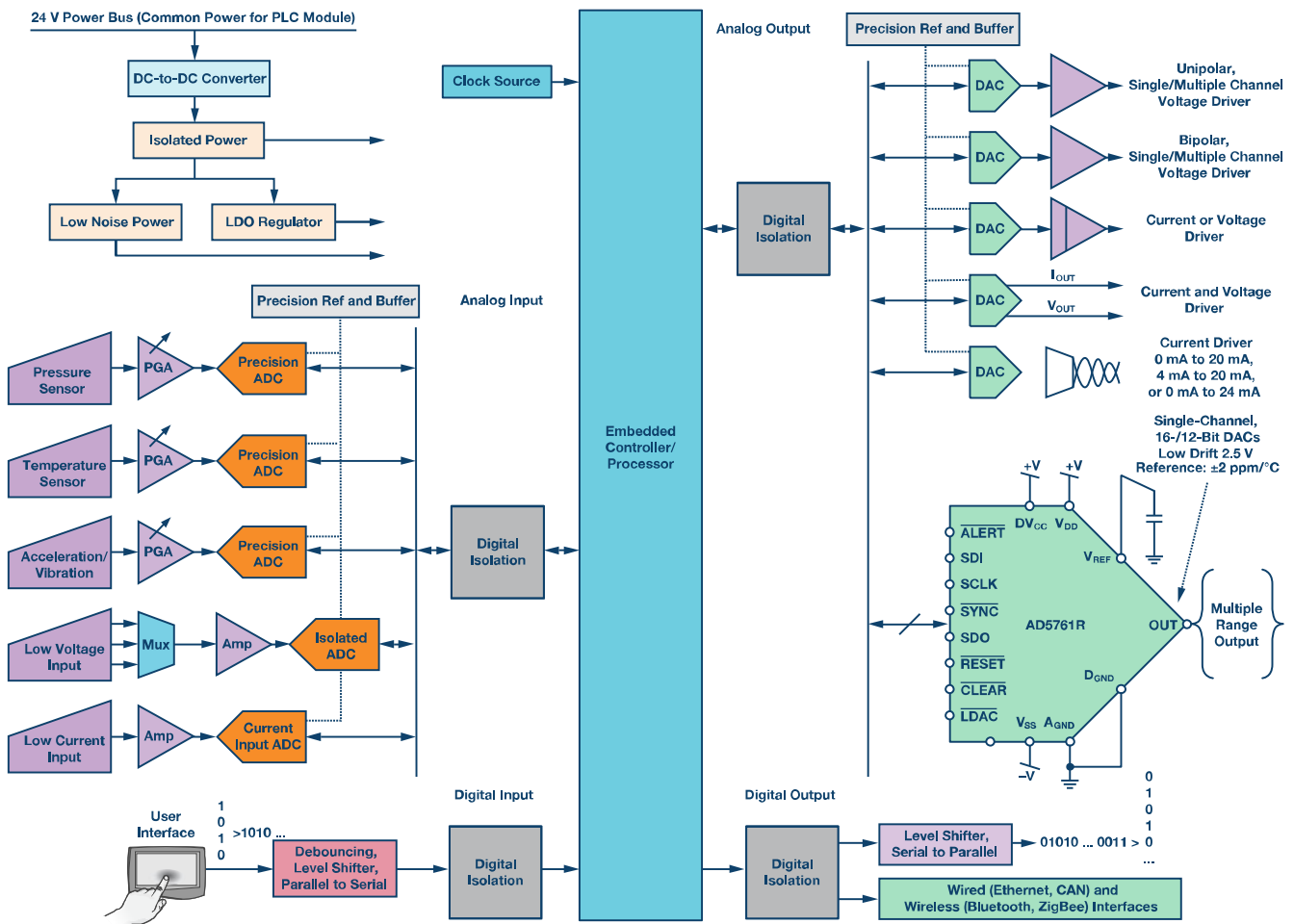


图4. 完整PLC系统框图

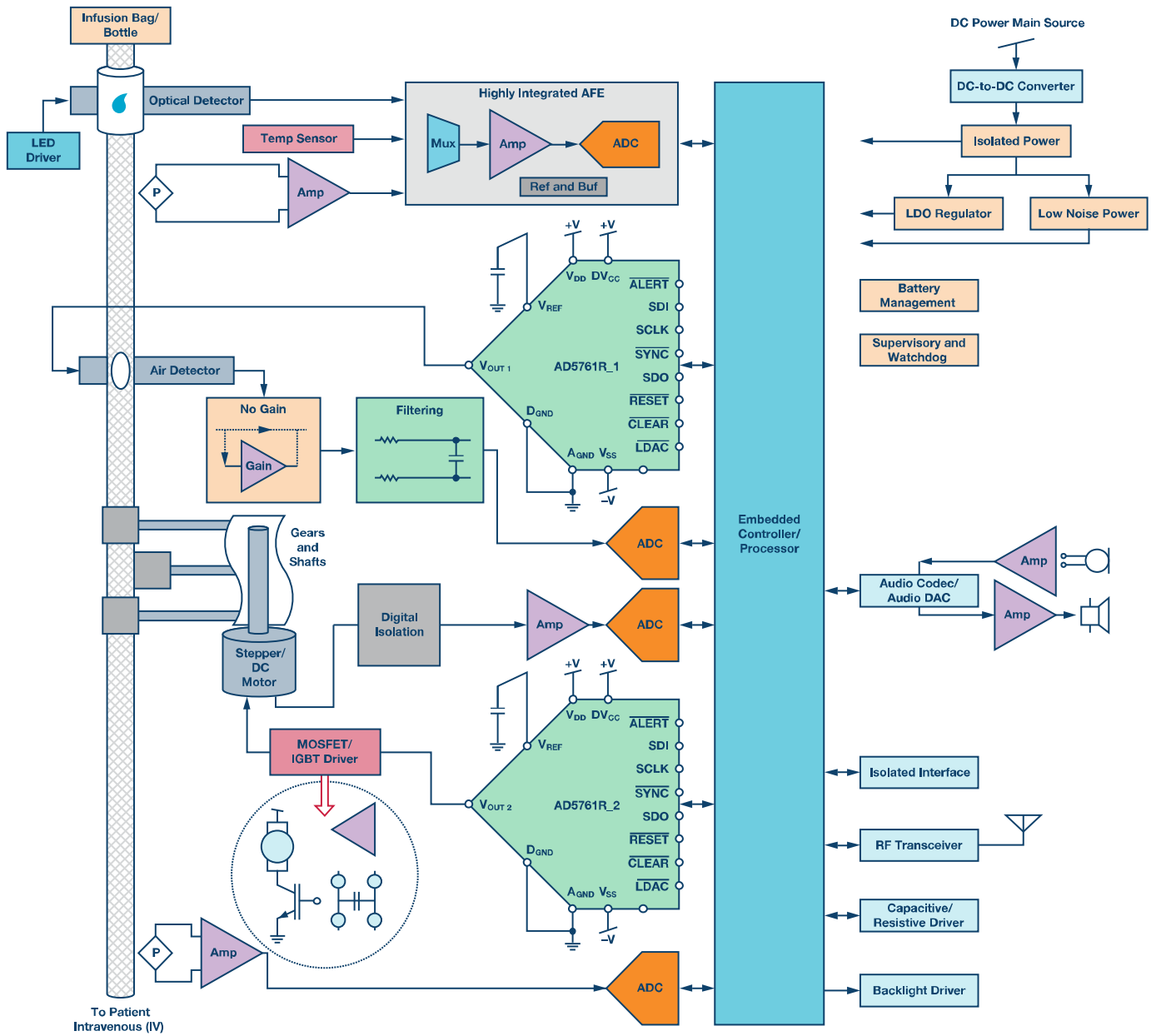


图5. 大容量输液泵系统

电机控制

在电机控制环路中，例如在输液泵系统中，DAC是必不可少的。输液泵广泛用于医疗服务中，可为所有年龄层次的病人提供治疗。输液泵的作用是断续或连续地向病人的心血管系统输送液体、药物或补充剂。

虽然输液泵要求具备资格的用户来设置治疗的特定参数，但相比于手动管理，其隐含的优势无疑会提高用户的信心。在自行操作模式下，此类仪器能够以设定的间隔精确输送小剂量液体，无需护士或医生手动控制液流以输送给病人。输液泵系统能够实时显示关于剂量限制的系统信息，医生和医疗管理员可以借助输液泵系统的安全性实现滴定安全性，防止输液过量，并确保物理输送机制本身的可靠性和准确性。

工作过程中，微控制器接收来自直流电机的速度和方向信号，并进行分析和调整（如需要）以达到设定值。正反馈路径中的DAC提供对系统的调整，反馈路径中的ADC监控每次调整的效果。DAC设定的电压通过驱动器网络放大，以向直流电机提供所需的驱动电流。

ADI公司提供高性能模拟和混合信号处理解决方案，用于检测、测量、控制化学分析仪、流式细胞分析仪、输液泵、透析设备、呼吸器、导管及其他医疗仪器中的传感器和执行器。具体而言，AD5761R这款提供8个软件可选输出范围且保持同一精度的高分辨率、双极性DAC，便非常适合电机控制应用，其支持电机所需的不同电压摆幅。

结论

对于许多控制系统和简单的转换电路，以及其他复杂应用，DAC在决定其性能和精度方面起着重要作用。AD5761R及该产品系列是完整的16位分辨率、精密双极性DAC，提供多种可编程输出范围，适合上述应用。AD5761R系列DAC高度可配置的范围（0 V至5 V、0 V至10 V、0 V至16 V、0 V至20 V、 ± 3 V、 ± 5 V、 ± 10 V和 -2.5 V至 $+7.5$ V；5%超范围），使得该系列DAC

具有普遍适用性，支持数据采集系统、工业自动化、可编程逻辑控制器和电机控制器等所有解决方案。AD5761R产品系列的高集成度，包括输出缓冲器和2 ppm/ $^{\circ}$ C内部缓冲基准电压源，可大大简化电路板设计，缩小电路板尺寸，并使功耗和成本最低。

Estibaliz Sanz Obaldia [Estibaliz.Sanz@analog.com]毕业于西班牙德乌斯托大学，获电子工程与自动化学士学位。2010年加入ADI公司，任爱尔兰利默里克精密转换器部门的应用工程师。



Estibaliz Sanz Obaldia

Junifer Frenila [Junifer.Frenila@analog.com]于2005年毕业于菲律宾西部维萨亚科学技术学院 (WVCST)，获电子与通信工程学士学位。2006年加入ADI公司，任ADI菲律宾公司精密转换器部的设计评估工程师。他目前正在攻读玛布亚科技学院电子工程博士学位。



Junifer Frenila

快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电

第四部分—利用 Zynq SDR 套件和 Simulink 代码生成工作流程快速完成原型开发

作者：Mike Donovan、Andrei Cozma 和 Di Pu

共享    

简介

本系列文章的前几部分介绍了 Zynq SDR 快速原型开发平台¹，说明了利用 MATLAB 和 Simulink 开发算法以成功处理和解码 ADS-B 传输的步骤²，并展示了如何在仿真中和利用 SDR 平台获得的实时数据验证该算法³。所有阶段的最终目标是创建一个经验证的模型，其可以转换为 C 和 HDL 代码，并且能够方便地集成到 SDR 平台的软件和硬件基础设施中。

本系列第二部分（“利用 MATLAB 和 Simulink 进行 S 模式检测和解码”）² 讨论的 Simulink 模型是一个具有足够高精度硬件细节的仿真模型，可验证该设计将能成功解码 ADS-B 消息。以该模型为出发点，本部分将讨论为了产生一个能够在 Zynq SDR 快速原型开发平台上运行的有效接收机设计所需的最后步骤。像前面几篇文章一样，开发该有效设计所需的技能包括：熟练使用 MATLAB 和 Simulink，了解 Zynq 无线电硬件，以及软硬件集成技能。

本文提出的步骤包括：

- 以 Zynq SoC 上的 FPGA 结构和 ARM[®] 处理系统为目标，将 Simulink 模型划分为多个功能。
- 引入对 Simulink 模型的设计变更，以改善所生成的 HDL 代码的性能。
- 生成 ADS-B 接收机算法的 HDL 和 C 语言源代码。
- 将生成的源代码集成到 Zynq 无线电平台设计中。
- 在目标硬件上利用实时航空器信号测试该嵌入式设计。

此过程结束时，就会产生一个经全面验证的 SDR 系统，其运行从 Simulink ADS-B 模型自动生成的 C 和 HDL 代码，可实时接收和解码商用航空器信号。

将模型划分为硬件和软件组件

生成实现代码过程的第一步是划分设计功能，以便在 Zynq SoC 的可编程逻辑和 ARM 处理系统上运行。

功能划分通常是从明确设计的不同组件的处理要求和所需的执行速率与时间开始。需要以采样速率实时运行的计算密集型组件（如数据调制/解调算法），最适合在可编程逻辑中实现。计算量相对较少的处理任务（如数据解码和渲染，以及系统监视和诊断），更适合通过软件实现。其它需要考虑的方面有：运算的数据类型和复杂度，以及输入和输出数据的精度。所有以可编程逻辑为目标的运算都采用定点、整数或布尔数据类型。对于更复杂的运算，如三角函数和平方根，须在可用硬件资源的约束下，利用近似来高效实现。所有这些约束都会导致精度损失，若不加以适当评估和处理，可能会对系统功能带来不利影响。但是，以处理系统为目标的组件可以采用浮点数，并以最高保真度实现任何复杂度的运算，不过通常要以降低执行速度为代价。

以上述约束作为指导原则，ADS-B 解码算法的划分是相当明显的。ModeS_Simulink_Decode.slx 模型中的检波器模块的功能，包括 I/Q 样本的前端处理一直到校验和计算，非常适合在 Zynq SoC 的可编程逻辑上实现（图1）。改良缓冲器和解码与显示模块中的消息位解码功能，很容易在处理系统中实现。

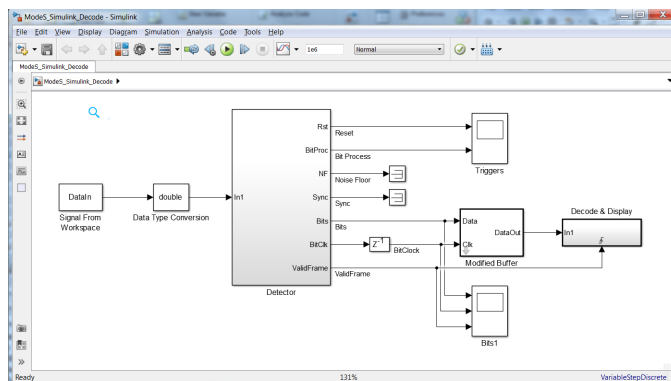


图1. ModeS_Simulink_Decode.slx：FPGA 和 ARM 处理器划分

对下述内容和Simulink模型感兴趣的读者,可在Analog Devices GitHub库⁴中找到相关文件。

从Simulink模型生成HDL代码

S模式解码器模型中的检波器模块(图2)包括多个子系统: CalcSyncCorr、CalcNF、SyncAndControl、BitProcess、CalcCRC和FameDetect。MathWorks的HDL编码器⁵用于产生此设计的HDL源代码。

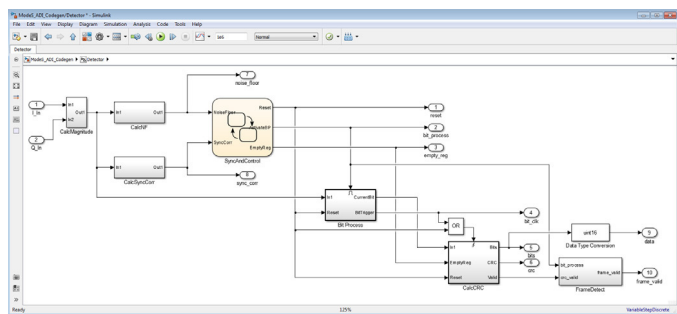


图2. 用于HDL代码生成的检波器模块

为了利用HDL编码器成功生成HDL代码, Simulink模型必须满足一些条件。下面是其中几个最重要的要求:

- 使用支持HDL代码生成的模块。HDL编码器支持大约200个Simulink模块的代码生成⁶。在检波器设计中,所有模块都支持HDL代码生成,包括状态流程图和数字滤波器模块。
- 使用定点数据类型。在检波器设计中,信号使用12位、24位和布尔数据类型。12位数据类型与ADI公司AD9361收发器上的模数转换器的位宽一致。
- 使用标量或矢量信号。矢量信号可用于多通道信号或资源共享。
- 避免模型中出现代数环。HDL编码器软件不支持存在代数环条件的模型的HDL代码生成。

ModeS_Simulink_Decompile.slx模型并不满足所有这些条件,因此将比较接收位与计算校验和的CalcCRC模块部分移出检波器模块,最终用C语言实现。由此得到的模型ModeS_ADI_CodeGen.slx用于生成HDL代码。与手动编码过程相比,它只需几分钟便能生成数千行HDL代码。HDL编码器产生的源代码是Simulink模型的位真、周期精确版本。这是使用模型进行设计在生产力提升方面带来的重大好处之一,所生成的代码是Simulink模型的精确转译。

此外,这些代码易读且可追溯,工程师可以轻松地将生成的代码映射到设计模型。这是通过多种方法来实现的(图3):

- 生成的HDL代码文件中保留了该模型的层次。本例中,顶层模块被命名为Detector.vhd,处在下一级的子系统被命名为CalcNF.vhd、Bit_Process.vhd等。

- 生成的代码中保留了该模型所用的模块名称、端口名称、信号名称、数据类型和复杂度。

模型与源代码之间存在关联,设计人员点击Simulink模型中的某个模块,便可自动导航到相应的HDL代码。同样,生成的代码中也有超级链接,点击它便会打开Simulink模型,并高亮显示与该代码段相关的模块。

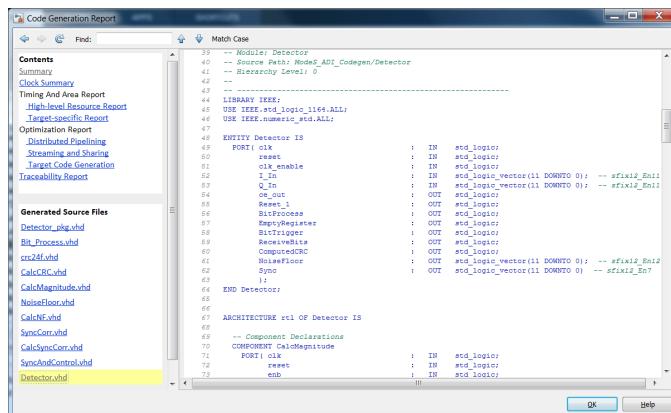


图3. ModeS_ADI_CodeGen.slx的HDL源代码

优化ADS-B模型以产生具有更高时钟速度的HDL代码

虽然ModeS_ADI_CodeGen.slx模型成功生成了HDL代码,但在绝大多数情况下,设计人员会希望改善初始结果。设计人员通常要满足速度和面积约束条件,这就需要优化初始Simulink模型以实现所需的效果。Simulink和代码生成的一个重要优势是,设计人员可以在模型中进行优化,并运行仿真以确保没有破坏算法,然后重新生成HDL代码。这种方法比修改HDL源代码(可能会破坏算法)更为简单,而且不易出错。

对于本设计,模型生成的HDL代码很容易适应可用的FPGA结构,但运行的时钟速率相对较低。这在许多初步设计中是常见现象。HDL编码器内置的分析工具表明,模型中的关键路径从I/Q样本输入延伸到CalcCRC子系统中的一个寄存器。在设计中插入流水线寄存器是提高时钟速度的一种常见方法(图4)。流水线缩短了信号操作之间的路径,代价是增加了整体处理的延迟。这种折中通常是可以接受的,因为相对于更高的时钟速度,延迟略微增加是很小的代价。

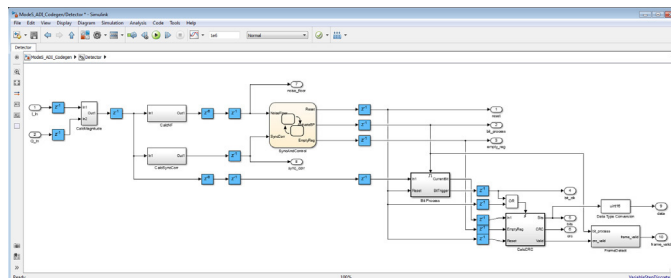


图4. 检波器设计中插入流水线寄存器

位于子系统之间的流水线寄存器有助于改善设计的时钟速率，但如果数字滤波器模块选择优越的架构，则可以实现更好的时钟速率。许多Simulink模块都有架构选择，设计人员可以藉此优化设计的速度或面积。对于计算噪底和前同步码相关性所用的数字滤波器（图5），输出乘法器的流水线化可以缩短数字滤波器内的关键路径，提高设计时钟速率。

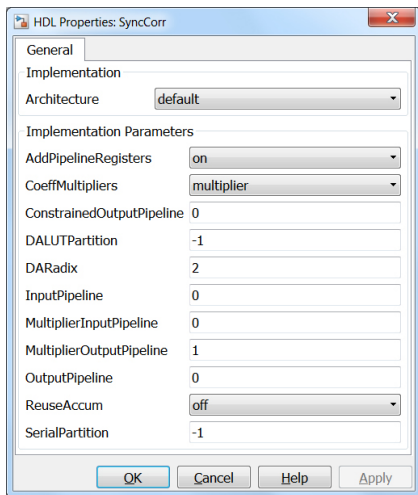


图5. 数字滤波器模块的HDL模块选择

采取这两个简单的流水线变更之后，生成的HDL代码的时钟速率便超过140 MHz。这对于使用代码生成工具的工程设计是一个有用的启示：在代码生成模型上应用一点硬件设计原理知识，便可对生成的代码结果产生相当大的影响。对该设计还可以做进一步的优化，但并无必要，因为HDL代码很容易满足该设计相对简单的时序和资源目标。

在传统无线电设计过程中，大量开发时间花在HDL代码的测试和调试上。而在基于模型的设计方法中，更多时间是花在开发仿真和代码生成模型上，本例就是如此。然而，开发时间会节省很多，因为生成的源代码与经验证的仿真行为完全一致，只需对嵌入式硬件执行极少量的调试。

利用MATLAB编码器⁷生成C语言代码

与生成HDL代码相似，为了生成用于本设计解码功能的C语言代码，也有几个条件必须满足。下面是两个最重要的要求：

- 使用MATLAB编码器支持的函数。MATLAB编码器支持大部分MATLAB语言和众多工具箱⁸，但您可能无意中使用了代码生成所不支持的函数。MATLAB编码器提供了“代码就绪工具”⁹等工具来帮助找出不支持的函数。

- 一旦声明一个MATLAB变量，其大小和类型便不得改变。这是为了确保在生成的代码中正确分配存储器。

从MATLAB生成C代码的最简单方法是从MATLAB工具列上的Apps选项卡新建一个MATLAB编码器项目。MATLAB编码器项目的最终输出如图6所示。

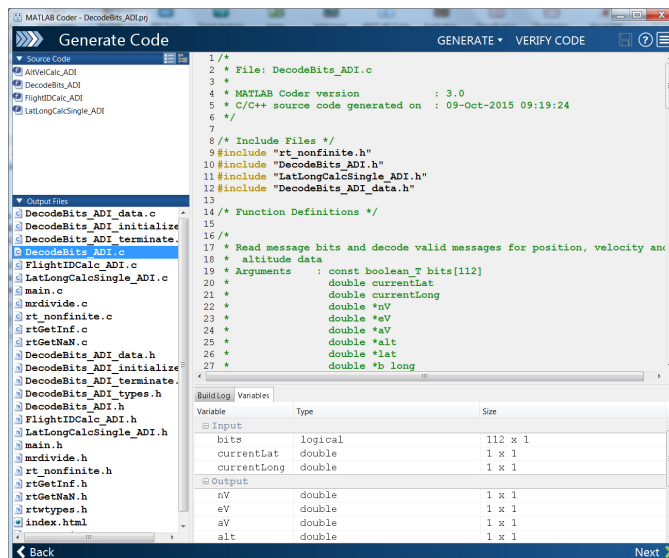


图6. 针对的DecodeBits_ADI.m的MATLAB编码器项目

在该项目中，顶层MATLAB函数是DecodeBits_ADI.m。用户需要指定此函数所需的数据类型和大小作为输入参数。图6显示，此函数的输入参数为112个布尔数据位和2个双精度值（用以提供用户当前的经度和纬度）。DecodeBits_ADI.m的输出大小和数据类型（例如：*nV表示向北速度，*eV表示向东速度，*alt表示高度）由MATLAB编码器自动确定。MATLAB编码器会找出顶层入口文件DecodeBits_ADI.m调用的所有其他函数，包括AltVelCalc_ADI.m和LatLongCalc_ADI.m，然后生成整个解码算法的C语言源代码。

MATLAB编码器生成的C语言代码是MATLAB功能的直接转译。如同HDL代码生成，MATLAB编码器产生的源代码也是易读且可追溯的，工程师可以轻松发现原始MATLAB代码与生成的C代码之间的关系。本例的C代码可从MATLAB命令提示产生，并且可由任何ANSI C编译器编译。

HDL代码平台部署

完成上述步骤（将设计划分为不同功能以在Zynq的可编程逻辑和处理系统上运行，针对HDL和C语言代码生成优化设计，以及通过仿真验证优化后的设计能够有效工作且满足性能标准）之后，现在便需要将设计部署到实际SDR硬件平台上，并验证系统在实际条件下的功能。

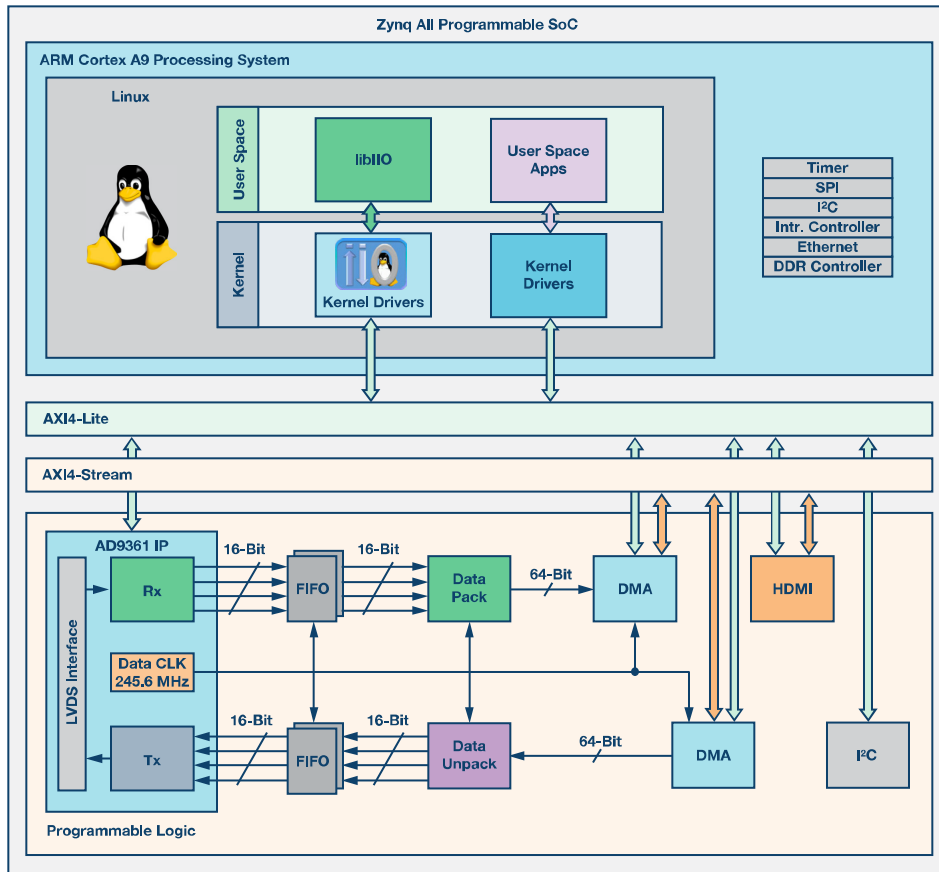


图7. HDL参考设计框图

为此，我们使用ADI公司的AD-FMCOMMS3-EBZ SDR平台¹⁰，其连接到一个运行ADI Linux发行版的Xilinx ZC706板¹¹。

AD-FMCOMMS3-EBZ板附带一个ADI公司提供的开源Vivado HDL参考设计¹²。该参考设计包含用以配置AD-FMCOMMS3-EBZ板上的AD9361收发器及传输数据所需的全部IP模块。图7为该HDL参考设计的框图。

AD9361 IP内核实现了AD9361收发器芯片与Zynq器件之间的LVDS接收和发送数据接口，以及与设计其余部分的数据接口。DMA模块用于AD9361 IP与DDR存储器之间的高速数据传输。AD9361 IP模块的数据接口包括4条用于接收的数据线和4条用于发送的数据线，对应于AD9361的两个接收通道和两个发送通道的I&Q数据。每条数据线都是16位宽。为使系统内部的数据传输效率更高，接收和发送数据被包装到由DMA模块管理的64位宽总线中。AD9361 IP的16位并行数据线通过打包和解包模块连接到DMA。

为了将ADS-B模型的HDL代码部署到SDR平台的现有HDL基础设施中，需要创建一个可插入数据路径中的IP内核，从而实时处理收到的数据并将处理过的数据传送到软件层。部署过程是一个困难且耗时的任务，因为它要求对HDL设计的功能有深刻的理解，同时需要娴熟HDL编程技能。为了简化这些步骤，MathWorks在HDL编码器中集成了一个称为HDL

Workflow Advisor的实用工具，ADI公司为AD-FMCOMMS2-EBZ/AD-FMCOMMS3-EBZ SDR平台和Xilinx ZC706板提供了一个板支持包 (BSP)¹³。

HDL Workflow Advisor可引导用户一步一步地从Simulink模型生成HDL代码。用户可以选择不同的目标工作流程，包括“ASIC/FPGA”、“FPGA在环”和“IP内核生成”。目标平台选择包括Xilinx评估板、Altera评估板和FMCOMMS2/3 ZC706 SDR平台。余下的代码生成和目标集成过程可由HDL Workflow Advisor自动完成。

ADI公司提供的BSP是板定义和参考设计¹⁴的集合，用以为HDL Workflow Advisor提供必要的信息和工具来产生与现有HDL参考设计兼容的IP模块，以及将生成的IP插入HDL参考设计。图8显示了如何配置Workflow Advisor来产生ADS-B模型的IP内核。请注意：必须选择IP内核生成工作流程，并以ADI公司的AD-FMCOMMS3-EBZ SDR平台和Xilinx ZC706板为目标。

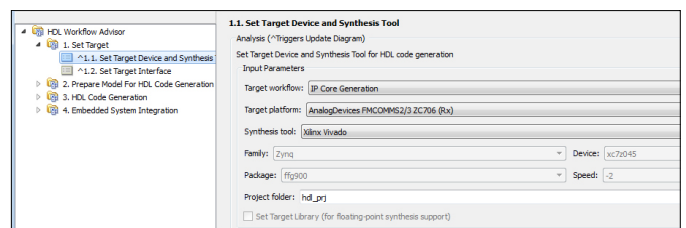


图8. Workflow Advisor配置

下一步是配置IP与参考设计之间的接口。在输入侧，该模型接受原始I&Q样本，模型的输入端口与AD9361接收器数据端口直接相连。在模型的所有输出信号中，当前阶段感兴趣的是数据、frame_valid和bit_clk信号。数据和frame_valid为16位宽，由bit_clk信号提供时钟。这些信号可以连接到BSP的“DUT Data x Out”接口，意味着它们将接收对DMA模块的直接访问；然后可以将数据传输到DDR供软件层访问。bit_clk信号连接到BSP的“DUT Data Valid Out”接口，用以控制DMA采样速率。图9显示了HDL接口必须如何配置。

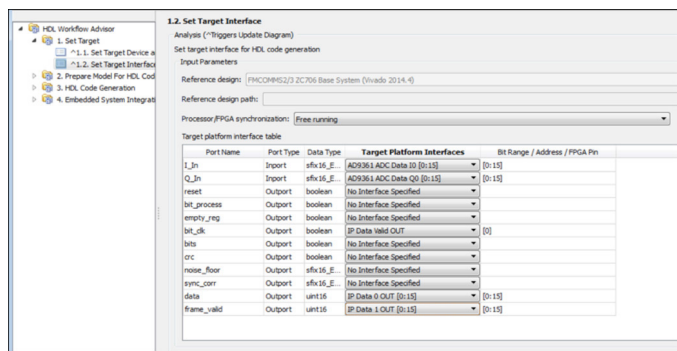


图9. HDL接口配置

一旦定义了目标接口，HDL Workflow Advisor的第2步和第3步便可保持默认状态，然后通过运行步骤4.1（创建项目）来启动项目生成过程。此步骤的结果是产生一个Vivado项目，其ADS-B IP内核已集成到ADI公司的HDL参考设计中。图10显示了ADS-B IP内核与设计其余模块的连接。

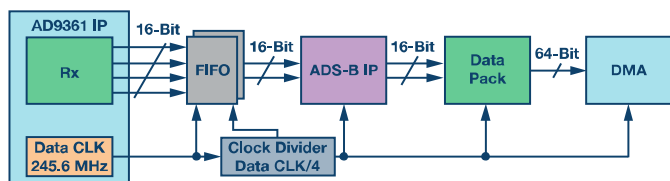


图10. HDL参考设计中的ADS-B IP连接

从Vivado项目生成位流便可结束HDL集成过程，但最终目标是让Linux在系统上运行。为此，在生成位流之后，可按照标准Xilinx SDK第一阶段引导加载程序 (fsbl) 和Linux引导文件创建过程创建一个Linux引导文件。与新创建HDL设计对应的Linux设备树和映像文件随同AD-FMCOMMS3-EBZ BSP发布。所有文件都必须与SD卡引导分区上的Linux引导文件一同复制；引导分区用于存储在Xilinx ZC706板上运行ADI公司Linux发行版所需的全部文件。

C语言代码平台部署

将ADS-B HDL IP集成到SDR平台的HDL设计并创建Linux SD卡之后，便需要实现用来解码ADS-B数据的软件应用程序。此应用程序基于第5部分生成的C代码，执行如下任务：

- 配置AD9361以接收ADS-B信号。
- 从ADS-B IP内核读取数据。
- 在读取的数据中检测有效ADS-B帧。
- 解码并显示ADS-B信息。

实现任务1和任务2的最简单方法是使用libio库¹⁵提供的功能。此库提供了接口函数，允许用户轻松配置AD9361以及接收和发送数据。配置过程设置如下系统参数：

- LO频率—1.09 GHz
- 采样速率—12.5 MHz
- 模拟带宽—4.0 MHz
- AGC—快速启动模式

除上述参数外，一个数据速率为12.5 MSPS、通带频率为3.25 MHz、阻带频率为4 MHz的数字FIR滤波器也被加载到AD9361中，确保收到的数据仅包含目标频段。该FIR滤波器的系统参数和设计方法详见本系列文章第三部分³所述。

ADS-B IP的输出数据通过DMA模块传输到系统的DDR存储器。libio库提供如下功能：将从ADS-B IP获取的数据放置到指定大小的存储缓冲器中；等待缓冲器填满；通过指针访问该缓冲器。一旦缓冲器填满，ADS-B解码算法便可处理数据。ADS-B IP内核有两个输出通道：一个通道对应于ADS-B位流，另一个通道指示一个有效数据帧在位流中的何处结束。两个通道均包含相同的数据速率，彼此同步。有效通道中一个等于1的样本表示数据通道中一个有效帧的最后一位。通过解析这两个通道，软件可以从位流中提取有效的ADS-B数据帧，并将数据传送到MATLAB编码器生成的解码函数。当计算航空器坐标时，解码函数利用ADS-B数据帧和当前位置的经纬度作为输入。当前经纬度被指定为应用程序的参数。ADS-B解码数据的显示与Simulink模型相似。

ADS-B数据解码程序是在Linux下利用makefile构建。该应用程序的源代码和makefile可在Analog Devices github库中下载¹⁶。

这样就完成了利用HDL编码器从ADS-B模型生成的HDL代码和利用MathWorks MATLAB编码器生成的C代码的平台部署步骤。下一步是验证系统功能并评估结果。

系统验证

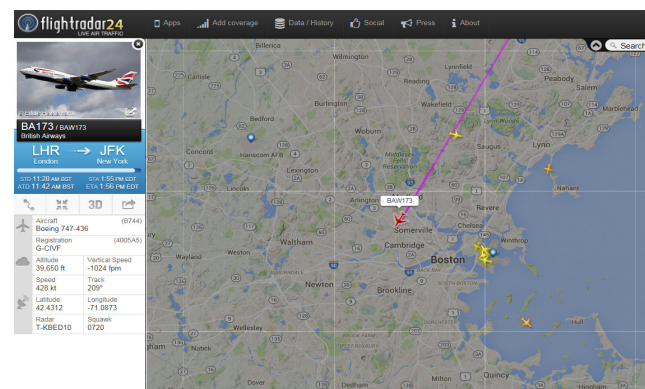
为了验证系统功能，首先要在AD-FMCOMMS3-EBZ板的一个接收端口与一个发送端口之间建立一个回送连接，并发送仿真期间使用的相同ADS-B信号。通过接收和解码此数据，可以验证SDR平台上运行的算法输出是否与仿真结果一致。图11显示了ADS-B数据解码程序的输出，结果与本系列文章第三部分中利用预先捕捉的数据进行HDL仿真所获得的结果完全相同。这说明系统运行符合预期，可以利用实际数据进行测试。


```
Aircraft ID: 400927 is at altitude 39000
Aircraft ID: 400927 is at latitude 42.324, longitude -71.143

Aircraft ID: 400927 is travelling at 468.363107 knots
Direction West at 230.000000 knots, direction South at 408.000000 knots
Aircraft ID: 400927 is going Up at 0.000000 feet/min
```

图11. 回送结果

现场实际测试时，SDR接收机放在MathWorks位于美国马萨诸塞州纳蒂克的总部外面，系统解码的ADS-B信息与飞机实时跟踪网站（如flightradar24.com）提供的数据进行对比。结果证实：在天线的视线范围内，系统能够解码从飞机收到的数据。图12显示了系统检测到的航空器信息与在线飞机跟踪数据的对比情况。可以看到，解码算法给出了正确的航空器ID、高度、速度和经纬度坐标。



```
Aircraft ID: 4005a5 is at altitude 40300
Aircraft ID: 4005a5 is at latitude 42.398, longitude -71.112

Aircraft ID: 4005a5 is travelling at 427.375713 knots
Direction West at 205.000000 knots, direction South at 375.000000 knots
Aircraft ID: 4005a5 is going Down at 1216.000000 feet/min

Aircraft ID: 4005a5 is at altitude 40275
Aircraft ID: 4005a5 is at latitude 42.396, longitude -71.113

Aircraft ID: 4005a5 is at altitude 40250
Aircraft ID: 4005a5 is at latitude 42.393, longitude -71.115

Aircraft ID: 4005a5 is travelling at 428.253430 knots
Direction West at 205.000000 knots, direction South at 376.000000 knots
Aircraft ID: 4005a5 is going Down at 1344.000000 feet/min

Aircraft ID: 4005a5 is at altitude 40150
Aircraft ID: 4005a5 is at latitude 42.386, longitude -71.121

Aircraft ID: 4005a5 is at altitude 40025
Aircraft ID: 4005a5 is at latitude 42.375, longitude -71.128
```

图12. 实时数据结果

结论

本系列文章展示了如何利用基于模型的设计来实现SDR平台从仿真到生产的全过程，这是其中的最后一篇。本系列说明了开发一个“硬件准备就绪”的ADS-B Simulink模型的所有阶段。我们设计了一个仿真模型来证明我们能够解码记录到的ADS-B消息，然后利用从SDR硬件平台获取的实时数据验证该模型。这不仅验证了该模型，而且验证了SDR平台的模拟前端和数字接收机信号链的设置。同时，它令我们确信该平台已调整好，可用于接收ADS-B信号。然后，我们将该模型划分为不同的功能，以便在Zynq处理系统和可编程逻辑上运行，并优化了该模型以自动生成C和HDL代码。最后，我们将C和HDL代码集成到SDR设计中，并利用实时商业空中交通数据验证了系统的功能。最终成果是一个设计流程—使用MathWorks建模和代码生成工具，并结合Zynq SDR平台来创建全面有效的SDR系统。

示例系统说明：相比于传统设计方法，基于模型的设计工作流程与ADI公司的集成RF捷变收发器可编程无线电硬件AD9361/AD9364相结合，可以帮助设计团队更快开发出有效的无线电原型，成本也更低。文中的原型是由笔者在相对较短的时间内制作出来的，遇到的障碍极少，使用了如下资源：

- 在MATLAB和Simulink中能够创建ADS-B接收机模型，并生成可用的C和HDL源代码。
- HDL Workflow Advisor中的功能，它们使很多软硬件集成步骤自动完成。
- librio等库，帮助完成其余集成步骤以便部署SDR原型。
- MathWorks和ADI公司提供的产品帮助和技术支持。

ADS-B是一个相对简单的标准，为通过这种方法构建SDR原型提供了一个很好的测试案例。采用基于模型的设计和Zynq SDR平台的工程师应当能够按照本系列文章所提出的工作流程，开发出更复杂、更强大的QPSK、QAM和LTE SDR系统。

参考文献

- ¹ Di Pu、Andrei Cozma和Tom Hill, “快速通往量产的四个步骤：利用基于模型的设计开发软件无线电，第一部分—ADI/Xilinx SDR快速原型开发平台及其能力、优势和工具”，*模拟对话*，第49卷，第3期。
- ² Mike Donovan、Andrei Cozma和Di Pu, “快速通往量产的四个步骤：利用基于模型的设计开发软件无线电，第二部分—利用MATLAB和Simulink进行S模式检测和解码”，*模拟对话*，第49卷，第4期。
- ³ Di Pu和Andrei Cozma, “快速通往量产的四个步骤：利用基于模型的设计开发软件无线电，第三部分—利用硬件在环验证S模式信号解码算法”，*模拟对话*，第49卷，第4期。
- ⁴ Analog Devices GitHub库。
- ⁵ HDL编码器。
- ⁶ HDL编码器模块支持。
- ⁷ MATLAB编码器。
- ⁸ MATLAB工具箱。
- ⁹ MATLAB代码生成就绪工具。
- ¹⁰ AD-FMCOMMS3-EBZ用户指南。
- ¹¹ Xilinx Zynq-7000 All Programmable SoC ZC706评估套件。
- ¹² AD-FMCOMMS2-EBZ/AD-FMCOMMS3-EBZ/AD-FMCOMMS4-EBZ HDL/AD-FMCOMMS5-EBZ HDL参考设计。
- ¹³ Analog Devices BSP for MathWorks HDL Workflow Advisor。
- ¹⁴ 电路板和参考设计注册系统。
- ¹⁵ 什么是Librio?
- ¹⁶ MathWorks目标模型—ADSB。

Mike Donovan [mike.donovan@mathworks.com]是 MathWorks 公司应用工程部门经理。他拥有巴克内尔大学电气工程学士学位和康涅狄克大学电气工程硕士学位。加入 MathWorks 之前，Mike 开发过雷达和卫星通信系统，并在宽带电信行业工作过。



Mike Donovan

Andrei Cozma [andrei.cozma@analog.com]是 ADI 公司工程设计经理，负责支持系统级参考设计的设计与开发。他拥有工业自动化与信息技术学士学位及电子与电信博士学位。他参与过电机控制、工业自动化、软件定义无线电和电信等不同行业领域的项目设计与开发。



Andrei Cozma

该作者的其它文章：

[基于FPGA的系统提高电机控制性能](#)
第49卷第1期

Di Pu [di.pu@analog.com]是 ADI 公司系统建模应用工程师，负责支持软件定义无线平台 and 系统的设计与开发。她与 MathWorks 密切合作解决双方共同客户的难题。加入 ADI 公司之前，她于 2007 年获得南京理工大学 (NJUST) 电气工程学士学位，于 2009 年和 2013 年分别获得伍斯特理工学院 (WPI) 电气工程硕士学位和博士学位。她是 WPI 2013 年博士论文 Sigma Xi 研究奖获得者。



Di Pu

集成多路复用输入 ADC 解决方案 减轻功耗和高通道密度的挑战

作者：Maithil Pachchigar

共享    

简介

工业、仪器仪表、光通信和医疗保健行业有越来越多的应用开始使用多通道数据采集系统，导致印刷电路板 (PCB) 密度和热功耗方面的挑战进一步加大。这些应用对高通道密度的需求，推动了高通道数、低功耗、小尺寸集成数据采集解决方案的发展。这些应用还要求精密测量、可靠性、经济性和便携性。系统设计人员在性能、热稳定性和PCB密度之间进行取舍以维持最佳平衡，并且被迫不断寻找创新方式来解决这些挑战，同时要将总物料 (BOM) 成本降低最低。本文重点说明多路复用数据采集系统的设计考虑，并聚焦于通过集成多路复用输入ADC解决方案来应对空间受限应用（如光收发器、可穿戴医疗设备、物联网IoT和其他便携式仪器）的这些技术挑战。本文提出的低功耗解决方案采用集成式多路复用输入4通道/8通道、16位、250 kSPS PulSAR[®] ADC [AD7682/AD7689](#)，其提供2.39 mm × 2.39 mm小型晶圆级芯片规模封装 (WLCSP)，可节省60%以上的板空间，能够很好地解决高通道密度和电池供电便携式系统的挑战，同时具有灵活的配置和高精度性能。

多路复用数据采集系统

多通道数据采集系统通常采用不同类型的分立单通道或集成多路复用且同步采样的模拟信号链来与各类传感器（如温度、压力、振动传感器及基于应用要求的其他许多传感器）接口。例如：将多个输入通道复用到一个ADC，各通道均使用一个采样保持放大器，以及将多个输入通道复用到一个ADC，各通道均使用一个ADC以便对各通道同步采样。第一种情况通常使用逐次逼近型 (SAR) 模数转换器 (ADC)，如图1所示。它能节省相当多的功耗、空间和成本，各通道的输入端可能需要低通抗混叠滤波器，其通道切换和顺序与ADC转换时间正确同步。第二种情况如图2所示，可实现的吞吐速率要除以同步采样的通道数，但采样通道之间仍可以保持恒定的相位。如图3所示，某些应用要求每个通道使用专用放大器和ADC并对输入同步采样，以提高每通道的采样速率并保护

相位信息，代价是板面积和功耗会增加。同步采样ADC通常用于自动测试设备、电力线监控和多相电机控制，这些应用要求各通道以较高吞吐速率连续采样，以保护通道之间的相位关系，实现精确的瞬时测量。

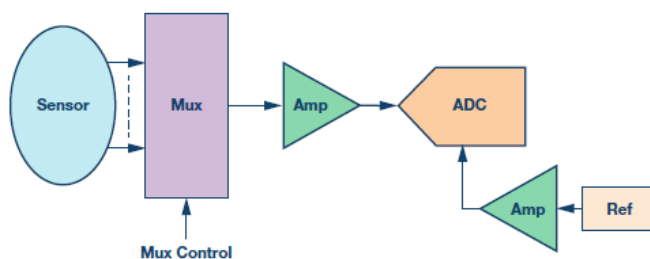


图1. 简化多通道数据采集信号链——第一种情况

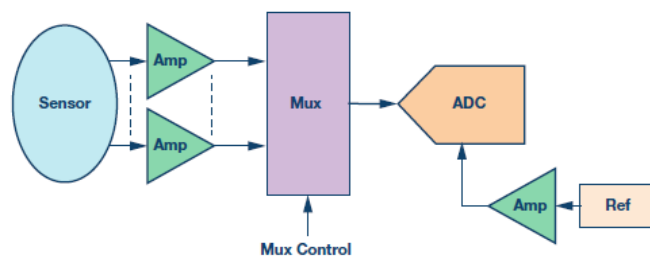


图2. 简化多通道数据采集信号链——第二种情况

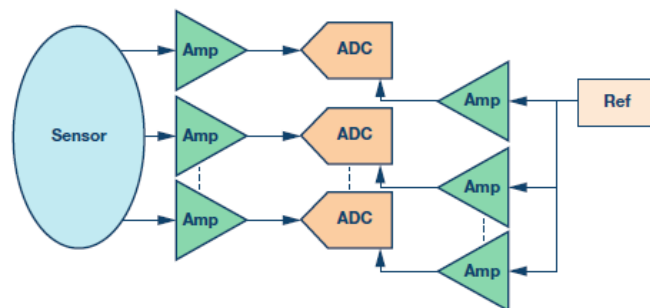


图3. 简化多通道数据采集信号链——第三种情况

多路复用的关键优势在于每个通道需要的ADC数量较少，因而空间、功耗和成本更低。然而，多路复用系统可实现的吞吐速率等于单一ADC吞吐速率除以采样通道数。SAR型ADC具有低延迟和动态功耗与吞吐速率成比例的固有优点。它们常用于通道复用架构，非常适合于检测和监控功能。光收发器模块采用的多路复用数据采集系统需要高通道密度，可穿戴医疗设备要求小尺寸和低功耗，来自多个传感器的信号需要监控，多个输入通道复用到单个或多个ADC。多路复用数据采集系统的主要挑战之一是，当输入切换到下一通道时，它需要快速响应接近满量程幅度的步进输入，以使建立时间或串扰问题最小化。下面介绍基于SAR架构的多路复用输入ADC用于光收发器和可穿戴电子设备的实际例子，其中解释了为什么AD7689是此类应用的理想选择。

光收发器

100 Gbps光收发器市场在未来十年将迎来增长机会，因为它支持高速相干光传输。光收发器的关键挑战是采集并处理更宽频带的信号，或以更低的功耗在更小的空间中复用多个输入通道。当今收发器最初是针对远程应用而设计的，尺寸、功耗和成本结构限制了其在对成本更敏感的城域网中的使用。城域网包括：都会区域500 km至1000 km、都会核心100 km至500 km和都会接入100 km以下应用。由于城域网竞争激烈，空间溢价相当高，使得线路卡密度异常重要，因此，较低成本的光线路卡或较小尺寸的插接式模块对相干应用越来越重要。

在光网络中，随着每通道的比特率从10 Gbps提高到100 Gbps或更高，光纤非理想因素会严重降低信号质量，影响其传输性能。当光纤缺陷引起光噪声、非线性效应和消散等不利影响时，远程光网络也会产生技术挑战。为了应对这些重大挑战，许多40 Gbps和100 Gbps光收发器制造商使用相干技术来支持更高数据速率连接、最大的覆盖范围和更长的距离，以适应城域远程、远程和超远程网络需求。相干技术一般会整合多级信号格式和相干检测，利用双重极化、正交和相移键控 (DP-QPSK) 优化信号调制，从而抑制较高数据速率时的光

纤影响，使得100 Gbps传输在经济上和技术上可行。下一代100 Gbps（及以上）数据速率光收发器将要求更低的功耗和更小的尺寸，以便提高通道密度，大幅节省空间、功耗和成本。根据具体要求，光系统的通道数通常在8到64之间。对PCB设计人员而言，元件放置和走线布线变得重要起来，尤其是高通道密度系统。

图4显示了通用光模块的简化框图，其中包括发射器、接收器、微型ITLA（集成可调谐激光组件）和数据采集器件。图5显示了微型ITLA的简化框图，它是一种宽带电子调谐激光器件，用于控制快速波长切换。发射器包括Mach-Zehnder驱动器和调制器，用以控制出射激光的幅度或强度。多路复用输入ADC通常用在控制和监测功能中，以便对来自光模块和微型ITLA的多个通道的数据进行数字化。

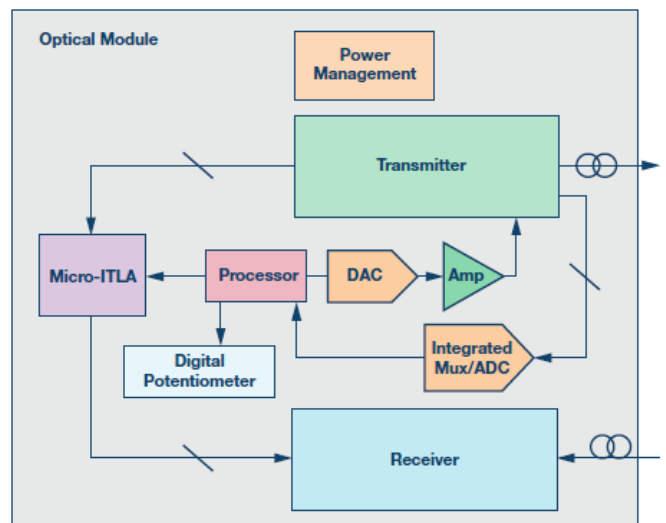


图4. 光模块简化框图

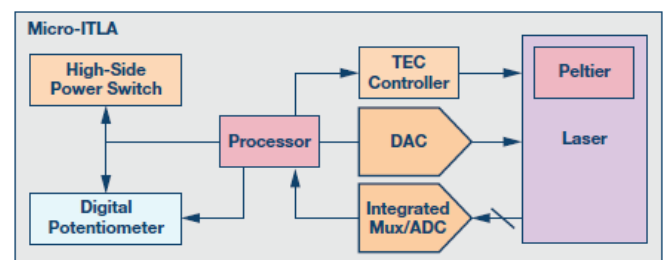


图5. 微型集成可调谐激光组件简化框图

利用可穿戴电子设备监测生命体征

图6显示了典型可穿戴电子设备的简要框图。现代可穿戴电子设备集成了多种传感器来实时精确监测人体多种生物指标。它们提供灵活的用户接口用于数据存储，通过Wi-Fi将数据传输到个人智能手机、平板电脑或笔记本电脑。此类设备利用生物电位、生物阻抗或光传感器来获取有关心率、呼吸速率、血氧饱和度 (SpO₂) 等多种生命体征的信息。声传感器用来提取有关血压和饮食活动的信息，温度传感器用来测量体温。基于MEMS的惯性运动传感器（加速度计）用来跟踪每日身体活动。来自不同传感器的信号需要进行模拟信号调理，然后多路复用到ADC。根据系统要求，某些信号可能还需要进行同步采样。ADC随后对这些信号进行数字化，处理器或微控制器最终对其进行后期处理，提取有关各种生理指标的信息。

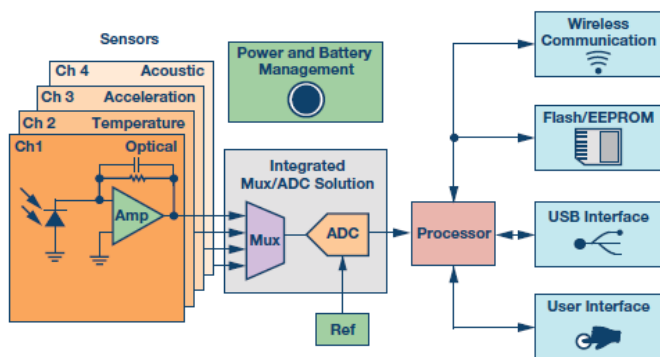


图6. 可穿戴电子设备简化框图

心电图 (ECG) 传统上用来监测心脏活动，这对生理监测和心脏诊断至关重要。然而，智能可穿戴系统使用光传感器和生物阻抗传感器，支持将心率监护仪集成到腕表、腕带或活动追踪器等可穿戴电子设备中。

在光系统中，快速闪烁的红外光透射皮肤表面，光电检测器测量血红蛋白吸收的光线。模拟前端调理该微弱信号并将其数字化，然后利用光电脉搏波 (PPG) 技术进行后处理，以提

取有关心率、呼吸速率和SpO₂等多种生理变量的信息。

与光等技术相比，生物阻抗传感器的功耗要低得多，因而可延长电池续航时间。生物阻抗传感器可用来测量呼吸速率或皮肤阻抗。通过电极将一个正弦信号注入皮肤（体组织），测量、数字化并后处理流过的微小电流，从而精确解读各种生理信号，如呼吸速率、皮肤电导率或肺积水等。

这些设备需要高集成度、非常敏感、高性价比、高效率、可装入微小模块中的电池供电解决方案。它们必须精确可靠地监测多种生理变量，同时能够更好地抑制运动产生的伪像和外部环境条件，否则真实信号可能被噪声淹没，导致读数不准确。因此，ADC必须具有良好的噪声性能，常常利用过采样或均值法来改善整体动态范围。目标输入频段是从DC到250 Hz，故而ADC采样速率接近数kSPS。

集成多路复用输入4通道/8通道、16位、250 kSPS ADC

AD7682/AD7689是业界领先的集成多路复用输入4通道/8通道、16位、250 kSPS SAR型ADC，采用ADI公司专有0.5 μm CMOS工艺制造。集成4通道/8通道低串扰多路复用器引入的邻道间不匹配极小，支持顺序采样。这些ADC允许选择超低温漂的内部2.5 V或4.096 V精密基准电压源、外部基准电压源或外部缓冲基准电压源，片上温度传感器监控ADC的内部温度典型值。这样就无需外部元件，大幅节省PCB面积和BOM成本。这些ADC内置一个通道序列器，用于逐个或成对扫描通道，内部温度传感器可以重复使能或禁用。其灵活的串行数字接口兼容SPI、MICROWIRE、QSPI和其他数字主机。用户可通过内部14位配置寄存器选择各种选项，包括要采样的通道数、基准电压源、温度传感器和通道序列器。在转换模式、转换后读取模式以及含或不含繁忙指示的转换全程读取模式下，该接口允许执行4线式读操作。AD7682/AD7689非常适合高通道密度应用，例如光收发器、可穿戴医疗设备和其他用于精密检测与监控的便携式仪器。

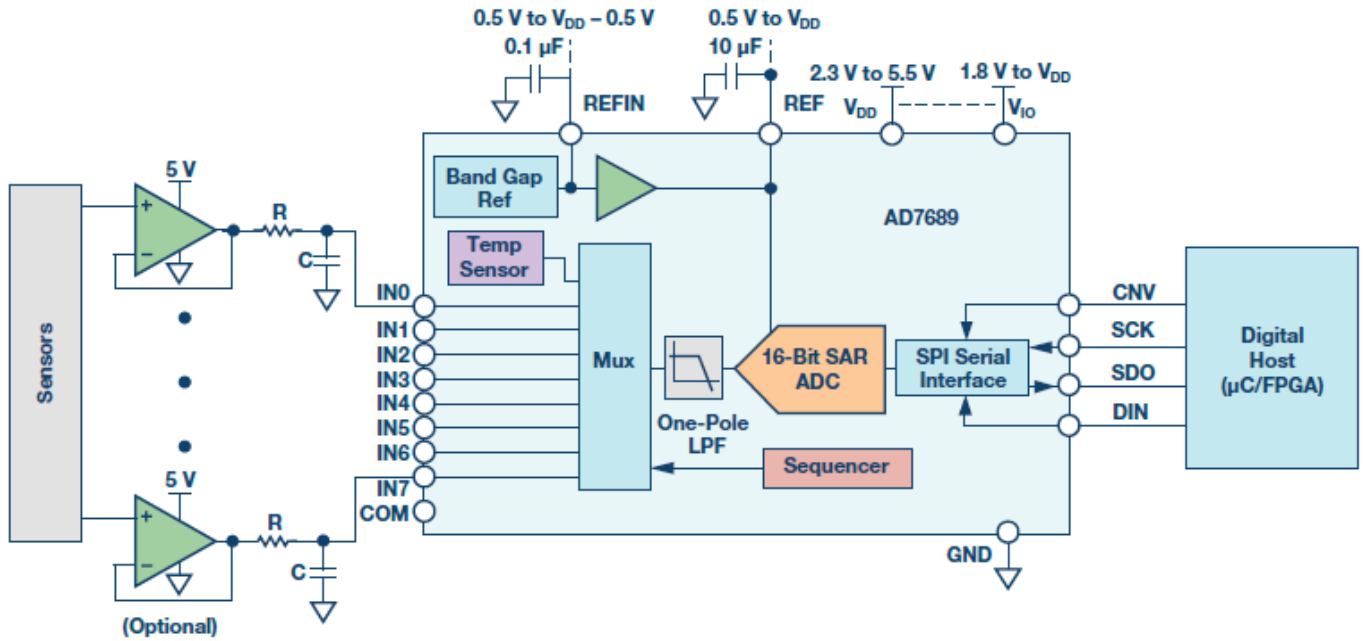


图7. AD7689典型应用框图（未显示所有连接和去耦）

图7显示了AD7689用于一个多通道数据采集系统的简化框图，其提供易于使用的灵活配置选项和精密性能。它能解决与通道切换、序列化和建立时间相关的复杂设计问题，节省设计时间。

对于多通道、多路复用应用，有些设计人员利用低输出阻抗缓冲器处理多路复用器输入端的反冲影响（取决于所用的吞吐速率）。SAR ADC的输入带宽（数十MHz）和ADC驱动器的输入带宽（数十到数百MHz）高于采样频率，而所需输入信号带宽通常在数十Hz到数百kHz范围。因此，根据系统要求，多路复用器输入端可能需要单极点低通RC抗混叠滤波器来消除不需要的信号（混叠），防止其折回到目标带宽中，从而限制噪声并减轻建立时间问题。各输入通道使用的RC滤波器值应根据以下取舍关系精心选择（因为过多的限带可能影响建立时间并增加失真）：电容较大会有助于衰减多路复用器的反冲影响，但也可能会降低前一放大器级的相位裕量，使其变得不稳定。为使RC滤波器具有高Q、低温度系数，并且在变化电压下具有稳定的电气特性，建议使用COG或NPO型电容。应选用合理的串联电阻值，以保持放大器稳定并限制其输出电流。电阻值不可过大，否则多路复用器反冲后ADC驱动器将无法对电容再充电。

小尺寸

AD7682/AD7689现可提供2.39 mm × 2.39 mm、引脚兼容、晶圆级芯片规模封装（WLCSP），它比现有4 mm × 4 mm引线框芯片规模封装（LFCSP）或其他同类竞争器件小60%以上，故而在很小的系统空间中实现更高的电路密度。图8所示为小型WLCSP尺寸与标准6 mm铅笔尺寸对比图。



图8. AD7682/AD7689晶圆级芯片规模封装与标准铅笔的尺寸对比

AD7682/AD7689 WLCSP芯片的有源侧在反面，可以利用焊球连接到PCB，图11显示了PCB装配后的芯片尺寸。PCB装配后芯片表面与基板之间的实际距离（离板高度）与印刷在基板上的阻焊网和焊盘直径有关。

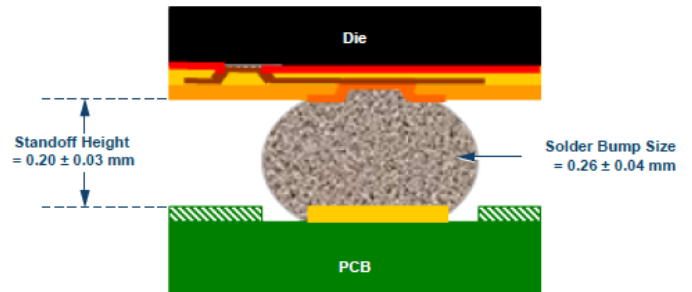


图9. PCB装配后的AD7682/AD7689 WLCSP尺寸

低功耗

AD7682/AD7689需要一个模拟和数字内核电源（ V_{DD} ）以及一个数字输入/输出接口电源（ V_{IO} ），以便与任何介于1.8 V和 V_{DD} 之间的逻辑直接接口。 V_{DD} 和 V_{IO} 引脚也可以连在一起以节省系统所需的电源数量，并且它们与电源时序无关。这些器件采用5 V（ V_{DD} ）和1.8 V（ V_{IO} ）电源供电，其功耗与吞吐速率成线性比例关系，故而可以实现非常低的功耗：在采用外部5 V基准电压源的情况下，100 SPS时的典型功耗约为1.7 μ W，250 kSPS时为12.5 mW，如图10所示。因此，该ADC具有高效率，对高低采样速率（甚至低至数Hz）均适合，能够很好地支持便携式和电池供电系统。该器件的重要特性之一是其会在每个转换阶段结束时自动关断，仅消耗非常低的待机电流（典型值50 nA），因而在不使用器件时可以节省电池电量，延长电池续航时间。

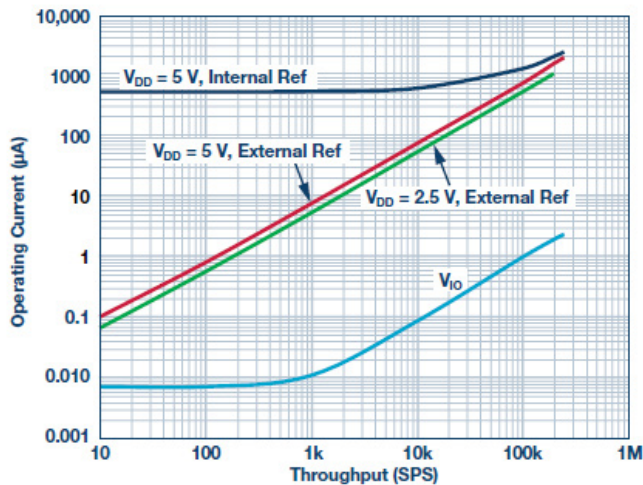


图10. AD7682/7689 工作电流与吞吐速率的关系

精密性能

对于需要多个AD7682/AD7689器件的应用，使用内部基准电压缓冲器缓冲外部基准电压会更有效，这样能降低SAR转换串扰。由于内部基准电压限制在4.096 V，因此使用5 V外部基准电压源时SNR性能最佳。对于2 kHz输入信号音，采用5 V外部基准电压源且以250 kSPS全速运行时，它提供出色的交流和直流性能：INL为±1.5 LSB，信纳比 (SINAD) 约为93 dB，有效位数 (ENOB) 约为15.2位。图11显示了给定外部基准电压下SNR、SINAD和ENOB的典型性能。

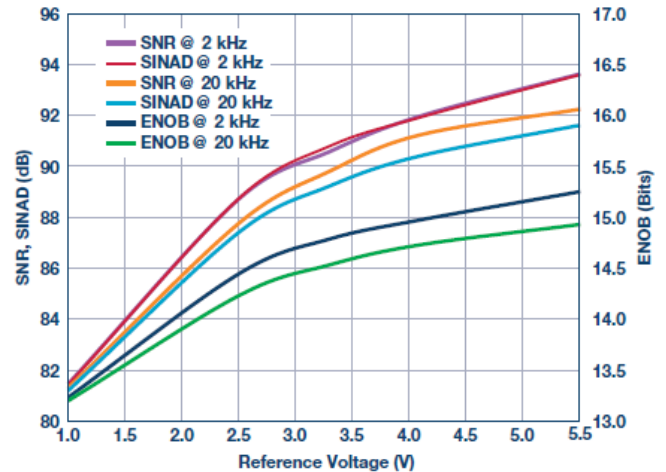


图11. AD7682/7689 SNR、SINAD和ENOB与基准电压的关系

结论

下一代插接式光收发器模块和其他便携式系统需要高效率、小尺寸、低成本数据采集系统。AD7682/AD7689提供业界领先的集成度和精密性能，支持广泛的传感器接口，设计人员利用这些器件不仅能满足苛刻的用户要求，还能实现系统的差异化。这种高效率集成ADC解决方案能够应对空间受限应用的高电路密度和热功耗挑战，与现有LFCSP和竞争产品相比可节省60%以上的空间，对高低采样速率应用都很合适。

Maithil Pachchigar [maithil.pachchigar@analog.com]是 ADI 公司位于美国麻萨诸塞州威明顿市的仪器仪表、航空航天与国防业务部门的应用工程师。他于 2010 年加入 ADI 公司，从事仪器仪表、工业、医疗保健和能源行业的精密 ADC 产品相关工作和客户支持。自 2005 年以来，Maithil 一直在半导体行业工作，并已发表多篇技术文章。他于 2006 年获得圣何塞州立大学电气工程硕士学位，并于 2010 年获得硅谷大学 MBA 学位。



Maithil Pachchigar

该作者的其它文章：
[用于高温电子应用的低功耗数据采集解决方案](#)
 第49卷第3期

ADI 公司数据转换器产品在线评估工具 *Virtual Eval* 使用指南

作者：Tom MacLeod 和 Jason Cockrell

共享    

概述

喝完第三杯咖啡，您捡起一沓技术规格书，发出一声叹息。今天您面临着一个熟悉的挑战：开发一个满足前沿要求的下一代平台，时间难以置信地紧迫，预算不合道理地低，而且还要面带微笑地去做。您必须为项目选择合适的供应商，而为了实现这些极其困难的目标，除了核心产品外，您还需要供应商提供高水平支持。

ADI公司致力于满足这些期望，提供**模拟滤波器向导**和**ADC建模工具**等支持软件。现在，ADI公司已迈出下一步，推出一款称为**Virtual Eval**（虚拟评估）的综合性在线产品评估工具。Virtual Eval采用详细软件模型来模拟器件关键性能特征，而不要求购买硬件。辛苦劳累的工程师可以配置不同的工作条件和器件特性来建立自定义使用案例。配置设置被发送到ADI公司服务器以执行仿真作业。数秒之内，完成后的仿真结果就会以图表和性能指标的形式显示在浏览器窗口中。

Virtual Eval可以解决各种各样的设计问题，从而加快产品开发周期。本文余下部分将介绍其中的两个问题。第一个问题是数据采集情况，为了选择合适的精密转换器，您必须平衡吞吐速率和噪声性能。第二个问题涉及到无线电接收机，您需要以最低动态范围要求数字化某些频谱，同时要使整体系统保持低功耗。对于这两种情况，Virtual Eval均有利于加快设计决策，并通过在线仿真来增强设计信心。

问题#1

费力地看完厚厚的技术规格书，关键要求慢慢变得清晰：

- 4通道信号采集， ± 75 mV
- 18位性能或更高
- 低于-40 dB的50 Hz抑制
- 建立时间为50 ms，但越快越好

剧透慎入：ADI公司的**AD7193**是符合工作要求的合适器件。选择正确器件的传统方法是利用产品数据手册中的技术规格部分，在不同滤波和应用条件下分析器件的性能。这种方法涉及到大量手工劳动，而且数据手册无法针对频率选择和目标使用条件的每种可能组合，向大量不同的客户提供性能规格。您真正需要的是像Virtual Eval这样的交互工具，通过针对特定使用

案例定制的仿真来了解产品性能。

您看到的第一个屏幕是产品选择器。

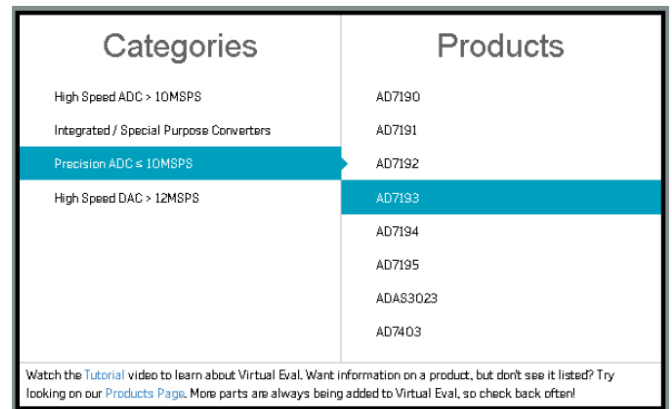


图1. 产品选择器

在精密ADC下面，找到AD7193。单击便会加载评估会话。

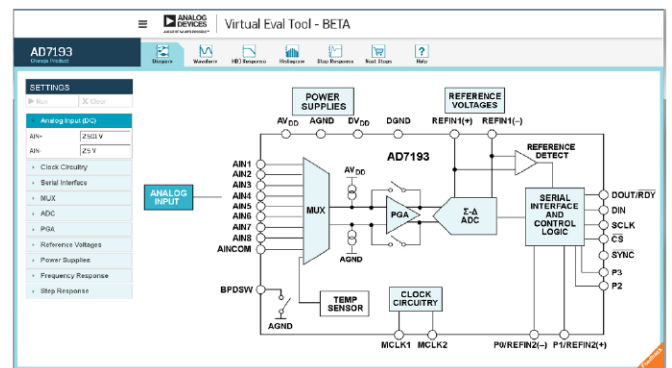


图2. AD7193功能框图

Functional Block Diagram（功能框图）视图显示AD7193的布局。单击图中的可点击元件，屏幕左侧的可折叠部分就会显示相关的配置设置。选择基准电压，观察 V_{REF} 变为2.5 V。然后选择PGA元件，将PGA增益从128变为32，以提供 ± 2.5 V/32 = ± 78.125 mV的模拟输入范围。这满足幅度要求。最后，单击**Settings**（设置）栏中的**Run**（运行）按钮。远程服务器运行一系列仿真，并将性能结果返回Virtual Eval客户端。

为了解读结果，利用屏幕上方附近的选项卡切换到**Waveform**（波形）视图。



图3. 波形视图

Results（结果）包含仿真中计算的相关变量，如噪声和功耗特性等。峰峰值分辨率为18.531位，满足要求，但80.103 ms的建立时间不满足要求。

在精密转换器中，建立时间与滤波器配置相关。切换到**H(f) Response**（H(f) 响应）视图可让我们了解产品的滤波性能。

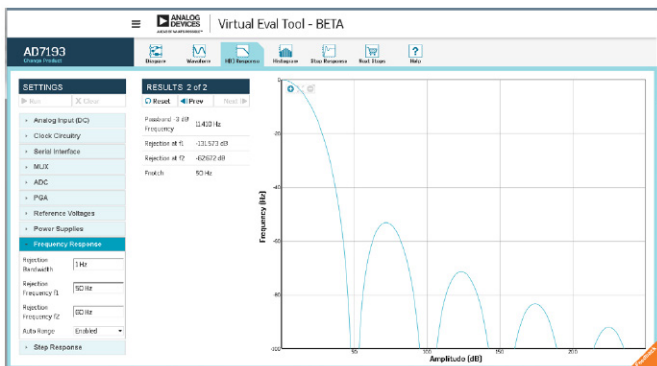


图4. H(f) 响应视图

规格书要求-40 dB的抑制性能（50 Hz时），但实际抑制性能为-131 dB！可以牺牲多余的抑制性能来改善建立时间。回到滤波，在**Settings**（设置）栏中选择ADC元件，将FS从96变为48。为了确保50 Hz时的滤波器响应中仍有一个零点，将**Averaging**（均值）从1提高到2。最后，将sinc阶次从4变为3以进一步节省建立时间。然后再次运行仿真。

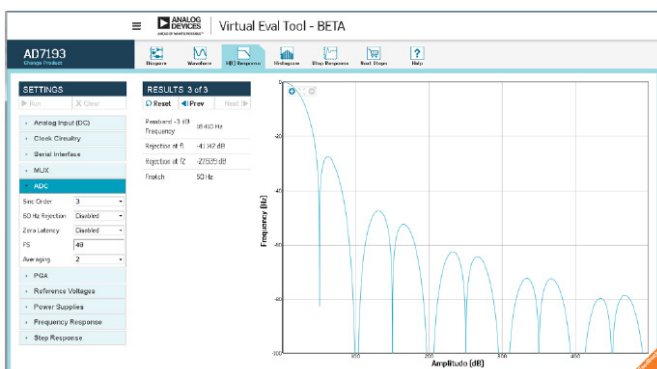


图5. 修改后的H(f) 响应

现在，50 Hz时的抑制为-41 dB，满足要求。这无法从数据手册中确定，因为ADI公司没有发布用于计算频率抑制的公式。只有利用交互式仿真，工程师才能直接验证诸如此类特定情况下的产品性能。

切换到**Waveform**（波形）视图，由于滤波降低，建立时间只有40.103 ms，无疑满足要求。

问题#2

公司的新平台必须以72 dB信噪比数字化位于354 MHz的大约50 MHz频谱。快进到一个使用RF ADC AD9680的设计选择。其采样速率为1 GSPS，片内有数字下变频器，采用灵活的JESD204B串行接口。其数据手册非常详尽，但如上所述，它不可能涉及每一种可能的使用案例。但Virtual Eval可以，我们从**AD9680产品页面**打开它。

选择**High Speed ADC**（高速ADC）类别并单击AD9680。

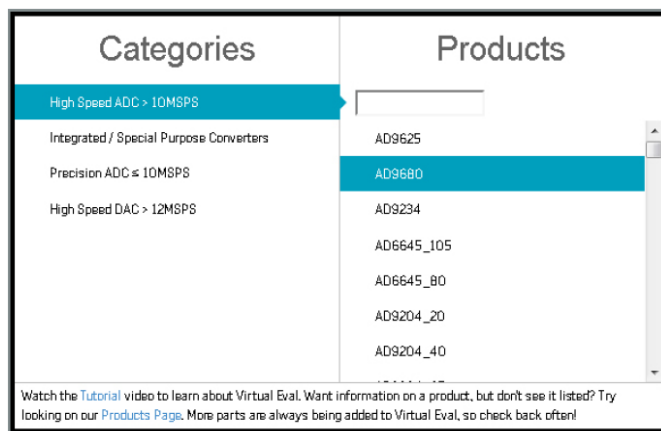


图6. 产品选择器

显示Virtual Eval默认会话，从**Functional Block Diagram**（功能框图）视图开始：

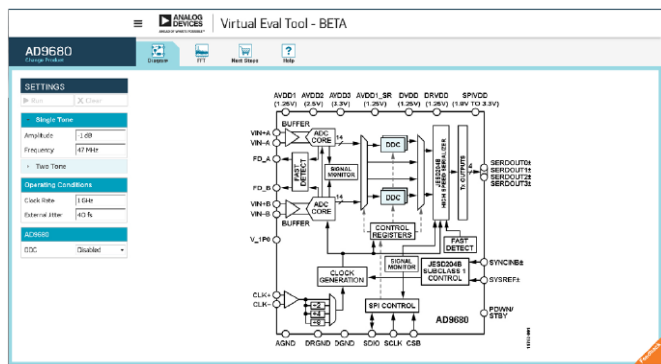


图7. AD9680功能框图

DDC 和 JESD204B 可见，从要求来看，二者均是好兆头。将单音输入频率设置为 354 MHz 以代表该使用案例，单击 Run（运行）。

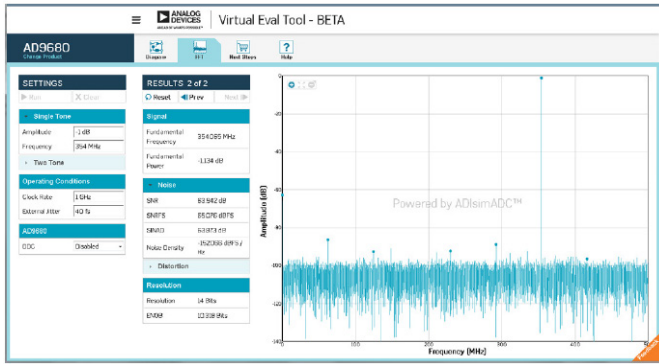


图8. 采用354 MHz输入信号音的频谱分析，DDC禁用

Virtual Eval执行仿真和完整的频谱分析。本案例中的品质因数为SNR。63.9 dB当然不够，不过可以补救。将DDC从Disabled（禁用）切换到Enabled（使能）。这就为数字信号处理提供了多个新选项来改善性能。

将NCO频率设置为354 MHz，使频谱适当地居中。另外，将C2R（复数转实数）切换到Enabled（使能）。切换到实数值可将传输数据量减半，从而降低ADC和FPGA之间的I/O功耗。再次单击Run（运行）以查看新仿真结果。

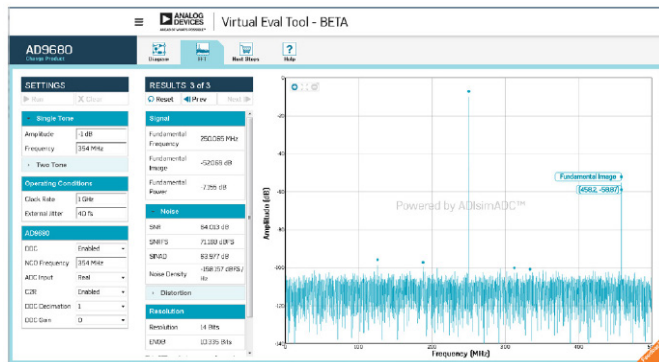


图9. 采用354 MHz输入信号音的频谱分析，DDC使能

输入信号音像预期一样居中，但在图形右侧附近有一个很大的基频镜像。幸运的是，规格书仅要求50 MHz的带宽，远低于当前数字化的500 MHz。这里的解决方案是降低目标频谱，同时改善SNR并滤除镜像。在Settings（设置）栏中，将DDC抽取从1变更为8，再次单击Run（运行）。这就把频谱降低到500 MHz/8 = 62.5 MHz。

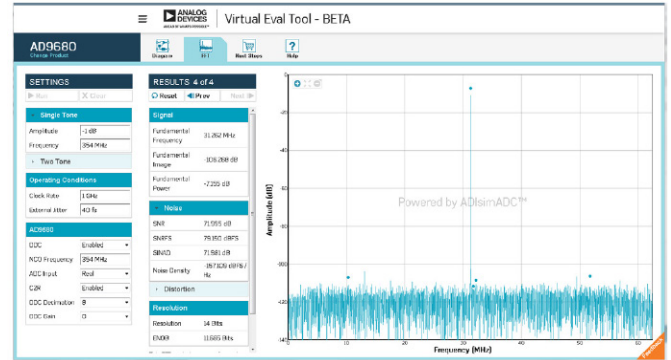


图10. 采用354 MHz输入信号音的频谱分析，使能DDC和抽取基频镜像被数字化滤除，SNR优于72 dB。由于转换器仅数字化62.5 MHz频谱，因此ADC和FPGA之间的数据链路接近最优。

结论

Virtual Eval通过在线仿真提供一种与产品虚拟互动的快速、方便、低风险方式。它可展示复杂的产品特性，使得工程师可以判断某一产品在自定义工作条件下是否能满足要求。这种通过便利的Web浏览器提供的高水平的详细信息和互动性，是其他任何形式的产品评估体验都无法比拟的。

本使用指南仅演示了Virtual Eval的一小部分特性。Beta网站经常会添加更多特性和更多产品。请尝试使用Virtual Eval，并借此机会参与这个持续进行的开发过程。欢迎通过右下侧的Feedback（反馈）选项卡向我们提供反馈。随着Virtual Eval进一步发展和成长，我们希望把在线评估置于产品评估和设计过程的中心舞台。

Jason Cockrell [jason.cockrell@analog.com]是位于美国北卡罗莱纳州格林斯博罗的应用与技术部门的软件工程师。他于2013年获得北卡罗莱纳州立大学应用数学与计算机科学学士学位，并作为应届毕业生加入ADI公司。目前担任在线产品评估应用Virtual Eval的开发人员。



Jason Cockrell

Tom MacLeod [tom.macleod@analog.com]是位于美国北卡罗莱纳州格林斯博罗的应用与技术部门的算法设计工程师。他于2002年获得北卡罗莱纳州立大学电气工程学士学位。他在建模、信号处理、高级算法开发等多种电气工程领域拥有超过13年的经验。



Tom MacLeod

铁氧体磁珠揭秘

作者：Jefferson Eco 和 Aldrick Limjoco

共享    

简介

过滤高频电源噪声并干净地分享相似电源供电轨(即混合信号 IC 的模拟和数字供电轨)，同时在共享的供电轨之间保持高频隔离的一种有效方法是使用铁氧体磁珠。铁氧体磁珠是无源器件，可在宽频率范围内过滤高频噪声。它在目标频率范围内具有电阻特性，并以热量的形式耗散噪声能量。铁氧体磁珠与供电轨串联，而磁珠的两侧常与电容一起接地。这样便形成了一个低通滤波器网络，进一步降低高频电源噪声。

然而，若系统设计中铁氧体磁珠使用不当，则会产生不利影响。有一些例子可以说明：由于磁珠和去耦电容搭配用于低通滤波而导致产生干扰谐振；直流偏置电流的依赖性导致磁珠的 EMI 抑制能力下降。正确理解并充分考虑铁氧体磁珠的特性后，这些问题是可以避免的。

本文讨论系统设计人员在电源系统中使用铁氧体磁珠时的注意事项，比如直流偏置电流变化时的阻抗与频率特性，以及干扰 LC 谐振效应。最后，为了解决干扰谐振问题，介绍了阻尼技术，并比较了各项阻尼方法的有效性。

为演示铁氧体磁珠作为输出滤波器影响而采用的器件是一款 2 A/1.2 A DC-DC 开关调节器，具有独立的正输出和负

输出 (ADP5071)。文中所用的铁氧体磁珠主要采用芯片类型表贴封装。

铁氧体磁珠简化模型与仿真

铁氧体磁珠能够建模为一个由电阻、电感和电容组成的简化电路，如图 1a 所示。 R_{DC} 对应磁珠的直流电阻。 C_{PAR} 、 L_{BEAD} 和 R_{AC} 分别表示寄生电容、磁珠电感和与磁珠有关的交流电阻(交流磁芯损耗)。

铁氧体磁珠可依据三个响应区域分类：感性、阻性和容性。查看 ZRX 曲线便可确定这些区域(如图 1b 所示)，其中 Z 表示阻抗、R 表示电阻、X 表示磁珠的电抗。为了降低高频噪声，磁珠必须处于阻性区域内；电磁干扰(EMI)滤波应用尤其需注意这一点。该元件用作电阻，可阻止高频噪声并以热量的形式耗散。阻性区域出现在磁珠交越频率($X = R$)之后，直至磁珠变为容性的那一点为止。此容性点位置为容性电抗($-X$)绝对值等于 R 的频率处。

某些情况下，简化电路模型可用来近似计算铁氧体磁珠高达 sub-GHz 范围的阻抗特性。

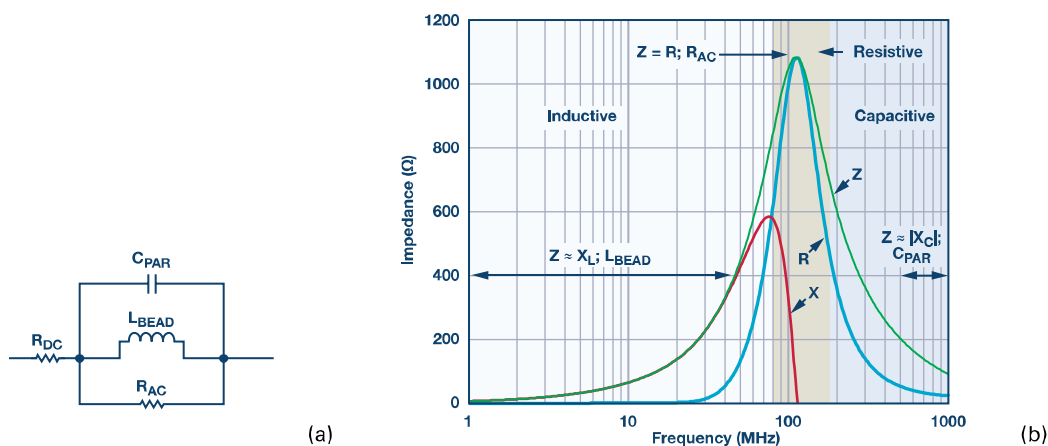


图 1. (a) 简化电路模型 (b) 采用 Tyco Electronics BMB2A1000LN2 测量的 ZRX 曲线。

本文以 Tyco Electronics BMB2A1000LN2 多层铁氧体磁珠为例。图 1b 显示了在零直流偏置电流条件下使用阻抗分析仪测得的 BMB2A1000LN2 ZRX 响应。

在测得的 ZRX 曲线上，磁珠表现出最大感性特性 ($Z \approx X_L$; L_{BEAD}) 的区域中，该磁珠的电感可根据下列公式计算：

$$L_{BEAD} = \frac{X_L}{2 \times \pi \times f} \quad (1)$$

其中：

f 是区域内磁珠表现为感性的任意频率点。本例中， $f = 30.7$ MHz。 X_L 是 30.7 MHz 时的电抗，数值为 233 Ω 。

由公式 1 得出的电感值 (L_{BEAD}) 等于 1.208 μ H。

在磁珠表现出最大容性特性 ($Z \approx |X_C|$; C_{PAR}) 的区域中，寄生电容可根据下列公式计算：

$$C_{PAR} = \frac{1}{2 \times \pi \times f \times |X_C|} \quad (2)$$

其中：

f 是区域内磁珠表现为容性的任意频率点。本例中， $f = 803$ MHz。 $|X_C|$ 是 803 MHz 时的电抗，数值为 118.1 Ω 。

由公式 2 得出的寄生电容值 (C_{PAR}) 等于 1.678 pF。

根据制造商的数据手册，直流电阻 (R_{DC}) 等于 300 m Ω 。交流电阻 (R_{AC}) 是磁珠表现为纯阻性时的峰值阻抗。从 Z 中减去 R_{DC} 即可得出 R_{AC} 。由于相比峰值阻抗， R_{DC} 极小，因而可以忽略。因此，本例中 R_{AC} 等于 1.082 k Ω 。使用 ADIsimPE 电路仿真工具（由 SIMetrix/SIMPLIS 供电）生成阻抗与频率响应的关系。图 2a 显示了电路仿真模型，并提供计算值；图 2b 显示了实际测量结果以及仿真结果。本例中，从电路仿真模型得出的阻抗曲线与测量曲线严格匹配。

在噪声滤波电路设计和分析中，采用铁氧体磁珠模型很有帮助。例如，当与去耦电容一同组成低通滤波器网络时，对电感进行近似计算对于决定谐振频率截止很有帮助。然而，本文中的电路模型是零直流偏置电流情况下的近似。此模型可能随直流偏置电流的变化而改变，而在其他情况下可能需要采用更复杂的模型。

直流偏置电流考虑因素

为电源应用选择正确的铁氧体磁珠不仅需要考虑滤波器带宽，还需考虑磁珠相对于直流偏置电流的阻抗特性。大部分情况下，制造商仅指定磁珠在 100 MHz 的阻抗并公布零直流偏置电流时的频率响应曲线数据手册。然而，将铁氧体磁珠用作电源滤波时，通过磁珠的负载电流始终不为零，并且随着直流偏置电流从零开始增长，这些参数也会随之迅速改变。

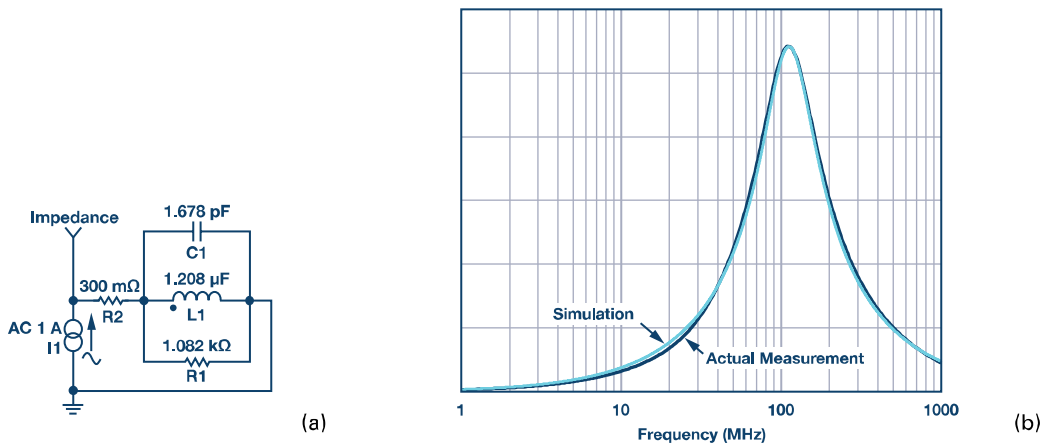
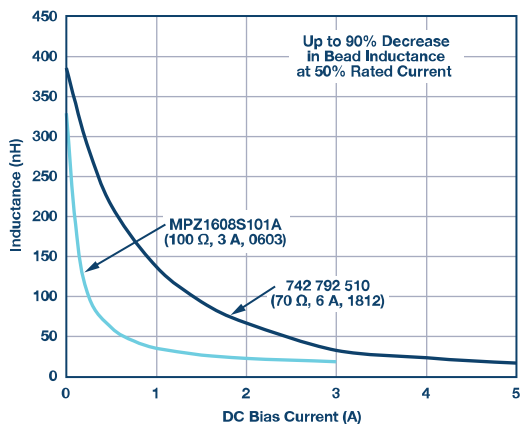
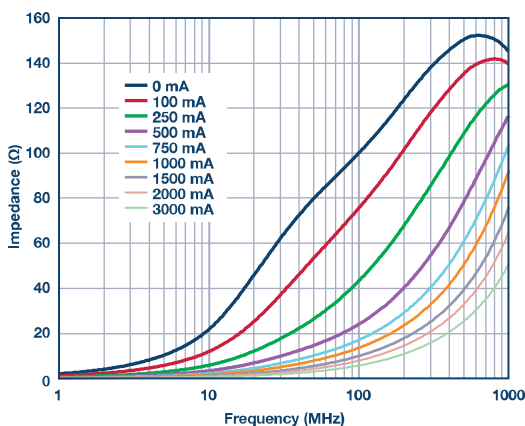


图 2. (a) 电路仿真模型 (b) 实际测量结果与仿真测量结果。

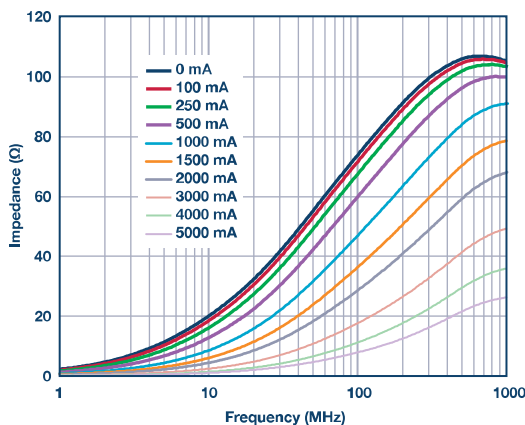
随着直流偏置电流的增加，磁芯材料开始饱和，导致铁氧体磁珠电感大幅下降。电感饱和程度根据组件磁芯所用的材料而有所不同。图 3a 显示了两个铁氧体磁珠的典型直流偏置依赖情况。额定电流为 50% 时，电感最多下降 90%。



(a)



(b)



(c)

图 3. (a) 直流偏置对磁珠电感的影响以及相对于直流偏置电流的曲线 (b) 采用 TDK MPZ1608S101A 磁珠 (c) 采用 Würth Elektronik 742 792 510 磁珠。

如需高效过滤电源噪声，则就设计原则来说，应在额定直流电流约 20% 处使用铁氧体磁珠。如这两个示例所示，在额定电流 20% 处，电感下降至约 30% (6 A 磁珠) 以及约 15% (3 A 磁珠)。铁氧体磁珠的电流额定值是器件在指定升温情况下可承受的最大电流值，并非供滤波使用的真实工作点。

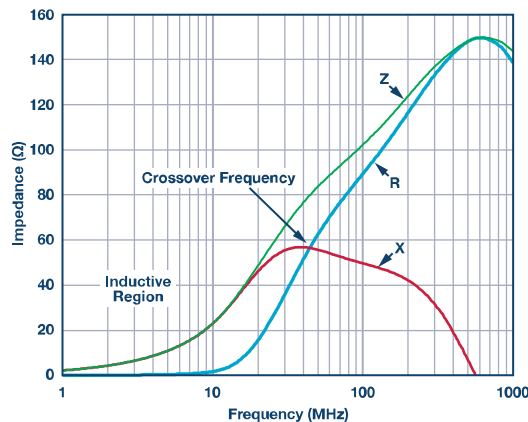
此外，直流偏置电流的效果可通过频率范围内阻抗值的减少而观察到，进而降低铁氧体磁珠的有效性和消除 EMI 的能力。图 3b 和图 3c 显示了铁氧体磁珠阻抗如何随直流偏置电流的变化而改变。只需施加额定电流的 50%，100 MHz 时的有效阻抗就会从 100 Ω 大幅下降至 10 Ω (TDK MPZ1608S101A, 100 Ω, 3 A, 0603)，以及从 70 Ω 下降至 15 Ω (Würth Elektronik 742 792 510, 70 Ω, 6 A, 1812)。

系统设计人员必须完全了解直流偏置电流对磁珠电感和有效阻抗的影响，因为这对于要求高电源电流的应用可能十分重要。

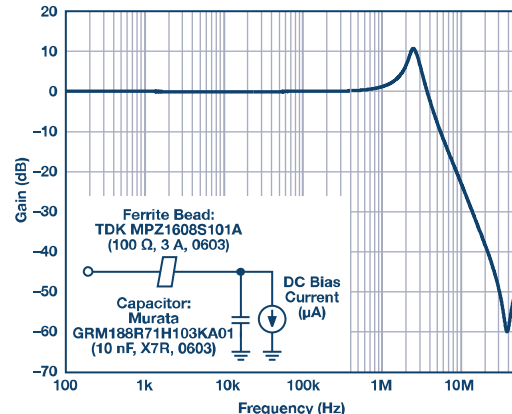
LC 谐振效应

当铁氧体磁珠与去耦电容一同应用时，可能产生谐振尖峰。这个经常被忽视的效应可能会损害性能，因为它可能会放大给定系统的纹波和噪声，而非衰减它们。很多情况下，此尖峰发生在 DC-DC 转换器的常用开关频率附近。

当低通滤波器网络（由铁氧体磁珠电感和高 Q 去耦电容组成）的谐振频率低于磁珠的交越频率时，发生尖峰。滤波结果为欠阻尼。图 4a 显示的是 TDK MPZ1608S101A 测量阻抗与频率的关系曲线。阻性元件（与干扰能量的耗散有关）在达到大约 20 MHz 到 30 MHz 范围之前影响不大。低于此频率则铁氧体磁珠依然具有极高的 Q 值，且用作理想电感。典型铁氧体磁珠滤波器的 LC 谐振频率一般位于 0.1 MHz 到 10 MHz 范围内。对于 300 kHz 到 5 MHz 范围内的典型开关频率，需要更多阻尼来降低滤波器 Q 值。



(a)



(b)

图 4. (a) A TDK MPZ1608S101A ZRX 曲线 (b) 铁氧体磁珠和电容低通滤波器的 S21 响应。

图4b显示了此效应的一个示例；图中，磁珠的S21频率响应和电容低通滤波器显示了峰值效应。此例中使用的铁氧体磁珠是TDK MPZ1608S101A (100 Ω, 3 A, 0603)，使用的去耦电容是Murata GRM188R71H103KA01低ESR陶瓷电容 (10 nF, X7R, 0603)。负载电流为微安级别。

无阻尼铁氧体磁珠滤波器可能表现出从约 10 dB 到约 15 dB 的尖峰，具体取决于滤波器电路 Q 值。图 4b 中，尖峰出现在 2.5 MHz 左右，增益高达 10 dB。

此外，信号增益在 1 MHz 到 3.5 MHz 范围内可见。如果该尖峰出现在开关稳压器的的工作频段内，那么可能会有问题。它会放大干扰开关伪像，严重影响敏感负载的性能，比如锁相环 (PLL)、压控振荡器 (VCO) 和高分辨率模数转换器 (ADC)。图 4b 中显示的结果为采用极轻负载 (微安级别)，但对于只需要数微安到 1 mA 负载电流的电路部分或者在某些工作模式下关闭以节省功耗的部分而言，这是一个实用的应用。这个潜在的尖峰在系统中产生了额外的噪声，可能会导致不良串扰。

例如，图 5 显示了一个 ADP5071 应用电路，该电路采用了磁珠滤波器；图 6 显示了正输出端的频谱曲线。开关频率设为 2.4 MHz，输入电压设为 9 V，输出电压设为 16 V，负载电流设为 5 mA。

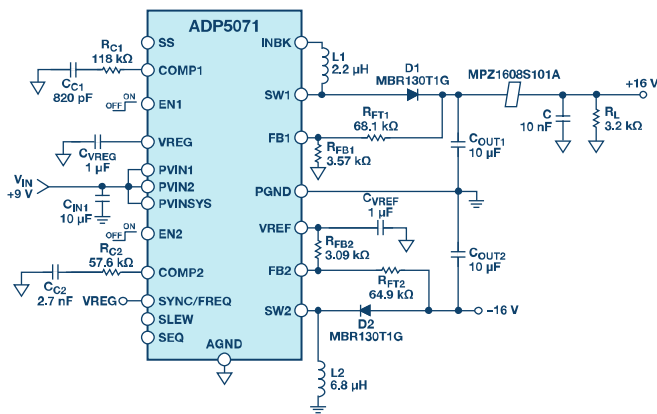


图 5. ADP5071 应用电路 (带磁珠和电容低通滤波器，部署在正输出端)。

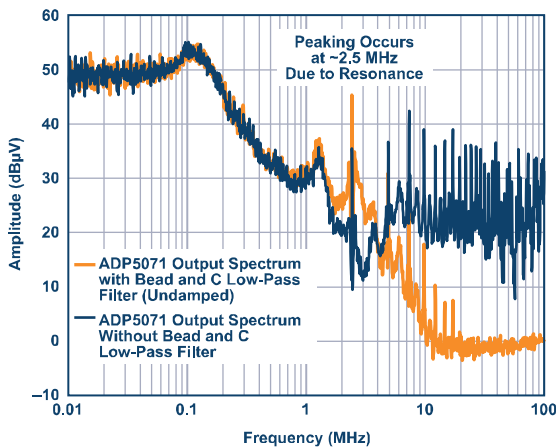


图 6. ADP5071 频谱输出 (5 mA 负载)。

由于磁珠的电感和 10 nF 陶瓷电容，谐振尖峰出现在约 2.5 MHz 处。出现了 10 dB 增益，而非衰减 2.4 MHz 处的基频纹波频率。

影响谐振尖峰的其他因素是铁氧体磁珠滤波器的串联阻抗和负载阻抗。在较电源内阻下，尖峰大幅下降，并被阻尼所减弱。然而，采用这种方法会导致负载调节下降，从而失去实用性。由于串联电阻下降，输出电压随负载电流而下降。负载阻抗还会影响峰值响应。轻载条件下的尖峰更严重。

阻尼方法

本节介绍三种阻尼方法，系统工程师可用来大幅降低谐振尖峰电平 (见图 7)。

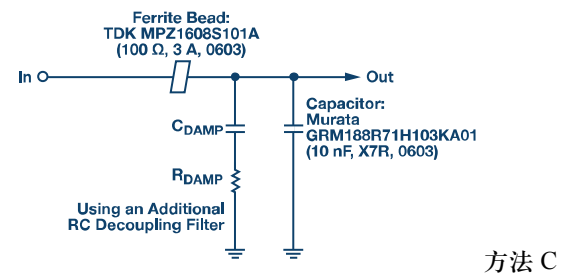
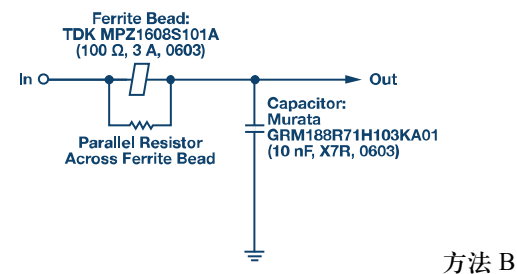
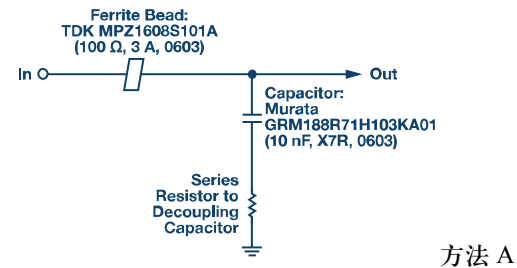
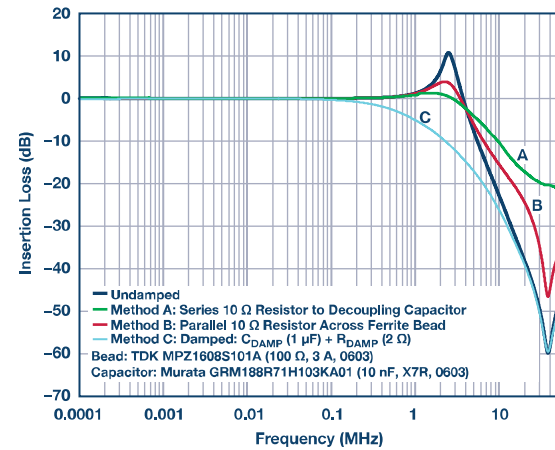


图 7. 不同阻尼方法的实际频率响应。

方法 A 是在去耦电容路径上添加一个串联电阻，可抑制系统谐振，但会降低高频旁路有效性。方法 B 是在铁氧体磁珠两端添加一个小数值并联电阻，这样也会抑制系统谐振。但是，在高频时滤波器的衰减特性会下降。图 8 显示了 MPZ1608S101A 使用和不使用 10 Ω 并联电阻的情况下阻抗与频率的关系曲线。浅绿色虚线表示磁珠采用 10 Ω 并联电阻的总阻抗。磁珠阻抗和电阻组合大幅下降，并主要由 10 Ω 电阻决定。但是，采用 10 Ω 并联电阻时的 3.8 MHz 交越频率远低于磁珠自身在 40.3 MHz 时的交越频率。在低得多的频率范围内磁珠表现出阻性，可降低 Q 值，改善阻尼性能。

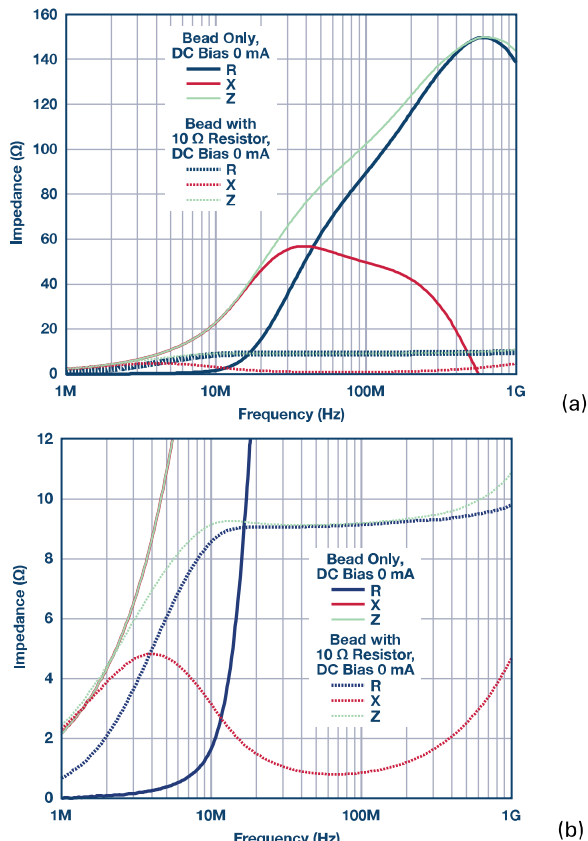


图 8. (a) MPZ1608S101A ZRX 曲线 (b) MPZ1608S101A ZRX 曲线，缩放视图。

方法 C 是添加大电容 (C_{DAMP}) 与串联阻尼电阻 (R_{DAMP}) 的组合，通常这种方法最佳。

添加电容和电阻可抑制系统谐振，同时不会降低高频时的旁路有效性。采用此种方法可以避免大隔直电容导致电阻功耗过大。该电容必须远大于所有去耦电容之和，这降低了所需的阻尼电阻值。在谐振频率处，电容阻抗必须远小于阻尼电阻，以便减少尖峰。

图 9 显示了 ADP5071 正输出频谱曲线，其应用电路采用阻尼方法 C，如图 5 所示。 C_{DAMP} 和 R_{DAMP} 分别是 1 μF 陶瓷电容和 2 Ω SMD 电阻。2.4 MHz 时的基频纹波降低 5 dB 增益，而非图 9 中显示的 10 dB 增益。

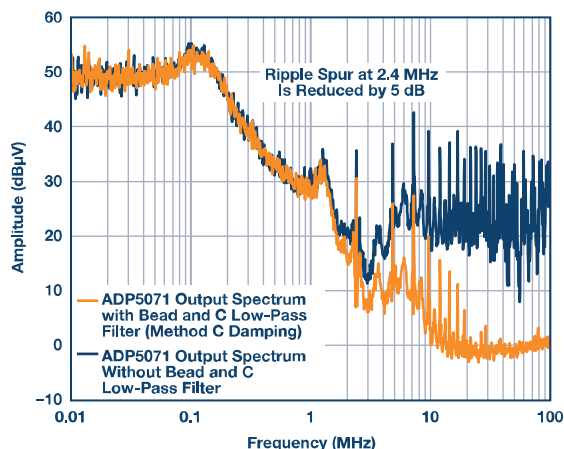


图 9. 采用阻尼方法 C 时的 ADP5071 频谱输出以及磁珠和电容低通滤波器。

一般而言，方法 C 最为优雅，通过添加一个电阻和陶瓷电容的串联组合实现，无需购买昂贵的专用阻尼电容。比较可靠的设计始终包含电阻，可在原型制作时方便调试，如果不需要还可移除。唯一缺点是额外的元件成本和更多的电路板占位空间。

结论

本文讨论了使用铁氧体磁珠时必须考虑的关键因素。本文还详细介绍了一个简单的电路模型，表示磁珠。仿真结果在零直流偏置电流处表现出良好的实际测量阻抗与频率响应的相关性。

本文还讨论了直流偏置电流对铁氧体磁珠特性的影响。结果表明超过额定电流 20% 的直流偏置电流可能会导致磁珠电感的大幅下降。这样的电流还会降低磁珠的有效阻抗，削弱 EMI 滤波能力。在供电轨上以直流偏置电流方式使用铁氧体磁珠时，应确保电流不会导致铁氧体材料饱和以及产生电感的大幅变化。

由于铁氧体磁珠是感性的，将其与高 Q 值去耦电容一同使用时应当非常谨慎。如果不谨慎，会在电路中产生干扰谐振，弊大于利。本文中提出的阻尼方法在负载上采用大去耦电容与阻尼电阻的串联组合，从而避免了干扰谐振。正确使用铁氧体磁珠可以高效而廉价地降低高频噪声和开关瞬变。

参考文献

AN-583 应用笔记：[为 Altera FPGA 设计铁氧体磁珠功率隔离滤波器](#)。Altera Corporation。

[数字 IC 的电源噪声抑制和去耦应用手册](#)。Murata Manufacturing Co., Ltd。

Burket, Chris。“[铁氧体磁珠生来不同——了解铁氧体磁珠材料特性的重要性](#)”。TDK Corporation。

Eco, Jefferson 和 Aldrick Limjoco。AN-1368 应用笔记：[铁氧体磁珠揭秘](#)。ADI 公司。

Fancher, David B。“[ILB、ILBB 铁氧体磁珠：电磁干扰和电磁兼容性 \(EMI/EMC\)](#)”。Vishay Dale。

Hill, Lee 和 Rick Meadors。“[Steward EMI 抑制](#)”。Steward。

Kundert, Ken。“[电源噪声抑制](#)”。Designer's Guide Consulting, Inc。

Weir, Steve。“[铁氧体磁珠的 PDN 应用](#)”。IPBLOX, LLC。

致谢

作者感谢 Jeff Weaver、Donal O'Sullivan、Luca Vassalli 和 Pat Meehan (爱尔兰利默里克大学) 分享他们的技术知识和建议。

Jefferson A. Eco [jefferson.eco@analog.com] 于 2011 年加入 ADI 菲律宾公司，目前担任应用开发工程师一职。他毕业于菲律宾纳加市卡马里内斯苏尔职业技术学院，获得电子工程学士学位。



Jefferson A. Eco

Aldrick S. Limjoco [aldrick.limjoco@analog.com] 于 2006 年 8 月加入 ADI 菲律宾公司，目前担任应用开发工程师一职。他毕业于菲律宾马尼拉德拉萨大学，获得电子工程学士学位。Aldrick 目前拥有一项有关开关调节器纹波过滤的美国专利。



Aldrick S. Limjoco

该作者的其它文章：
[了解开关调节器的输出，加快电源设计](#)
第 48 卷第 3 期

为 GSPS 或 RF 采样 ADC 供电：开关与 LDO

作者：Umesh Jayamohan

共享    

简介

模数转换器 (ADC) 在任何依赖外部 (模拟) 世界收集信息进行 (数字) 处理的系统中都是不可或缺的组成部分。从通信接收机到数字测试和测量再到军事和航空航天—此处仅举数例—这些系统在不同的应用中各有不同。硅片处理技术的发展 (比如 65 nm CMOS 和 28 nm CMOS) 使高速 ADC 得以跨越 GSPS (每秒千兆) 门槛。对于系统设计人员来说, 这意味着能用于数字处理的采样带宽越来越宽。出于环境和成本方面的考虑, 系统设计人员不断尝试降低总功耗。一般而言, ADC 制造商建议采用低噪声 LDO (低压差) 稳压器为 GSPS (或 RF 采样) ADC 供电, 以便达到最高性能。然而, 这种方式的输电网络 (PDN) 效率不高。设计人员对于使用开关稳压器直接为 GSPS ADC 供电且不会大幅降低 ADC 性能的方法呼声渐高。

解决方案是谨慎地进行 PDN 部署和布局布线, 确保 ADC 性能不受影响。本文讨论了线性 and 开关电源的不同之处, 并表明 GSPS ADC 与 DC-DC 转换器搭配使用可大幅改善系统能效, 且不会影响 ADC 性能。本文通过输电网络组合探讨 GSPS ADC 性能, 并对成本和性能进行了对比分析。

通常建议 GSPS ADC 使用的 PDN

高带宽、高采样速率 ADC (或 GSPS ADC) 可以具有多个电源域 (比如 AVDD 或 DVDD)。随着尺寸的缩小, 不仅电源

域的数量增加, 为 ADC 供电所需的不同电压数量也有所增加。例如, AD9250¹ 是一款 14 位、170 MSPS/250 MSPS、JESD204B 双通道模数转换器, 采用 180 nm CMOS 工艺制造, 具有 3 个域: AVDD、DVDD 和 DRVDD。然而, 所有 3 个域都具有相同的电压: 1.8 V。

现在, 来看一下 AD9680²: 一款 14 位、1.25 GSPS/1 GSPS/820 MSPS/500 MSPS JESD204B 双通道模数转换器, 采用 65 nm CMOS 工艺制造。这款 GSPS ADC 具有 7 个不同的域 (AVDD1、AVDD1_SR、AVDD2、AVDD3、DVDD、DRVDD 和 SPIVDD), 以及 3 个不同的电压: 1.25 V、2.5 V 和 3.3 V。

ADP2384³ 和 ADP2164⁴ DC-DC 转换器用于使电压下降到可控水平, 以便 LDO 能够在不进入热关断的情况下进行稳压操作。这些电源域和各种电压的日益普及是在这些采样速率下工作所必需的。它们可以确保各种电路域 (比如采样、时钟、数字和串行器) 之间具有正确的隔离, 同时使性能最优。正是因为这个原因, ADC 制造商才设计了评估板, 并推荐详细的电源设计方案, 确保最大程度降低风险, 使性能最大化。例如, 图 1 显示了 AD9680 评估板使用的默认 PDN 的功能框图。根据 Vita57.1 规格, 电源输入来自 FMC (FPGA 夹层卡) 连接器的 12 V/1 A 和 3.3 V/3 A 电源。

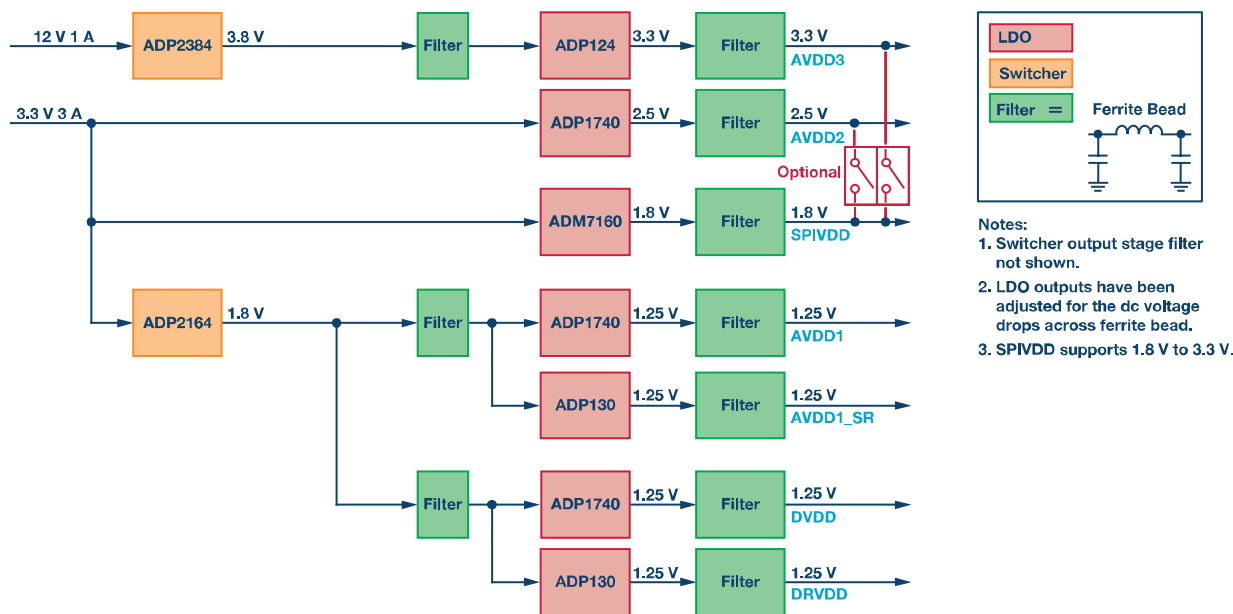


图 1. 用于 AD9680 评估板的默认 PDN。

显而易见，这是一种昂贵的解决方案，有 7 个 LDO 稳压器，每个域一个。这款 PDN 也许是性能最优的，但肯定不是最具性价比或运行成本效率最高的。系统设计人员认为部署含有多个 ADC 的系统非常有难度。例如，相控阵雷达方案包含成百个 AD9680，全都以同步方式工作。要求系统设计人员为上百个 ADC 的每一个电压域都分配一个 LDO 稳压器是不合理的。

用于 GPS ADC 的更简单的 PDN

一种更具性价比的 PDN 设计方案是将具有同样电压值（比如所有的 1.25 V 模拟域）的域组合起来，然后用同一个 LDO 来驱动。这样可以减少元件数（以及物料清单—BOM—成

本），这可能适合某些设计。其简化 PDN 如图 2 所示；该图为 AD9680 评估板的部署。在该部署中，整个 AD9680 都可以使用 3.3 V 输入供电。

驱动 AD9680 的 DC-DC 转换器

通过移除为 1.25 V 域供电的单个 LDO，还可进一步简化 PDN。这是最高效、最具性价比的解决方案。这种方案的困难之处在于确保 DC-DC 转换器的操作稳定性，从而不影响 ADC 性能。ADP2164 驱动 AD9680 所有 1.25 V 域（AVDD1、AVDD1_SR、DVDD 和 DRVDD）的 PDN 如图 3 所示。

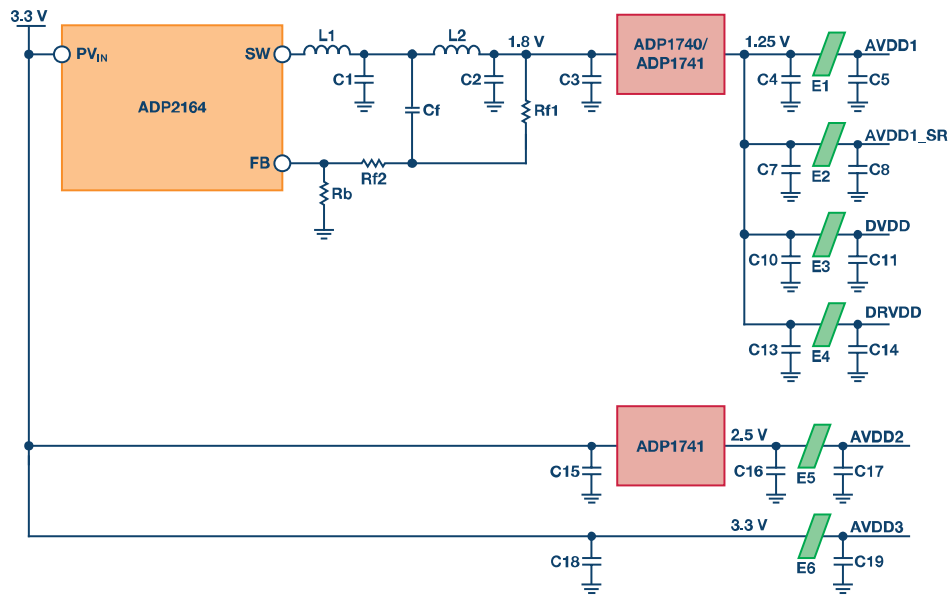


图2. AD9680 评估板的简化 PDN。

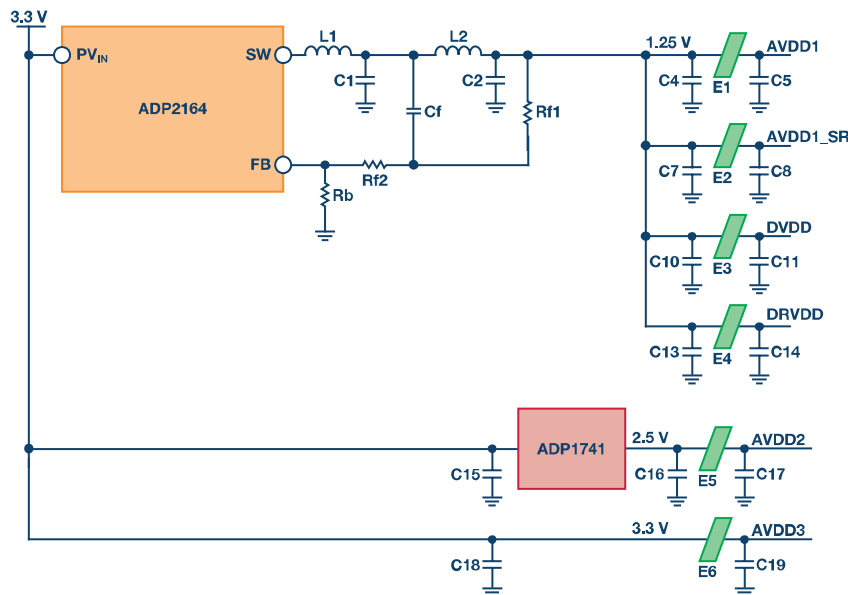


图3. 使用 DC-DC 转换器为 AD9680 供电。

比较不同的 PDN

对上文讨论的 3 个 PDN 以及第 4 个网络进行测试；第 4 个网络采用基准电源为 AD9680 评估板供电。表 1 列出了 AD9680 评估板上部署的各种输电网络。

表 1. 输电网络列表

PDN 设置	描述
基准	使用基准电源为 AD9680 供电
PDN #1	评估板上的默认 PDN (如图 1 所示)
PDN #2	所有 1.25 V 域采用同一个 LDO 驱动 (如图 2 所示)
PDN #3	所有 1.25 V 域采用一个 DC-DC 转换器驱动 (如图 3 所示)

由于 SPIVDD 可以支持 1.8 V 至 3.3 V 且被认为属于非关键节点，因此它采用 1.8 V LDO 输出供电。在一般系统部署中，SPIVDD 可连接 2.5 V 或 3.3 V 域。也就是说，在那些 SPI 总线由很多 ADC 与 DAC 共享的系统中，仍旧应当监控 SPIVDD 连接。如有这种情况，那么必须非常仔细，确保正常的 SPI 操作不会导致 SPIVDD 域产生电源瞬变。如果 SPIVDD 变得低于阈值电平，那么这些电源瞬变可能会触发上电复位 (POR) 的情况。

表 2. SNR 性能对比 (dBFS)

频率 (MHz)	基准	默认值 (PDN #1)	简化 (PDN #2)	开关 (PDN #3)
63	66.5	66.5	66.6	66.7
170	66.4	66.1	65.9	66.2
340	64.8	64.5	64.5	64.7
450	64.0	63.7	63.6	63.8
765	62.5	62.2	62.2	62.3
985	61.3	61.0	61.0	61.1
1283	59.8	59.5	59.5	59.5
1725	57.7	57.4	57.4	57.5
1983	56.7	56.4	56.5	56.6

表 3. SFDR 性能对比 (dBFS)

频率 (MHz)	基准	默认值 (PDN #1)	简化 (PDN #2)	开关 (PDN #3)
63	83	82	88	83
170	86	85	85	84
340	77	76	76	76
450	72	72	71	71
765	77	76	76	82
985	77	76	76	83
1283	74	74	74	75
1725	67	67	68	67
1983	60	60	60	60

表 2 和表 3 分别显示了 AD9680 使用各种 PDN 的 SNR 和 SFDR 性能。根据 AD9680 数据手册提供各种奈奎斯特区的前端网络和寄存器建议设置。²

仅使用 DC-DC 转换器为 AD9680 的 1.25 V 域供电的 PDN (PDN #3) 在各种输入频率下显示出了良好的性能。这证明了可以组合域，并在不损失大量 ADC 性能的情况下以高效率、高性价比的方式为它们供电。采用基准源的 PDN 具有最佳的噪声性能，因为它是噪声最低的电源。然而，值得注意的是 PDN #3 始终比默认网络 (PDN #1) 具有更好的 SNR 性能。这可能是由于 LDO 具有良好的低频清除特性，但对于电路中存在高于几百 kHz 的情况却无能为力。这可以解释 PDN #3 的 0.2 dB 优势。

快速傅立叶变换图

图 4 和图 5 分别显示了 170 MHz 和 785 MHz 输入时的单音 FFT。FFT 未显示出频谱性能的下降，因为 1.25 V 域由单个 DC-DC 转换器供电。

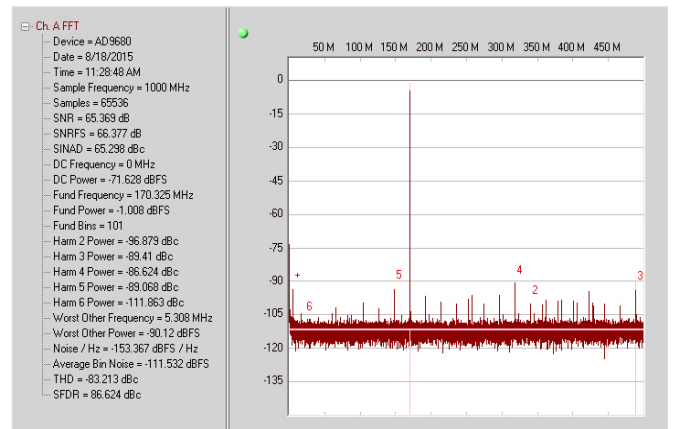


图 4. 170 MHz 输入时的单音 FFT，使用 PDN #3。

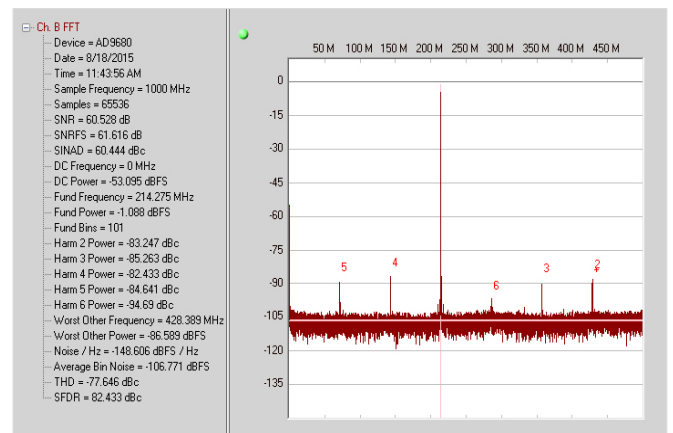


图 5. 785 MHz 输入时的单音 FFT，使用 PDN #3。

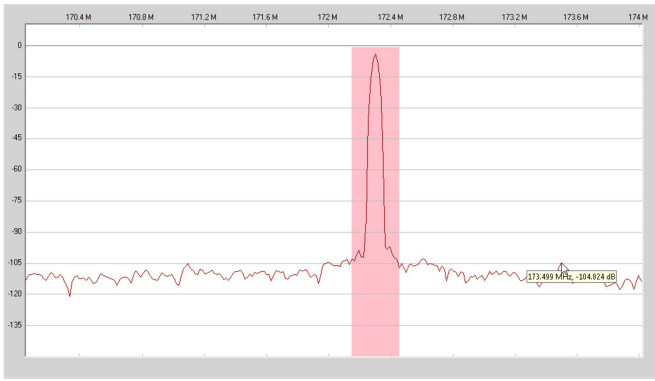


图6. 170 MHz 输入时的 1.2 MHz 边带开关杂散。
杂散水平 = -105 dBFS。

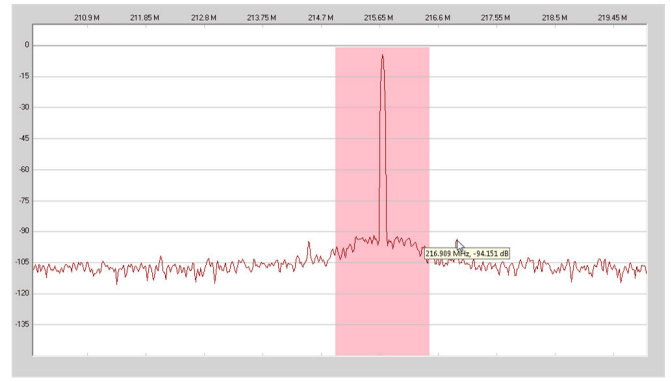


图7. 785 MHz 输入时的 1.2 MHz 边带开关杂散。
杂散水平 = -94 dBFS。

开关杂散

除了噪声性能，由于采用了开关元件和磁性元件，因此还应当检查 DC-DC 转换器部署的杂散成分。此时，采用谨慎仔细的布局技术以降低接地环路和接地反弹将会是有帮助的。有很多资源可以协助测量开关电源噪声^{5,6}。边带杂散出现在开关频率失调的两侧（本例中为 1.2 MHz）。必须说明的是，图 2 或图 3 中的输出滤波器级是一个两级滤波器。这个两级滤波器是降低开关噪声（纹波）的主要贡献因素，有助于改善 ADC 噪声（SNR）性能。同样的道理，这个两级滤波器还可协助降低开关杂散，并在输出 FFT 中体现出来。在图 6 和图 7 中，它们分别表现为 170 MHz 和 785 MHz。

通过了解 PSRR（电源抑制比）或 ADC 的电源域，可估算边带杂散水平。⁷

DC-DC 转换器开关电路仿真

使用诸如 ADIsimPE 等工具，可以仿真 DC-DC 转换器输出端的两级滤波器。⁸ 图 8 显示了 ADIsimPE 原理图，用来仿真 PDN

的输出噪声和稳定性特征。ADIsimPE 是一款使用方便、功能强大的工具，可帮助系统工程师设计、优化和分析电源网络。

图 9 显示了第一级输出端的输出纹波以及电路第二级之后的滤波输出，采用 ADIsimPE 仿真。此处显示的纹波约为 3 mV p-p。

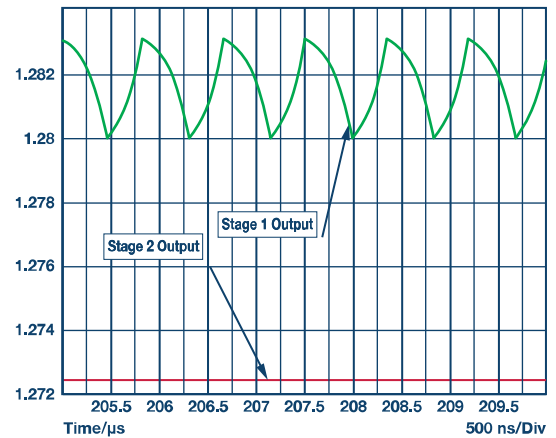


图9. ADIsimPE 仿真的一级和二级输出。

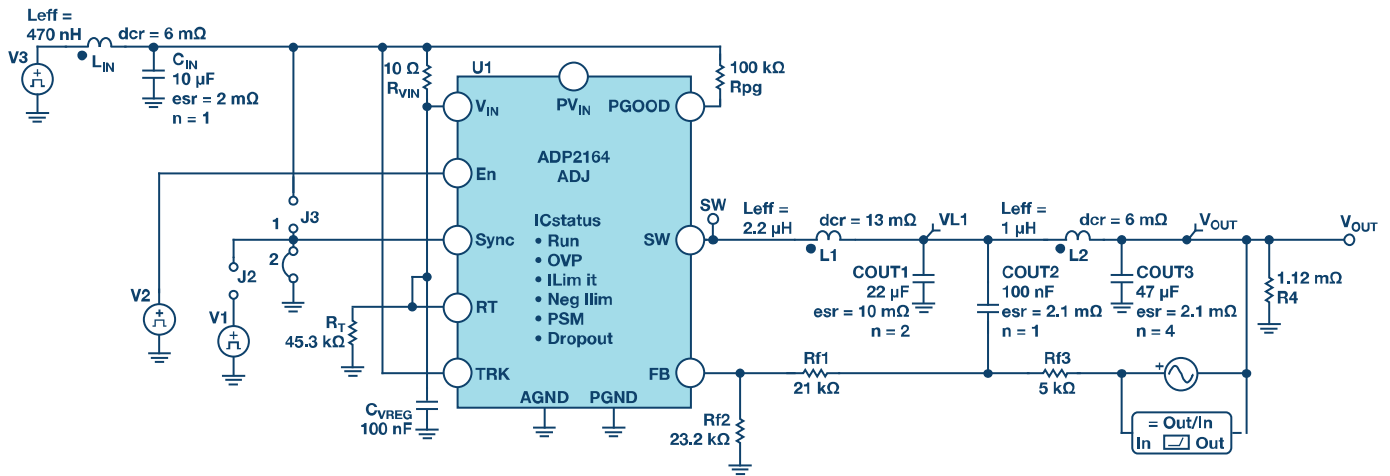


图8. ADP2164 驱动 1.25 V 域的 ADIsimPE 原理图。

表 4. 图 2 中的 PDN 物料清单

索引标识符	数量	描述	制造商	部件编号	价值
C1	1	22 μ F, 6.3 V, X5R 0805 电容	Murata	GRM21BR60J226ME39L	22 μ F
C2	4	22 μ F, 6.3 V, X5R 0805 电容	Murata	GRM21BR60J226ME39L	22 μ F
Cf	1	0.1 μ F, 10 V, X5R 0402 电容	Murata	GRM155R61A104KA01D	0.1 μ F
C3、C4、C5、C6、C7、C8、C9、C10、C11、C12、C13、C14、C15、C16、C17、C18、C19	17	4.7 μ F, 6.3 V, X5R 0402 电容	Murata	GRM155R60J475ME47D	4.7 μ F
E1、E2、E3、E4、E5、E6	6	铁质片 10 Ω 0402	Murata	BLM15AX100SN1D	10 Ω
L1	1	1.0 μ H 屏蔽电源电感, 10 m Ω	Coilcraft	XAL5030-102ME	1.0 μ H
L2	1	2.2 μ H 屏蔽电源电感, 0.1 Ω	Coilcraft	ME3220-222ML	2.2 μ H
Rf1	1	4.99 k Ω , 1% 1, W/10 W 0402 电阻	Panasonic	ERJ-2RKF4991X	4.99 k Ω
Rf2	1	41.2 k Ω , 1% 1, W/10 W 0402 电阻	Panasonic	ERJ-2RKF4122X	41.2 k Ω
Rb	1	23.2 k Ω , 1% 1, W/10 W 0402 电阻	Panasonic	ERJ-2RKF2322X	23.2 k Ω
ADP2164	1	IC、REG、降压 ADJ、4 A、同步、16 引脚 LFCSP	Analog Devices	ADP2164ACPZ-R7	
ADP1741	3	IC、REG、LDO、ADJ、2 A、16 引脚 LFCSP	Analog Devices	ADP1741ACPZ-R7	
ADP171	2	IC、REG、LDO、ADJ、0.3 A、5 引脚 TSOT-23	Analog Devices	ADP171AUJZ-R7	

物料清单

表 4 显示了 AD9680 评估板使用的简化 PDN (如图 2 所示) 物料清单。通过使用图 3 中的网络,系统设计人员可节省高达 40% 到 45% 的 BOM 成本。BOM 成本是在一个使用广泛的电子元件供应商网站上通过计算千片订量价格估算的。

元件选型和布局

采用各种 PDN 供电时的 ADC 性能不仅取决于精心设计,还取决于元件选型以及它们在 PCB 上的布局。在开关电源内产生的大电流跳变通常会导致强磁场,它可以耦合到板上其它电磁元件上,包括匹配网络中发现的电感以及用于耦合模拟和时钟信号的变压器等。必须采用精心规划的电路板布局手段来防止这些磁场耦合到关键信号上。

电感选择

由于组成输出滤波器级的电感和电容输电量较大,因此需仔细进行选型。本例中,混合使用了屏蔽和非屏蔽电感。第一个滤波器级使用了一个屏蔽电感。本例中,第二级可以使用非屏蔽电感。然而,建议两级均使用屏蔽电感,最大程度降低 EMI 辐射。电感同样选用具有充足饱和电流 (ISAT) 和直流电阻 (DCR) 裕量的器件,确保它们不会饱和,或本身产生过多压降。

电容选择

建议使用 X5R 或 X7R 电容作为输出滤波器电容。电容还必须具有低 ESR (等效串联电阻)。低 ESR 有助于降低输出端的

开关纹波。最大程度降低总 ESR 和 ESI (等效串联电感) 的另一个诀窍是将电容并联连接。如图 3 和表 4 所示,第一个滤波器级使用 2 个 22 μ F 电容,而第二个滤波器级使用 4 个 22 μ F 电容。电容的电压额定值同样也是器件选型的重要依据。这是因为陶瓷电容的电介质随直流偏置的增加而下降。这意味着额定值为 6.3 V 的 22 μ F 电容在 4 V 直流偏置下最多可能下降 50%。^{9,10} 本例中,额定值为 6.3 V 的电容用于 1.25 V 电源。在输出端加入更多电容确实会略为增加 BOM 成本和电路板占位面积,但这样做可以保证抑制可能会影响 ADC 性能的开关噪声和纹波。

铁氧体磁珠选型

如图 3 所示,铁氧体磁珠用于隔离各种域。铁氧体磁珠的选择同样非常重要,因为如果铁氧体磁珠的 DCR (直流电阻) 高于所需水平,则会导致域的电压无法达到最优。这种低电压会致使 ADC 性能 (SNR 和 SFDR) 达不到最优。对于阻抗特性、最大直流搭载能力以及铁氧体磁珠的 DCR 应高度重视。¹¹

PCB 布局考虑

为了最大程度减少开关稳压器和 ADC 之间的干扰,DC-DC 转换器及其开关元件应放置在远离任何磁性元件对 ADC 造成干扰的地方 (比如前段匹配网络或时钟网络)。进行 DC-DC 转换器布局设计时,两级滤波器应当尽量靠近 DC-DC 转换器,以便最大程度降低环路电流。

致谢

Justin Correll 为测量和数据收集作出了贡献，在此表示衷心感谢。

结论

RF 采样（或 GSPS）ADC 可对宽带宽进行数字化处理，在系统设计方面具有独特的优势。针对这些 GSPS ADC，业界正在力求降低电源设计的复杂度、尺寸和成本。若足够重视设计、元件选型和 PCN 布局，则能够为 GSPS ADC 供电的低噪声、高性价比 PDN 是有可能实现的。因此，经过部署后，开关稳压器还有助于改善电源系统的效率，并节省运作成本和 BOM，同时不会影响性能。

参考文献

¹ [AD9250](#). Analog Devices.

² [AD9680](#). Analog Devices.

³ [ADP2384](#). Analog Devices.

⁴ [ADP2164](#). Analog Devices.

⁵ Akdrick Limjoco. “[了解开关调节器的输出，加快电源设计](#)”。*模拟对话*，第 48 卷第 3 期。

⁶ “[Ericsson 电源模块的输出纹波和噪声测量方法](#)”。Ericsson。

⁷ Rob Reeder. “[高速 ADC 的电源设计](#)”。ADI 公司。

⁸ [ADIsimPE](#). ADI 公司。

⁹ [GRM21BR60J226ME39L](#). Murata。

¹⁰ Istvan Novak、Kendrick Barry Williams、Jason R. Miller、Gustavo Blando 和 Nathaniel Shannon. “[电容的直流和交流偏置依赖性](#)”。DesignCon 2011。

¹¹ Jefferson Eco 和 Akdrick Limjoco. AN-1368 应用笔记：[铁氧体磁珠揭秘](#)。ADI 公司。

Umesh Jayamohan [umesh.jayamohan@analog.com] 是 ADI 公司高速转换器部门（位于北卡罗来纳州格林斯博罗）的应用工程师，于 2010 年加入 ADI 公司。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位，于 2002 年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其它文章：
[射频采样 ADC 输入保护：这不是魔法](#)
第 49 卷第 4 期

有源滤波器相位响应

第3部分：带通响应

作者：Hank Zumbahlen

共享   

简介

在本系列的第一篇文章中¹，我考察了滤波器相位与滤波器实现拓扑结构的关系。在第二篇文章中²，我考察了低通和高通响应滤波器传递函数的相位偏移。这篇文章将重点讨论带通响应。虽然滤波器主要针对幅度响应而设计，但在一些应用中，相位响应可能非常重要。

出于考察目的，有源滤波器的传递函数实际上是滤波器传递函数和放大器传递函数的级联（见图1）。

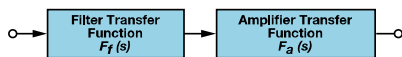


图1. 滤波器作为两个传递函数的级联。

带通传递函数

把低通原型的分子改为 $H_0 \frac{\omega_0}{Q}$ ，结果将把滤波器变成一个带通函数。这会在传递函数内引入一个零点。分子中的一个s得到一个零点，分母中的一个s得到极点。零点将产生频率上升响应，而极点将产生频率下降响应。

二阶带通滤波器的传递函数变为：

$$H(s) = \frac{H_0 \frac{\omega_0}{Q} s}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (1)$$

此处的 ω_0 为滤波器增益峰值化时的频率 ($F_0 = 2 \pi \omega_0$)。

H_0 为电路增益 (Q峰值化)，定义为：

$$H_0 = H/Q \quad (2)$$

其中，H为滤波器实现的增益。

对带通响应来说，Q有特殊意义。它是滤波器的选择性。定义为：

$$Q = \frac{F_0}{F_H - F_L} \quad (3)$$

其中， F_L 和 F_H 为响应比最大值相差-3 dB时的频率。

滤波器的带宽 (BW) 定义为：

$$BW = F_H - F_L \quad (4)$$

可以证明，谐振频率 (F_0) 为 F_L 和 F_H 的几何平均值，这就意味着， F_0 在对数尺度上将出现在 F_L 和 F_H 二者的中点。

$$F_0 = \sqrt{F_H F_L} \quad (5)$$

另需注意的是，在对数尺度上，带通响应的波裙在 F_0 左右始终是对称的。

带通滤波器对各种Q值的幅度响应如图2所示。在此图中，中心频率的增益归一化为1 (0 dB)。

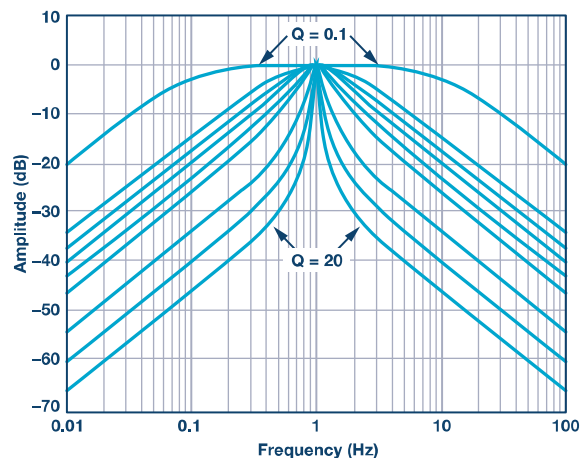


图2. 归一化的带通滤波器幅度响应

虽然本文主要关注相位响应，但了解下滤波器幅度响应也很有用。

这里需要提醒一下。带通滤波器有两种定义方式。窄带情况为经典定义，如上文所示。然而，在某些情况下，如果高、低截止频率相差很大，则带通滤波器采用独立的高通和低通部分进行构造。这里所说的相差很大是说至少相差2个倍频程（频率×4）。这就是宽带情况。本文中，我们主要关注窄带情况。对于宽带情况，可将滤波器视为独立的高通和低通部分。

虽然带通滤波器可用巴特沃兹、贝塞尔或切比雪夫等标准响应定义，但它们也通常按照其Q和 F_0 定义。

带通滤波器的相位响应为：

$$\phi(\omega) = \frac{\pi}{2} - \arctan\left(\frac{2Q\omega}{\omega_0} + \sqrt{4Q^2 - 1}\right) - \arctan\left(\frac{2Q\omega}{\omega_0} - \sqrt{4Q^2 - 1}\right) \quad (6)$$

请注意，不存在单极点带通滤波器。

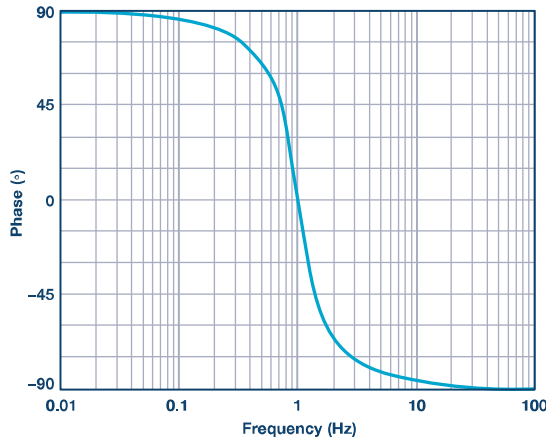


图3. 归一化的带通滤波器相位响应

图3从中心频率的1%到中心频率的100倍对公式6进行估值。中心频率的相移为0°。中心频率为1，Q等于0.707。此Q与前一篇文章中使用的Q相同，但该篇文章中我们使用的是 α 。记住， $\alpha = 1/Q$ 。

观察后发现，此曲线的形状基本上与低通（和相应的高通）的曲线形状相同。但是，本例中相移从中心频率下方90°开始，在中心频率处趋于0°，最后结束于中心频率上方-90°。

在图4中，我们考察了在Q不断变化时带通滤波器的相位响应。观察传递函数可以发现，相位变化可能发生在相对较大的频率范围内，变化的范围与电路的Q成反比。同样，在观察后发现，曲线的形状与低通（和高通）响应相同，仅范围有差异。

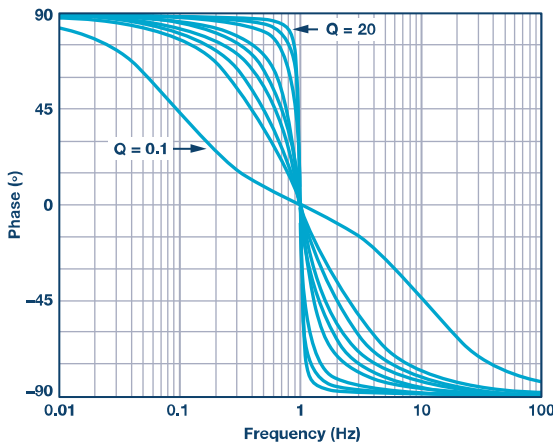


图4. Q不断变化时归一化的带通滤波器相位响应

放大器传递函数

之前的部分显示，传递函数基本上就是单极点滤波器的传递函数。虽然放大器的相移通常被忽视，但它可影响复合滤波器的整体传递。本文随机选择了AD822用于滤波器的仿真。这样选择的部分原因是为了最大程度地降低对滤波器传递函数的影响。这是因为，放大器相移的频率明显高于滤波器本身的转折频率。AD822的传递函数如图5所示，其信息直接取自数据手册。

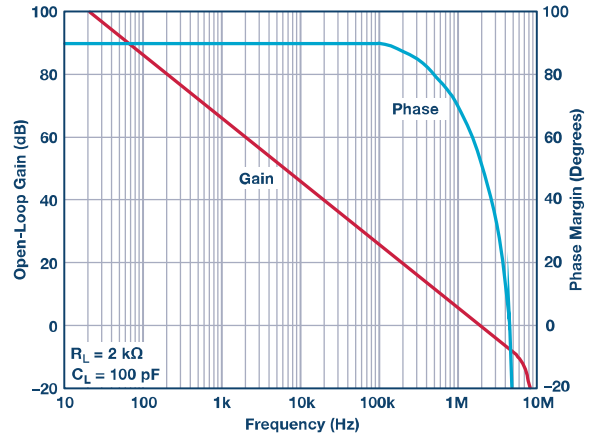


图5. AD822波特图增益和相位。

示例 1：Q = 20 的 1 kHz 2 极点带通滤波器

第一个示例开始时是作为带通设计的滤波器。我们随意选择了一个 1 kHz 的中心频率和数值为 20 的 Q。由于 Q 在较高的一侧，因此我们将使用双放大器带通 (DABP) 配置。同样，这是随意选择的。

我们使用参考 1 的设计公式。相应的电路如图 6 所示：

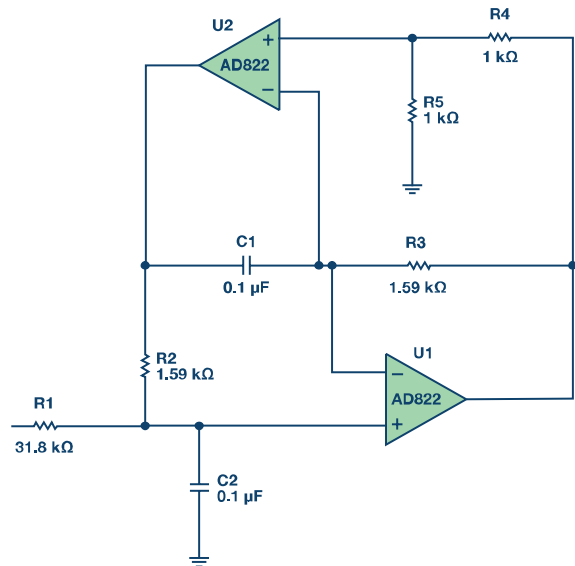


图6. 1 kHz、Q = 20 的 DABP 带通滤波器。

本文中我们主要关注相位，但我认为考察下幅度响应也很有用。

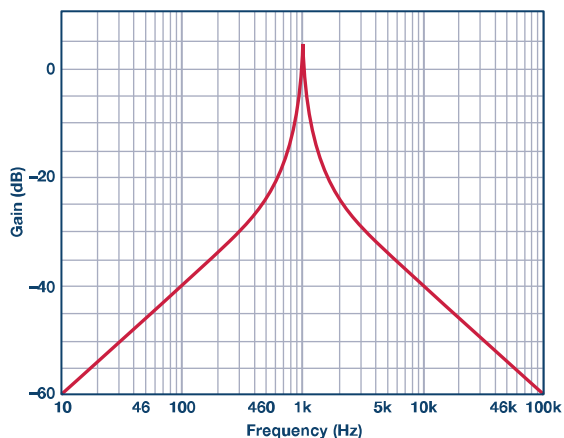


图7. 1 kHz、 $Q = 20$ 的DABP带通滤波器幅度响应。

图8所示为相位响应：

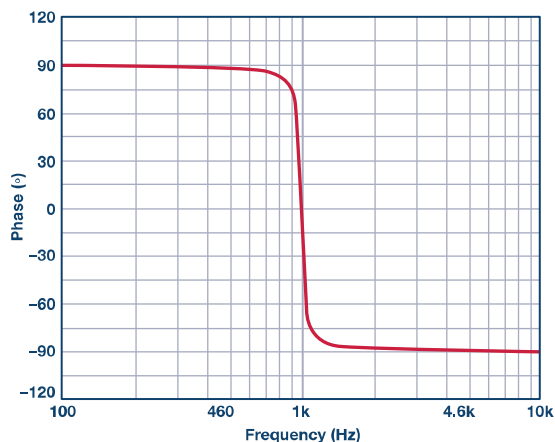


图8. 1 kHz、 $Q = 20$ 的DABP带通滤波器相位响应。

应当注意，DABP配置为同相。图8与图3一致。

示例 2：从 1 kHz、3 极点 0.5 dB 切比雪夫低通到带通滤波器的转换

滤波器原理以低通原型为基础，低通原型可以其他形式表示。本例使用的原型是 1 kHz、3 极点、0.5 dB 切比雪夫滤波器。选择切比雪夫滤波器是因为，如果响应不正确，它可以

显示得更清楚。例如，通带中的纹波将不会排成一行。在本例中，巴特沃兹滤波器可能过于宽松。选择 3 极点滤波器是为了能够转换一个极点和对单个极点。

LP 原型的极点位置（来自参考 1）为：

级	α	β	F_0	α
1	0.2683	0.8753	1.0688	0.5861
2	0.5366		0.6265	

第一级为极点，第二级为单极点。请注意，用 α 表示两个完全不同的参数的做法是不可取的。左侧的 α 和 β 为复平面上的极点位置。这些是转换算法中使用的值。右侧的 α 为 $1/Q$ ，这正是物理滤波器设计等式所希望看到的。

现在，低通原型被转换成了带通滤波器。参考 1 中列出的一系列等式用于转换。原型滤波器的每个极点都将转换成一个极点对。因此，转换完成时，3 极点原型将拥有 6 个极点（3 个极点对）。此外，原点处将有 6 个零点。不存在单极点带通。

转换过程的部分工作是指定可合成的滤波器的 3 dB 带宽。在这种情况下，该带宽将被设为 500 Hz。产生的转换结果如下：

级	F_0	Q	A_0
1	804.5	7.63	3.49
2	1243	7.63	3.49
3	1000	3.73	1

实际上，先将更低的增益和 Q 部分放入串中可能很有用，因为这可最大程度地提高信号电平处理能力。前两级存在增益要求的原因在于，相对于总滤波器中心频率，它们的中心频率将会衰减（也就是说，它们将在其他部分的波裙上）。

由于结果得到的 Q 适中（小于 20），因而将选用多级反馈拓扑结构。我们使用参考 1 中多路反馈带通滤波器的设计方程设计滤波器。图 9 显示了滤波器本身的原理图。

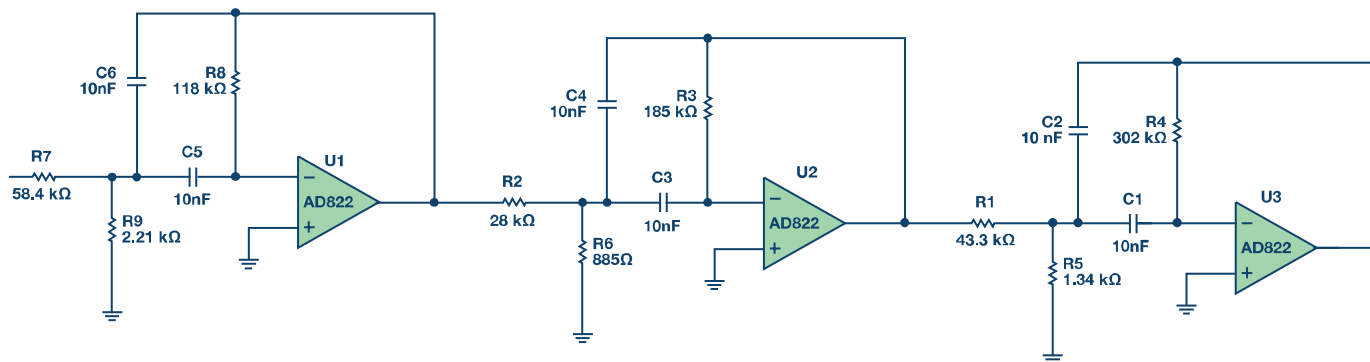


图9. 1 kHz、6 极点、0.5 dB 切比雪夫带通滤波器。

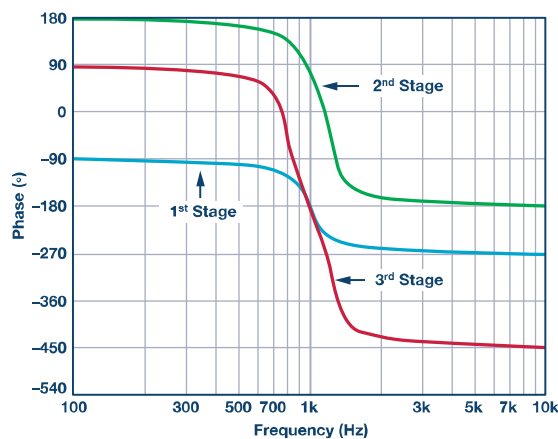


图10. 1 kHz、6极点、0.5 dB切比雪夫带通滤波器的相位响应。

图10中可以看到完整滤波器的相移。曲线图单独显示了第一部分的相移（第1部分）、前两个部分的组合相移（第2部分），以及完整滤波器的相移（第3部分）。这些曲线显示了“实际”滤波器部分的相移，其中包括放大器的相移和滤波器拓扑结构的反相。

图10中有几点细节需要注意。第一，相位响应具有累积性。第一部分显示了180°的相位变化（滤波函数的相移，忽视了滤波器拓扑结构的相移）。第二部分显示了因具有两部分而产生的360°相位变化，每个部分180°。记住，360° = 0°。第三部分显示了540°的相移，每个部分180°。还应注意，在高于10 kHz的频率处，我们开始看到相位因放大器响应而轻微滚降。还可以看出，滚降也具有累积性，会随着每个部分而增大。

在图11中我们可以看到完整滤波器的幅度响应。

结论

本文讨论的是带通滤波器的相移。在前面几篇文章中，我们考察了与滤波器拓扑结构相关的相移以及低通和高通拓扑结构的相移。在后续文章中，我们将考察陷波滤波器和全通滤波器。在最后一期，我们将总结并考察相移如何影响滤波器的瞬态响应，同时还会考察群延迟、脉冲响应、阶跃响应，以及它们对信号的意义。

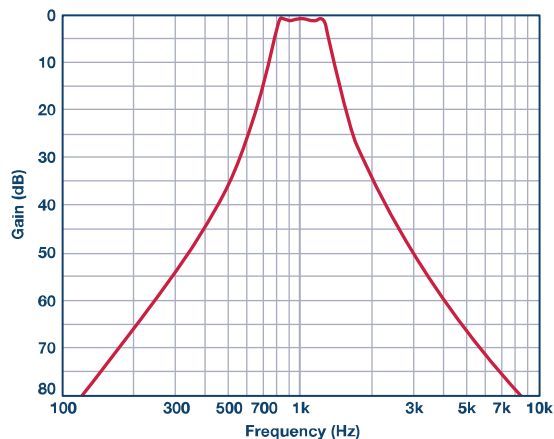


图11. 1 kHz、6极点、0.5 dB切比雪夫带通滤波器的幅度响应。

尾注：

- ¹ Hank Zumbahlen. “有源滤波器中的相位关系”。模拟对话，第41卷第3期，2007年。
- ² Hank Zumbahlen. “有源滤波器的相位响应第二部分：低通和高通响应”。模拟对话，第43卷第3期，2009年。

其他参考文献：

- Daryanani, G. 有源网络合成和设计的原理。John Wiley & Sons, 1976。
- Graeme, J., G. Tobey and L. Huelsman. 运算放大器设计及应用。McGraw-Hill, 1971。
- Van Valkenburg, Mac. 模拟滤波器设计。Holt, Rinehart and Winston, 1982。
- Williams, Arthur B. 电子滤波器设计手册。McGraw-Hill, 1981。
- Hank Zumbahlen, 《基本线性设计》第8章。ADI公司，2006年。
- Hank Zumbahlen, “第5章：模拟滤波器。” 运算放大器应用手册。Newnes-Elsevier, 2006。
- Hank Zumbahlen, 线性电路设计手册。Newnes-Elsevier, 2008。
- Hank Zumbahlen, “有源滤波器中的相位关系”。模拟对话，第41卷，2007年。
- Zverev, Anatol I. 滤波器合成手册。John Wiley & Sons, 1967。

Hank Zumbahlen [hank.zumbahlen@analog.com] 1989年进入ADI公司，最初担任驻加州的现场应用工程师。在过去数年中，他还作为高级应用工程师，参与了培训和研讨会发展工作。此前，他在Signetics（飞利浦）担任类似职位，还曾在多家公司担任设计工程师，主要涉足测试和测量领域。Hank拥有伊利诺伊大学的电子工程学士学位（BSEE）。他是《线性电路设计手册》（Newnes-Elsevier 2008）的作者。



Hank Zumbahlen

该作者的其它文章：
良好接地指导原则
第46卷第6期

RTD 比率式温度测量的模拟前端设计考虑

作者: Barry Zhang 和 Alex Buda

共享    

简介

许多系统设计人员使用 Σ - Δ 型ADC和RTD（电阻式温度检测器）进行温度测量，但实现ADC数据手册中规定的高性能时有困难。例如，一些设计人员可能只能从16位至18位ADC获得12至13个无噪声位。本文介绍的前端技术能够使设计人员在其系统设计中获得16个以上的无噪声位。

在比率式测量中使用RTD有一定优势，因为它能消除激励电流源的精度和漂移等误差源。下面是4线RTD比率式测量的典型电路。4线式配置的优势是可消除由引脚电阻产生的误差。

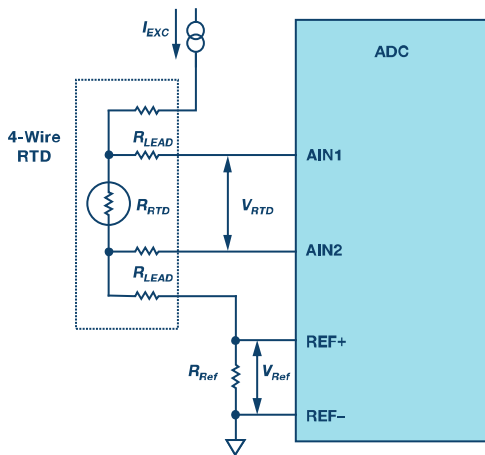


图1. 4线RTD比率式测量电路。

我们可以从上述电路推导出下面两个公式：

$$V_{RTD} = R_{RTD} \times I_{EXC}$$

$$V_{Ref} = R_{Ref} \times I_{EXC}$$

当ADC工作在双极性差分模式时，计算RTD电阻(R_{RTD})的通用表达式如下所示：

$$R_{RTD} = \frac{Code_{RTD} \times R_{Ref}}{Code_{ADC_Fullscale}}$$

其中：

$Code_{RTD}$ 为ADC码。

$Code_{ADC_Fullscale}$ 为ADC满量程代码。

RTD的测量电阻值理论上仅与基准电阻的精度和漂移相关。通常， R_{REF} 为精确的低漂移电阻，精度为0.1%。

当工程师使用此类电路设计产品时，他们会在模拟输入和外部基准电压源引脚前添加一些电阻和电容，以获得低通滤波

和如图2所示的过电压保护。在本文中，我们将展示选择合适的电阻和电容以获得更好的噪声性能时应该考虑的因素。

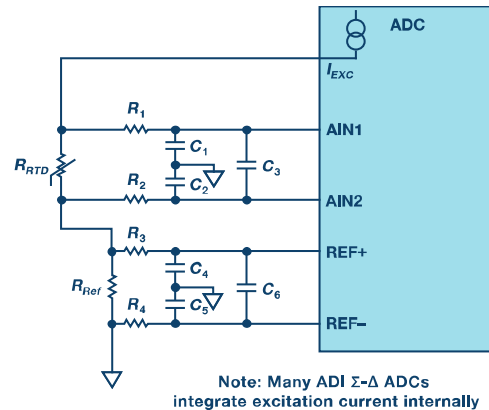


图2. 典型4线RTD比率式测量电路。

从图2中可以看出， R_1 、 R_2 、 C_1 、 C_2 和 C_3 用作差分信号提供衰减的一阶低通RC滤波器。 R_1 和 R_2 的值应相同， C_1 和 C_2 的值也选择相同的值。同样， R_3 、 R_4 、 C_4 、 C_5 和 C_6 用作参考路径的低通滤波器。

共模低通 RC 滤波器

图3所示为共模低通滤波器等效电路。

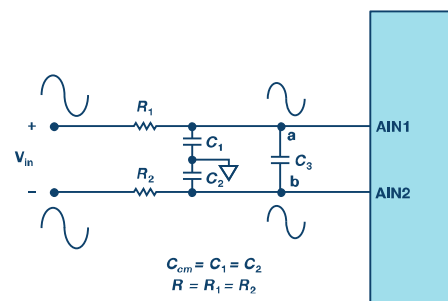


图3. 共模低通滤波器。

因为a点的共模电压等于b点的电压，所以没有电流流过 C_3 。因此，共模截止频率可表示为：

$$f = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi R C_{cm}}$$

差分模式低通 RC 滤波器

为了更好地理解差分信号的低通RC滤波器截止频率，可将图4中的 C_3 电容视作图5中的两个独立电容： C_a 和 C_b 。

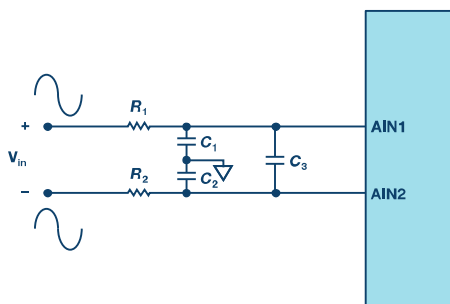


图4. 差分模式低通滤波器。

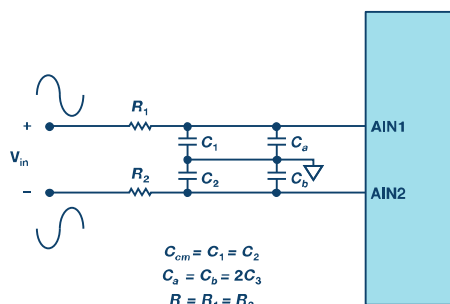


图5. 差分模式低通滤波器等效电路。

图5中，差分模式截止频率为：

$$f = \frac{1}{2\pi R_1(C_1 + C_a)} = \frac{1}{2\pi R(C_{cm} + 2C_3)}$$

通常， C_3 的值是 C_{cm} 的值的10倍。这是为了降低 C_1 和 C_2 不一致产生的影响。例如，如图6所示，ADI电路笔记CN-0381中使用模拟前端设计时，差分信号的截止频率约为800 Hz，共模信号的截止频率约为16 kHz。

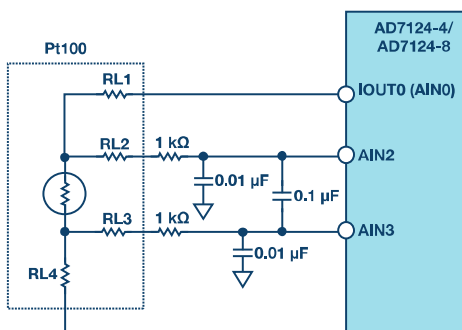


图6. 使用AD7124进行RTD测量的模拟输入配置。

电阻和电容考虑

除了作为低通滤波器的一部分外， R_1 和 R_2 还可提供过电压保护。如果图6中的AD7124-4 AIN引脚前使用的是3 kΩ电阻，则最高可保护30 V接线错误。不建议在AIN引脚前使用更大的电阻，原因有二。第一，它们将产生更大的热噪声。第二，AIN引脚具有输入电流，电流将流经这些电阻并引入误差。这些输入电流的大小不是恒定值，不匹配的输入电流将产生噪声，并且噪声将随电阻值增大而增大。

电阻和电容值对确定最终电路的性能至关重要。设计人员需要理解其现场要求，并根据上述公式计算电阻和电容值。对于具有集成激励电流源的ADI Σ - Δ 型ADC器件和精密模拟微控制器，建议在AIN和基准电压源引脚前使用相同的电阻和电容值。这种设计可确保模拟输入电压始终与基准电压成比例，并且激励电流的温度漂移和噪声所引起的模拟输入电压的任何误差，都可通过基准电压的变化予以补偿。

用比率式测量法测得的 ADuCM360 噪声性能

ADuCM360是完全集成的3.9 kSPS、24位数据采集系统，在单芯片上集成双路高性能多通道 Σ - Δ 型ADC、32位ARM[®]Cortex[®]-M3处理器和Flash/EE存储器。同时还集成了可编程增益仪表放大器、精密带隙基准电压源、可编程激励电流源、灵活的多路复用器以及其它许多特性。它可与电阻式温度传感器直接连接。

使用ADuCM360进行RTD测量时，REF-引脚通常接地，因此图2中的 R_4 和 C_5 无电流通过，可将其移除。 C_4 和 C_6 并联一起。由于 C_4 远远小于 C_6 ，因此可忽略。最后便可得到简单的模拟前端电路，如图7所示。

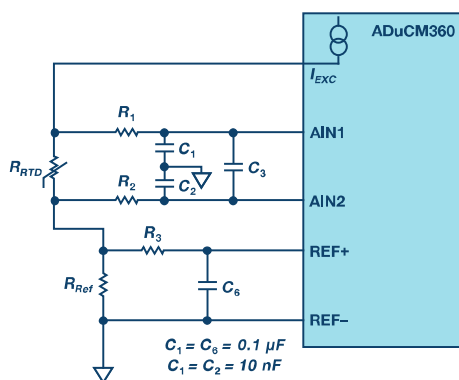


图7. 用于RTD测量的ADuCM360模拟前端电路。

表1列出了模拟和参考输入路径前具有匹配和不匹配滤波器时的噪声水平。使用100 Ω精密电阻代替 R_{RTD} ，以测量ADC输入引脚上的噪声电压。 R_{Ref} 的值为5.62 kΩ。

表 1. 噪声测试结果

ADC 增益	I_{SOURCE} (μA)	100 Ω电阻上的噪声电压(μV)	
		$R_1 = R_2 = R_3 = 1k$	$R_1 = R_2 = 10k$ $R_3 = 1k$
16	100	1.6084	1.8395
16	200	1.6311	1.7594
16	300	1.6117	1.9181
16	400	1.6279	1.9292

从表1我们可以看出，使用 R_1 和 R_2 的值与 R_3 相同的匹配模拟前端电路时，噪声与不匹配电路相比降低约0.1 μV至0.3 μV，这

意味着ADC无噪声位的数量增加约0.25位至16.2位，ADC PGA增益为16。

结论

按照本文介绍的考虑因素，使用匹配RC滤波器电路和根据现场要求选择合适的电阻和电容值，比率式测量应用中的RTD能够获得最佳的结果。

参考文献

CN-0381电路笔记。“采用低功耗、精密、24位Σ-Δ型ADC的全集成式4线RTD测量系统”。ADI公司

CN-0267电路笔记。“具有HART接口的完整4 mA至20 mA环路供电现场仪表”。ADI公司

Barry Zhang [barry.zhang@analog.com]是 ADI 中国北京公司的一名应用工程师。他于 2011 年加入 ADI 公司，就职于集成精密解决方案部。在加入 ADI 前，他曾在 Rigol 和 Putian 担任硬件工程师。2006 年，Barry 获得了北京科技大学的机械电子工程硕士学位。



Barry Zhang

Alex Buda 是 [alex.buda@analog.com] 是 ADI 公司精密解决方案部的一名应用工程师。他于 2012 年加入 ADI 公司，之后便一直在从事精密模拟微控制器方面的工作。Alex 毕业于 2012 年，拥有爱尔兰国立梅努斯大学电子工程和计算机一级荣誉学士学位。作为学位课程的一部分，他在 ADI 公司集成精密解决方案部实习了六个月。



Alex Buda

用过压故障保护模拟开关代替分立保护器件

作者: Paul O'Sullivan



摘要

设计具有鲁棒性的电子电路较为困难，通常会导致具有大量分立保护器件的设计的相关成本增加、时间延长、空间扩大。本文将讨论故障保护开关架构，及其与传统分立保护解决方案相比的性能优势和其他优点。下文讨论了一种新型开关架构，以及提供业界领先的故障保护性能以及精密信号链所需性能的专有高电压工艺。ADI的故障保护开关和多路复用器新型产品系列(ADG52xxF和ADG54xxF)就是采用这种技术。

高性能信号链的模拟输入保护往往令系统设计人员很头痛。通常，需要在模拟性能(例如漏电阻和导通电阻)和保护水平(可由分立器件提供)之间进行权衡。

用具有过电压保护功能的模拟开关和多路复用器代替分立保护器件能够在模拟性能、鲁棒性和解决方案尺寸方面提供显著的优势。过电压保护器件位于敏感下游电路和受到外部应力的输入端之间。一个例子是过程控制信号链中的传感器输入端。

本文详细说明了由过电压事件引起的问题，讨论了传统分立保护解决方案及其相关缺点，还介绍了过电压保护模拟开关解决方案的特性和系统优势，最后介绍了ADI业界领先的故障保护模拟开关产品系列。

过电压问题—回顾基础

如果施加在开关上的输入信号超过电源电压(V_{DD} 或 V_{SS})一个以上二极管压降，则IC内的ESD保护二极管将变成正向偏置，而且电流将从输入信号端流至电源，如图1所示。这种电流会损坏元件，如果不加以限制，还可能触发闩锁事件。

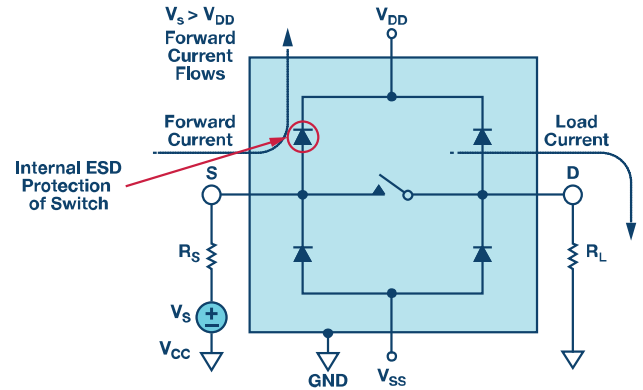


图1.过压电流路径。

如果开关未上电，则可能出现以下几种情形：

1. 如果电源浮动，输入信号可能通过ESD二极管停止向 V_{DD} 电轨供电。这种情况下， V_{DD} 引脚将处于输入信号的二极管压降范围内。这意味着能够对开关有效供电，就像使用相同 V_{DD} 电轨的其他元件一样。这可能导致信号链中的器件执行未知且不受控制的操作。
2. 如果电源接地，PMOS器件将在负 V_{GS} 下接通，开关将把削减的信号传至输出端，这可能会损坏同样未上电的下游器件(参见图2)。注：如果有二极管连接至电源，它们将发生正向偏置，把信号削减为+0.7 V。

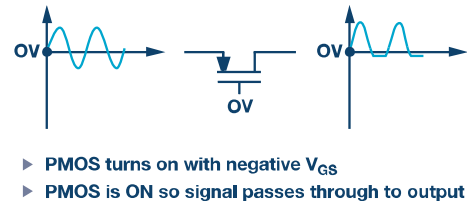


图2.电源接地时的过电压信号。

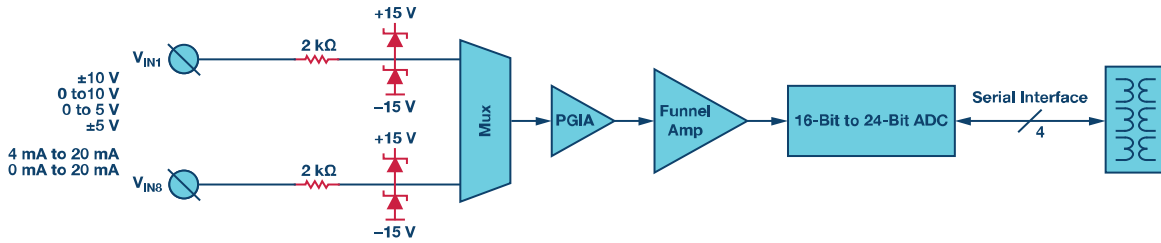


图3.分立保护解决方案。

分立保护解决方案

设计人员通常采用分立保护器件解决输入保护问题。

通常会利用大的串联电阻限制故障期间的电流，而连接至供电轨的肖特基或齐纳二极管将箝位任意过电压信号。图3所示为多路复用信号链中这种保护方案的一个示例。

但是，使用此类分立保护器件存在许多缺点。

1. 串联电阻会延长多路复用器的建立时间并缩短整体建立时间。
2. 保护二极管会产生额外的漏电流和不断变化的电容，从而影响测量结果的精度和线性度。
3. 在电源浮动情况时没有任何保护，因为连接至电源的ESD二极管不会提供任何箝位保护。

传统开关架构

图4为一种传统开关架构的概览。在开关器件（在图4的右侧）中，ESD二极管连接至开关元件输入和输出端的供电轨。图中还显示了外部分立保护器件—用于限制电流的串联电阻和用于实现过电压箝位的肖特基二极管（连接至电源）。在苛刻环境下，通常还需要利用双向TVS提供额外的保护。

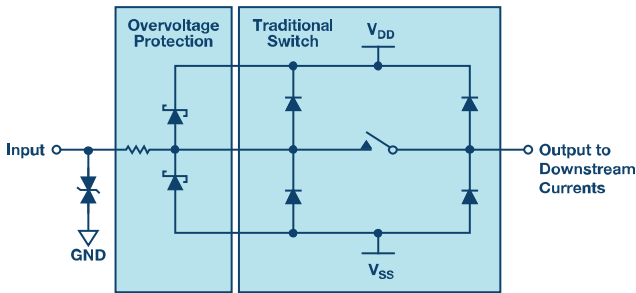


图4.采用外部分立保护器件的传统开关架构。

故障保护开关架构

故障保护开关架构如图5所示。输入端的ESD二极管用双向ESD单元代替，输入电压范围不再受连接至供电轨的ESD二极管限制。因此，输入端的电压可能达到工艺限值（ADI提供的新型故障保护开关的限值为 $\pm 55\text{ V}$ ）。

大多数情况下，ESD二极管仍然存在于输出端，因为输出端通常不需要过电压保护。

输入端的ESD单元仍然能够提供出色的ESD保护。使用此类ESD单元的ADG5412F过电压故障保护四通道SPST开关的HBM ESD额定值可达到5.5 kV。

对于IEC ESD (IEC 61000-4-2)、EFT或浪涌保护等更严格的情况，可能仍然需要一个外部TVS或一个小型限流电阻。

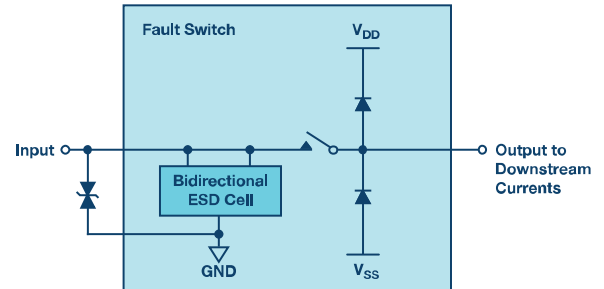


图5.故障保护开关架构。

开关的一个输入端发生过电压状况时，受影响的通道将关闭，输入将变为高阻态。其他通道上的漏电流仍然很小，因而其余通道能够继续正常工作，而且对性能的影响极小。几乎不用在系统速度/性能和过电压保护之间进行妥协。

因此，故障保护开关能够大幅简化信号链解决方案。很多情况下都需要使用限流电阻和肖特基二极管，而开关过电压保护消除了这种需要。整体系统性能也不再受通常会引起信号链漏电和失真的外部分立器件限制。

ADI 故障保护开关的特性

ADI的故障保护开关新型产品系列采用专有高电压工艺打造而成，能够在上电和未上电状态下提供高达±55 V的过电压保护。这些器件能够为精密信号链使用的故障保护开关提供业界领先的性能。

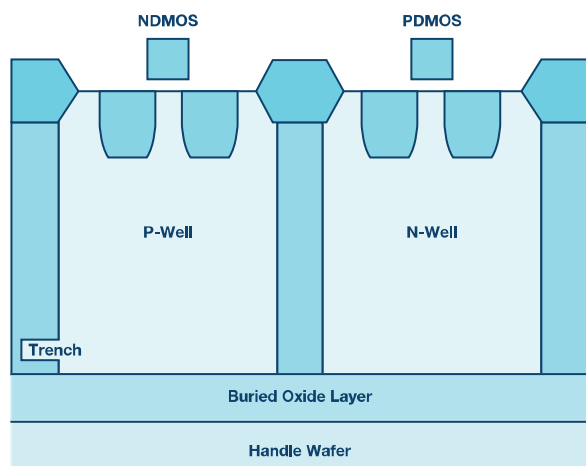


图6. 沟槽隔离工艺。

防闩锁性

专有高电压工艺也采用了沟槽隔离技术。各开关的NDMOS与PDMOS晶体管之间有一个绝缘氧化物层。因此，它与结隔离式开关不同，晶体管之间不存在寄生结，从而抑制了所有情况下的闩锁现象。例如，ADG5412F通过了1秒脉宽±500 mA的JESD78D闩锁测试，这是规范中最严格的测试。

模拟性能

新型ADI故障保护开关不仅能够实现业界领先的鲁棒性（过电压保护、高ESD额定值、上电时无数字输入控制时处于已知状态），而且还具有业界领先的模拟性能。模拟开关的性能总是要在低导通电阻和低电容/电荷注入之间进行权衡。模拟开关的选择通常取决于负载是高阻抗还是低阻抗。

低阻抗系统

低阻抗系统通常采用低导通电阻器件，其中模拟开关的导通电阻需要保持在最小值。在电等低阻抗系统中—例如源或增益级—导通电阻和源阻抗与负载处于并联状态会引起增益误差。虽然许多情况下能够对增益误差进行校准，但是信号范围内或通道之间的导通电阻（ R_{ON} ）变化所引起的失真就无法通过校准进行消除。因此，低阻电路更受制于因 R_{ON} 平坦度和通道间的 R_{ON} 变化所导致的失真误差。

图7显示了一个新型故障保护开关在信号输入范围内的导通电阻特性。除了能够实现极低的导通电阻外， R_{ON} 平坦度和通道之间的一致性也非常出色。这些器件采用具有专利技术的开关驱动器设计，能够确保在信号输入电压范围内 V_{GS} 电

压保持恒定从而导致平坦的 R_{ON} 性能。权衡就是信号输入范围略有缩小，开关导通性能实现优化，这可从 R_{ON} 图的形状看出。在对 R_{ON} 变化或THD敏感的应用中，这种 R_{ON} 性能可使系统具有明显的优势。

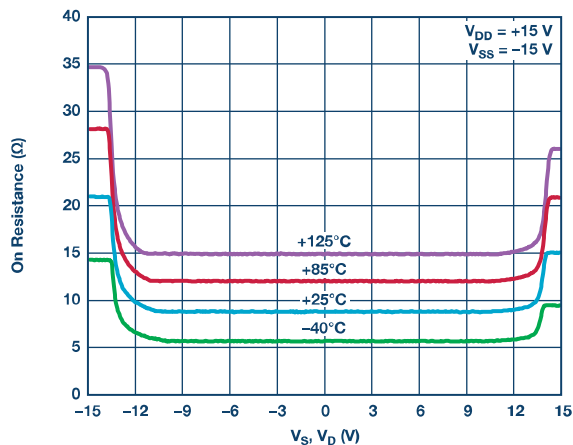


图7. 故障保护开关导通电阻。

ADG5404F是一款新型的具有防闩锁、过压故障保护功能的多路复用器。与标准器件相比，具有防闩锁功能和过电压保护功能的器件通常具有更高的导通电阻和更差的导通电阻平坦度。但是，由于ADG5404F设计中采用了恒定 V_{GS} 方案， R_{ON} 平坦度实际上优于ADG1404（业界领先的低导通电阻）和ADG5404（防闩锁，但没有过电压保护功能）。在很多应用中，例如RTD温度测量， R_{ON} 平坦度实际上比导通电阻的绝对值更重要，因此具有故障保护功能的模拟开关在此类系统中具有提高其产品性能的潜力。

低阻抗系统的典型故障模式是在发生故障时漏极输出变成开路。

高阻抗系统

在高阻抗系统通常采用低漏电流、低电容和低电荷注入开关。由于多路复用器输出上的放大器负载，数据采集系统通常具有高阻抗。

- 漏电流是高阻抗电路的主要误差来源。任意漏电流都可能产生显著的测量误差。
- 低电容和低电荷注入也对快速建立至关重要。这可使数据采集系统实现最大的数据吞吐量。

新型ADI故障保护开关的漏电性能非常出色。正常工作时，漏电流处于低nA范围内，这对在许多应用中进行精确测量至关重要。

最重要的是，即使其中一条输入通道处于故障状态，防漏性能依然十分出色。这意味着，在修复故障前，可继续对其他通道进行测量，因而系统停机时间得以缩短。ADG5248F 8:1多路复用器的过电压漏电流如图8所示。

高阻抗系统的典型故障模式是在发生故障时使漏极输出拉至供电轨。

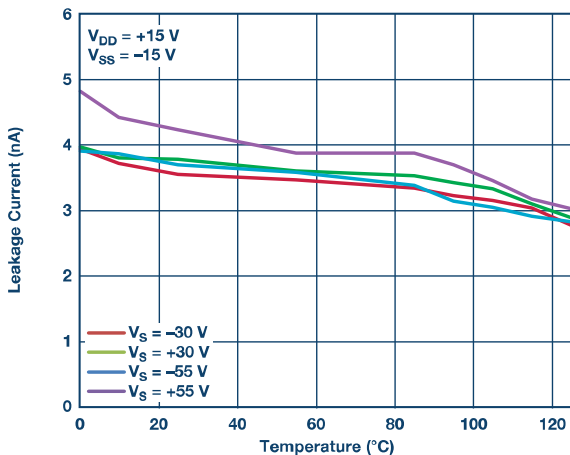


图8.ADG5248F 过电压漏电流的温度特性。

故障诊断

大部分新型ADI故障保护开关还采用了数字故障引脚。FF引脚是通用故障标志，表示其中一条输入通道处于故障状态。特殊故障引脚（或SF引脚）可用于诊断哪一路特定输入处于故障状态。

这些引脚对在系统中进行故障诊断非常有用。FF 引脚首先向用户发出故障警告。随后，用户可轮询数字输入，然后 SF 引脚将报出哪些特定开关或通道处于故障状态。

系统优势

故障保护开关新型产品系列的系统优势如图9所示。无论是在确保精密信号链的出色模拟性能方面，还是在系统鲁棒性方面，该产品系列为系统设计人员带来的优势都非常巨大。

Features	System Benefits
Fault Protection ±55 V Overvoltage Protection	Prevents damage to downstream circuitry Reduces the need for discrete protection components
Fault Detection Digital Output Indicator for Fault Conditions	Alerts to source of fault Eliminates the need for complex fault detection software routines
High ESD Industry-Leading 5.5 kV HBM ESD	Eases board assembly Reduces ESD components
Precision Performance Low RON and RON Flatness Low Leakage Current	Prevents signal distortion Maximizes system performance

图9.ADI 故障保护开关—特性和系统优势。

与分立保护器件相比，其优势非常明显，这些优势已在前文详细说明。专有高电压工艺和新型开关架构还赋予了ADI故障保护开关新产品系列多项优于同类解决方案的优势。

- 业界领先的RON平坦度，非常适合精密测量
- 业界领先的故障漏电流，能够在未受故障影响的其他通道上继续工作（比同类解决方案性能好10倍）
- 器件配备副故障电源，可实现精密故障阈值设定，同时还能维持出色的模拟开关性能
- 适合系统故障诊断的智能故障标志

应用范例

图10所示的第一个应用范例是过程控制信号链，其中，微控制器可监控多个传感器，例如RTD或热电偶温度传感器、压力传感器和湿度传感器。在过程控制应用中，传感器可能连接在工厂中一条非常长的电缆上，整条电缆都有可能出现故障。

此范例采用的多路复用器是ADG5249F，该器件已针对低电容和低漏电流进行优化。对于此类小型信号传感器测量应用，低漏电流非常重要。

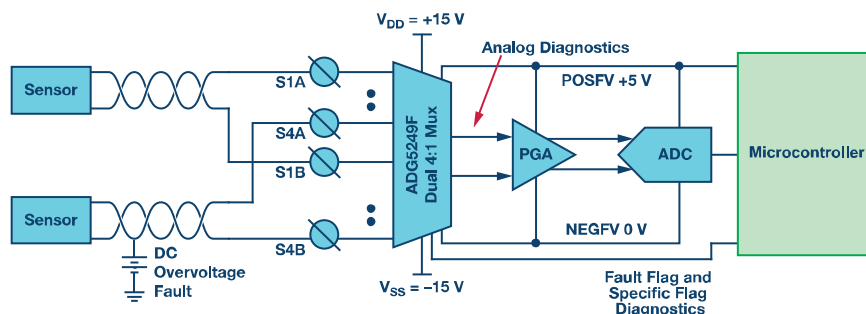


图10.过程控制应用范例。

产品系列汇总

表1.低导通电阻型故障保护开关

产品	配置	故障触发阈值	输出故障模式	故障标志
ADG5412F ADG5413F	四通道SPST	主电源	开路	普通标志
ADG5412BF ADG5413BF	四通道SPST和双向OVP	主电源	开路	普通标志
ADG5462F	四通道保护器	副电源	拉至副电源或开路（默认）	普通标志
ADG5404F	4:1多路复用	主电源	拉至副电源或开路（默认）	普通标志和特殊标志
ADG5436F	双通道SPDT	主电源	拉至副电源或开路（默认）	普通标志和特殊标志

表2.低电容/低电荷注入型故障保护开关

产品	配置	故障触发阈值	输出故障模式	故障标志
ADG5208F	8:1多路复用器	主电源	拉至供电轨	无
ADG5209F	差分4:1多路复用器	主电源	拉至供电轨	无
ADG5248F	8:1多路复用器	副电源	拉至副电源	普通标志和特殊标志
ADG5249F	差分4:1多路复用器	副电源	拉至副电源	普通标志和特殊标志
ADG5243F	三通道SPDT	副电源	拉至副电源	普通标志和特殊标志

模拟开关采用±15 V电源，同时副故障电源设置为5 V和GND，能够保护下游PGA和ADC。

主传感器信号通过多路复用器传至PGA和ADC，而故障诊断信息则直接发送至微控制器，用于在发生故障时提供中断功能。因此，用户可收到故障状况的警告，并确定哪些传感器发生故障。然后便可派出技术人员对故障进行调试，必要时可更换发生故障的传感器或电缆。

得益于业界领先的低故障漏电流规格，当其中一个传感器故障、正在等待更换时，其他传感器可以继续执行监控功能。如果没有这种低故障漏电流，一条通道发生故障可能导致所有其他通道无法使用，故障被修复后才可重新使用。

图11中的第二个应用范例是数据采集信号链的一部分，其中，ADG5462F通道保护器可增添额外的价值。在此范例中，PGA采用±15 V供电，而下游ADC则具有0 V至5 V的输入信号范围。

通道保护器位于PGA和ADC之间。采用±15 V作为主电源，以获得出色的导通电阻性能，而其副供电轨则采用0 V和5 V电压。正常工作时，ADG5462F允许信号通过，但会将PGA的所有过电压输出箝位至0 V和5 V之间，以保护ADC。因此，与前面的应用范例一样，目标信号输入范围会在平坦的 R_{ON} 工作区域中。

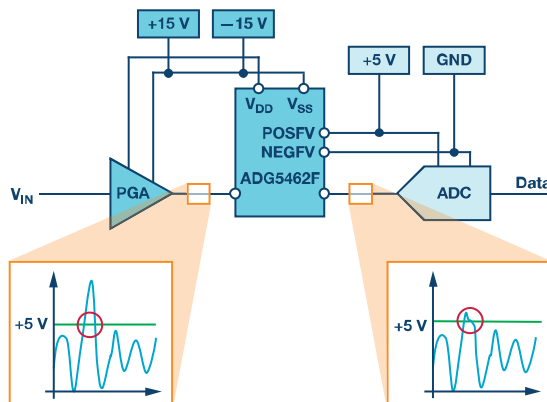


图11.数据采集应用范例。

总结

用具有过电压保护功能的模拟开关和多路复用器代替传统分立保护器件可在精密信号链中提供多项系统优势。除了节省电路板空间外，代替分立器件的性能优势也非常明显。

ADI公司提供多种具有过电压保护功能的模拟开关和多路复用器。表1和表2列出了最新的故障保护器件产品系列。这些产品系列采用专有的高电压和防闩锁工艺打造而成，能够为精密信号链提供业界领先的性能和特性。

Paul O'Sullivan 是位于爱尔兰利默里克的 ADI 线性与精密技术业务部门的一位应用工程师。他现在负责为开关/多路复用器产品系列提供支持，之前他负责为 ADI 的电源管理产品系列提供支持。他于 2004 年加入 ADI 公司，拥有科克大学的电气与电子工程学士学位和利默里克大学的工程硕士学位。



Paul O'Sullivan

精密 ADC 用滤波器设计的实际挑战和考虑

作者：Steven Xie

共享    

简介

精密模数转换器应用广泛，如仪器仪表和测量、电力线继电保护、过程控制、电机控制等。目前，SAR 型 ADC 的分辨率可达 18 位甚至更高，采样速率为数 MSPS； Σ - Δ 型 ADC 的分辨率则达到 24 位甚至 32 位，采样速率为数百 kSPS。为了充分利用高性能 ADC 而不限制其能力，用户在降低信号链噪声方面（例如实现滤波器）面临的困难越来越多。

本文讨论在 ADC 信号链中实现模拟和数字滤波器以便达到最佳性能所涉及到的设计挑战和考虑。如图 1 所示，数据采集信号链可以使用模拟或数字滤波技术，或两者的结合。精密 SAR 型和 Σ - Δ 型 ADC 一般在第一奈奎斯特区进行采样，因此，本文将着重讨论低通滤波器。本文的意图不是讨论低通滤波器的具体设计技术，而是讨论其在 ADC 电路中的应用。



图 1. 一般数据采集信号链

理想滤波器和实际滤波器

理想低通滤波器应当具有很陡的过渡带，其通带应具有出色的增益平坦度，如图 2 中的砖墙虚线所示。此外，阻带衰减应将任何残余带外信号降低至 0。某些常用实际滤波器的响应如图 2 中的彩色线条所示。如果通带增益不平坦或有纹波，这种响应可能会影响基频信号。阻带衰减不是无限的，会限制对带外噪声的筛选。过渡带也可能没有陡峭的滚降，导致对截止频率周围的噪声衰减不佳。另外，所有非理想滤波器都会引入相位延迟或群延迟。

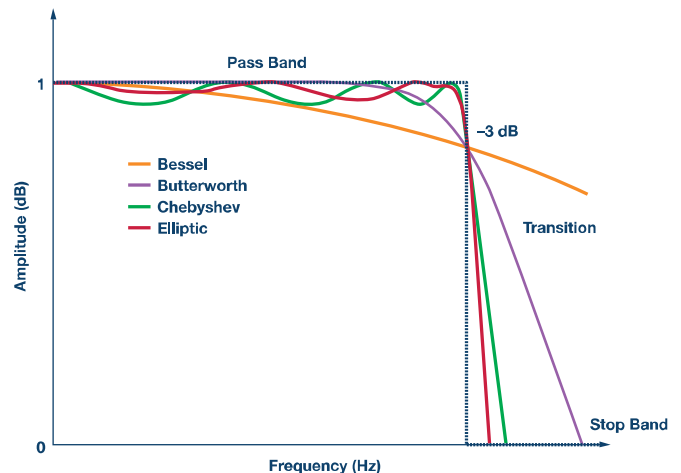


图 2. 理想滤波器与实际滤波器的幅度响应对比

模拟滤波器与数字滤波器

模拟低通滤波器可以在 ADC 转换之前消除信号路径中的高频噪声和干扰，帮助避免混叠噪声污染信号。它还能消除滤波器带宽之外的过驱信号的影响，避免调制器饱和。发生输入过压时，模拟滤波器还能限制输入电流，衰减输入电压。因此，它能保护 ADC 输入电路。叠加于接近满量程信号上的噪声尖峰可能会让 ADC 的模拟调制器饱和，必须利用模拟滤波器将其衰减。

由于数字滤波发生在转换之后，因而可以移除转换过程中注入的噪声。在实际应用中，采样速率远高于奈奎斯特理论指出的两倍基频信号频率。因此，后置数字滤波器可以利用针对更高信噪比和更高分辨率的滤波技术来降低转换过程中注入的噪声，例如：信号带宽之外的输入噪声、电源噪声、基准源噪声、数字接口馈通噪声、ADC 芯片热噪声或量化噪声。

表1简要列出了模拟滤波器与数字滤波器的优点和缺点。

表1.模拟滤波器与数字滤波器

	模拟滤波器	数字滤波器
设计复杂度	高（对于高性能滤波器）	低
成本	高（取决于所选模拟元件）	低（可用CPU时间）
延迟	低	高
加性噪声	增加带内元件热噪声	量化可能会引入数字噪声
ADC输入保护	是	否
可编程	否	是
漂移误差	是	否
老化	是	否
多通道匹配误差	是	否

模拟滤波器考虑

抗混叠滤波器放在 ADC 之前，因此这些滤波器必须为模拟滤波器。理想抗混叠滤波器具有如下特性：通带内具有单位增益，无增益变化，混叠衰减水平与所用数据转换系统的理论动态范围一致。

根据架构不同，ADC 会有不同的输入电阻，这会影响输入滤波器设计。以下考虑关系到 ADC 模拟输入滤波器的设计。

与 ADC 前端接口的 RC 抗混叠滤波器的限制

在 Alan Walsh 为 Analog Dialogue 杂志撰写的文章“精密 SAR 型模数转换器的前端和放大器 RC 滤波器设计”中，有一个针对 AD7980 ADC 的 RC 滤波器应用示例，如图 3 所示。

算出的 RC 滤波器是一个低通滤波器，截止带宽为 3.11 MHz。但是，某些设计人员可能会意识到，3.11 MHz 远大于 100 kHz 的输入信号频率，因此，该滤波器无法有效降低带外噪声。为实现更高动态范围，可以换用 590 Ω 电阻，以获得 100 kHz 的 -3 dB 带宽。这种方法主要有两个问题。由于通带中会有更多衰减，对于 AD7980 ADC 示例，100 kHz 附近的幅度衰减最高可达 30%，因此，信号链精度会大大降低。带宽越小，则建立时间越长，这使得 AD7980 的内部采样保持电容无法在指定的采集时间内完成充电，因而无法执行下一次有效转换。这导致 ADC 转换精度降低。

设计人员应当确保 ADC 之前的 RC 滤波器能在目标采集时间内完全建立。这对需要较大输入电流或具有等效的较小输入阻抗的精密 ADC 来说异常重要。某些 Σ - Δ 型 ADC 在无缓冲输入模式下对输入 RC 值的要求最高。可以将具有较大电阻或电容的超窄低通滤波器放在一般具有较大输入阻抗的输入放大器之前。或者可以选择具有极高输入阻抗的 ADC，例如 ADAS3022，其输入阻抗为 500 M Ω 。

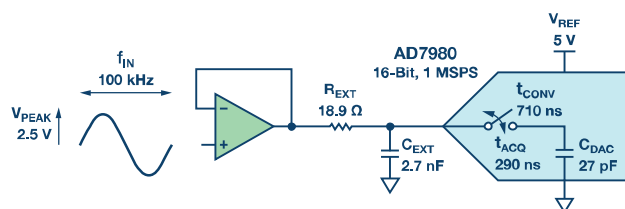


图3.采用 16 位 1 MSPS ADC AD7980 的 RC 滤波器

1. 多路复用采样信号链的滤波器建立时间

在通道间切换时，多路复用输入信号通常含有较大的阶跃。最差情况下，一个通道处于负满量程，而下一个通道则处于正满量程（见图 4）。这种情况下，当多路复用器切换通道时，输入阶跃大小将是 ADC 的满量程。

对于这些通道，可以在多路复用器之后使用一个单通道滤波器，使得设计更简单，成本更低。如上所述，模拟滤波器必定会引入建立时间。每次多路复用器在通道间切换时，该单通道滤波器都必须充电到所选通道的值，因而会限制吞吐速率。为提高吞吐速率，可以在多路复用器之前为每个通道添加一个滤波器，但这样做会提高成本。

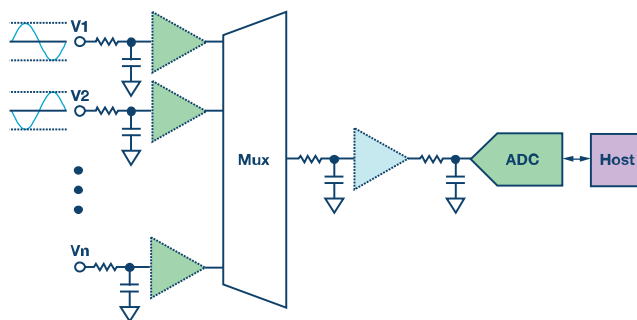


图4.多路复用输入信号链

2. 通带平坦度和过渡带限制与噪声的关系

遭遇高噪声的应用，尤其是在接近第一奈奎斯特区边缘处发生很高干扰的应用，需要滚降厉害的滤波器。

然而，人们已从实际模拟低通滤波器得知：从低频到高频，幅度会滚下来，并有一个过渡带。增加滤波器级数或阶数可以改善带内信号的平坦度，并使过渡带收窄。然而，这些滤波器的设计很复杂，因为它们对增益匹配非常敏感，以至于无法实现数阶的衰减幅度。此外，在信号链中增加任何元件（如电阻或放大器）都会引入带内噪声。

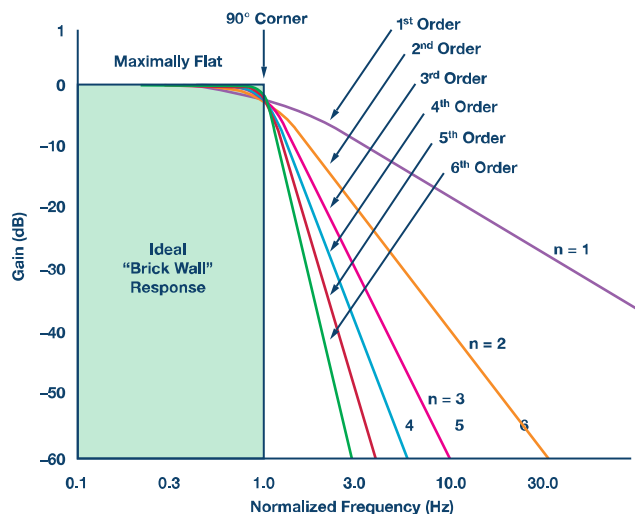


图 5. 不同阶数的理想巴特沃兹滤波器过渡带

对于某些具体应用，模拟滤波器设计的复杂度和性能需要进行取舍。例如，在采用 AD7606 的电力线继电器保护应用中，对于 50 Hz/60 Hz 基频输入信号及其相关前五次谐波，保护通道的精度要求低于测量通道。保护通道可以使用一个一阶 RC 滤波器，而测量通道使用二阶 RC 滤波器，以便提供更好的带内平坦度和更急剧的滚落过渡。

3. 同步采样的相位延迟和匹配误差

滤波器设计不仅仅关系到频率设计，用户可能还需要考虑模拟滤波器的时域特性和相位响应。在某些实时应用中，相位延迟可能非常重要。如果相位随输入频率而变化，那么相位变动将更糟糕。滤波器的相位变化一般用群延迟来衡量。对于非常数群延迟，信号会在时间中扩散，导致脉冲响应变得很差。

对于多通道同步采样应用，例如电机控制或电力线监控中的相电流测量，还应考虑相位延迟匹配误差。确保滤波器在多个通道上引起的额外相位延迟匹配误差可以忽略不计，或者在工作温度范围的信号链误差预算范围内。

4. 低失真和低噪声应用的元件选择挑战

对于低谐波失真和低噪声应用，用户必须为信号链设计选择合乎要求的元件。模拟电子元件不是完全线性的，会引起谐波失真。Walsh 的文章中讨论了如何选择低失真放大器和如何计算放大器噪声。放大器等有源元件需要低 THD + N，同时也要考虑普通电阻和电容等无源元件的失真和噪声。

电阻的非线性有两个来源：电压系数和功率系数。根据具体应用，高性能信号链可能需要使用由特定技术制造的电阻，如薄

膜或金属电阻。如果选择不当，输入滤波电容可能会造成显著失真。如果成本预算允许，聚苯乙烯和 NP0/C0G 陶瓷电容是很好的备选元件，可以改善 THD。

除放大器噪声外，电阻和电容也会有电子噪声，后者是由处于均衡态的电导体内部的电荷载子的热扰动产生的。RC 电路的热噪声有一个简单的表达式，电阻 R 是满足滤波要求所需要的，同时 R 越高，相应的热噪声也越大。RC 电路的噪声带宽为 $1/(4RC)$ 。

利用下面两个公式可估算电阻和小电容的均方根热噪声。

$$v_n = \sqrt{4k_B T R f}$$

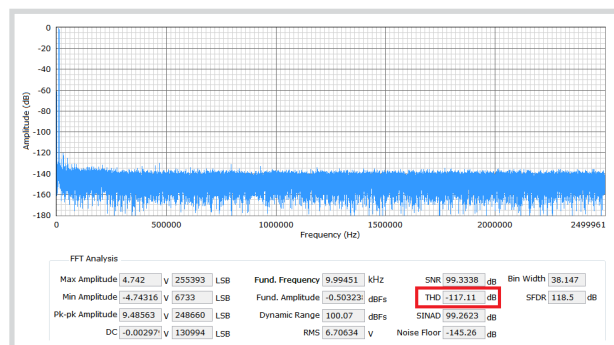
$$v_n = \sqrt{k_B T / C}$$

$$k_B \text{ (玻尔兹曼常数)} = 1.38065 \times 10^{-23} \text{ m}^2 \text{ kgs}^{-2} \text{ K}^{-1}$$

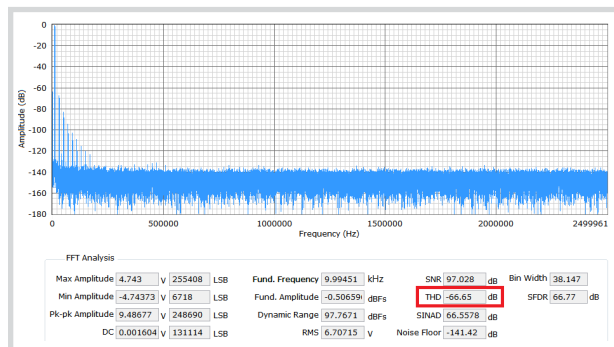
T 为温度 (K)

f 为砖墙滤波器近似带宽

图 6 显示在 EVAL-AD7960FMCZ 评估板上，NP0 电容和 X7R 电容对 THD 性能的影响：(a) 显示一个 10 kHz 正弦波信号音的频谱，C76 和 C77 为 1 nF 0603 NP0 电容，而 (b) 显示使用 1 nF 0603 X7R 电容时的频谱。



(a) 0603 1nF NP0 电容



(b) 0603 1nF X7R 电容

图 6. 在 EVAL-AD7960FMCZ 评估板上 NP0 和 X7R 电容对 THD 的影响

了解前面的设计考虑之后，便可利用 ADI 公司的**模拟滤波器向导**设计有源模拟滤波器。它会根据应用要求计算电容和电阻值，并选择合适的放大器。

数字滤波器考虑

SAR 型和 Σ - Δ 型 ADC 正在稳步实现更高的采样速率和输入带宽。以两倍奈奎斯特速率对一个信号过采样，会将 ADC 量化噪声能量均匀扩散到两倍频段中。这样便很容易设计数字滤波器来限制数字化信号的频带，然后通过抽取来提供所需的最终采样速率。这种技术可降低带内量化误差并提高 ADC SNR。它还能放宽滤波器滚降要求，从而减轻抗混叠滤波器的压力。过采样降低了对滤波器的要求，但需要更高采样速率 ADC 和更快的数字处理。

1. 对 ADC 使用过采样速率所取得的实际 SNR 改善

利用过采样和抽取滤波器所取得的 SNR 改善，可从 N 位 ADC 的理论 SNR 求得： $SNR = 6.02 \times N + 1.76 \text{ dB} + 10 \times \log_{10}[\text{OSR}]$ ， $\text{OSR} = f_s / (2 \times \text{BW})$ 。注意：此公式仅适用于只存在量化噪声的理想 ADC。

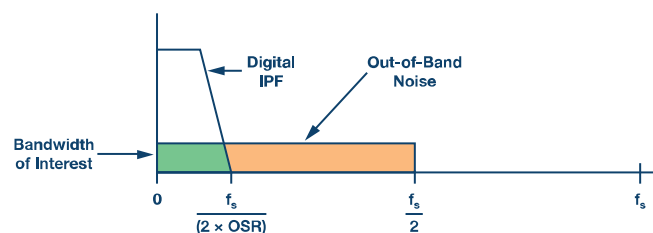


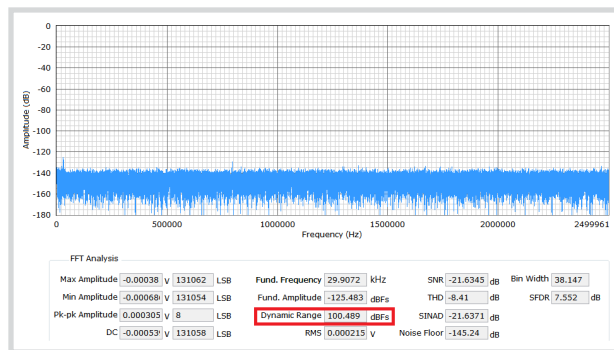
图 7. 奈奎斯特转换器过采样

还有很多其他因素会将噪声引入 ADC 转换代码中。例如：信号源和信号链器件的噪声，芯片热噪声，散粒噪声，电源噪声，基准电压噪声，数字馈通噪声，以及采样时钟抖动引起的相位噪声。这种噪声可能会均匀分布在信号频段中，表现为闪烁噪声。因此，实际实现的 ADC SNR 改善幅度一般低于用公式计算出的值。

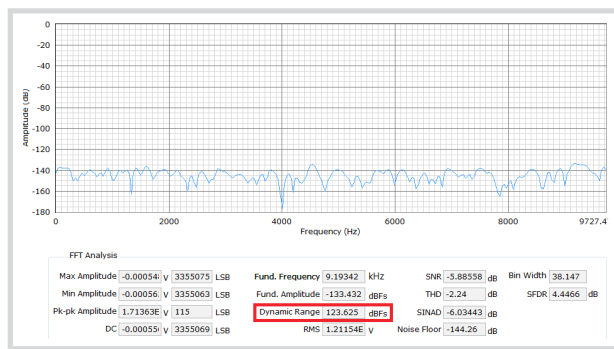
2. EVAL-AD7960FMCZ 评估板上利用过采样实现的动态改善

在应用笔记 AN-1279 中，256 \times 过采样下 18 位 AD7960 ADC 的实测动态范围为 123 dB。这是用于高性能数据采集信号链，如光谱分析、磁共振成像 (MRI)、气相色谱分析、振动、石油/天然气勘探和地震系统等。

如图 8 所示，与理论 SNR 改善幅度计算相比，测得的过采样动态范围低 1 dB 至 2 dB。原因是来自信号链器件的低频噪声限制了总体动态范围性能。



(a) 无 OSR 的动态范围



(b) OSR = 256 的动态范围

图 8. OSR 256 时的动态范围改善

3. 充分利用 SAR 型和 Σ - Δ 型 ADC 中的集成数字滤波器

数字滤波器通常位于 FPGA、DSP 或处理器中。为了减少系统设计工作，ADI 公司提供了一些集成后置数字滤波器的精密 ADC。例如，AD7606 集成了一个一阶后置数字 sinc 滤波器用于过采样。它很容易配置，只需上拉或下拉 OS 引脚。 Σ - Δ 型 ADC AD7175-x 不仅有传统 sinc3 滤波器，还有 sinc5 + sinc1 和增强型 50 Hz/60 Hz 抑制滤波器。AD7124-x 提供快速建立模式 (sinc4 + sinc1 或 sinc3 + sinc1 滤波器) 功能。

4. 多路复用采样 ADC 的延迟取舍

延迟是数字滤波器的一个缺点，它取决于数字滤波器阶数和主时钟速率。对于实时应用和环路响应时间，应当限制延迟。数据手册所列的输出数据速率是指在单一通道上执行连续转换时转换结果有效的速率。当用户切换到另一通道时，建立 Σ - Δ 调制器和数字滤波器还额外需要些时间。与这些转换器相关的建立时间是指通道变更之后输出数据反映输入电压所需的时间。通道变更之后，为精确反映模拟输入，必须清除数字滤波器中与前一模拟输入相关的全部数据。

以前, Σ - Δ 型 ADC 的通道切换速度比数据输出速率要小得多。因此, 在多路复用数据采集系统等切换应用中, 必须明白: 获得转换结果的速率要比对单一通道连续采样时可达到的转换速率低好几倍。

ADI 公司的某些新型 Σ - Δ ADC (如 AD7175-x) 内置优化的数字滤波器, 可减少通道切换时的建立时间。AD7175-x 的 sinc5 + sinc1 滤波器主要用于多路复用应用, 在 10 kSPS 和更低的输出数据速率时, 可实现单周期建立。

5. 数字滤波器通过抽取避免混叠

很多文章都讨论过, 过采样频率越高, 模拟滤波器设计就越容易。当采样速率高于满足奈奎斯特准则所需的速率时, 便可使用较简单的模拟滤波器来避免受到极高频率所产生的混叠影响。很难设计一个能够衰减所需频段而不失真的模拟滤波器, 但很容易设计一个利用过采样抑制较高频率的模拟滤波器。这样便很容易设计数字滤波器来限制转换信号的频带, 然后通过抽取来提供所需的最终采样速率, 但又不会丧失所需信息。

实施抽取之前, 需要确保这种重新采样不会引入新的混叠问题。抽取之后, 确保输入信号符合奈奎斯特关于采样速率的理论。

EVAL-AD7606/EVAL-AD7607/EVAL-AD7608EDZ 评估板可以每通道 200 kSPS 的速率运行。在下面的测试中, 配置其采样速率为 6.25 kSPS, 过采样比为 32。然后, 将一个 3.5 kHz -6 dBFS 正弦波施加于 AD7606。图 9 显示 2.75 kHz (6.25 kHz - 3.5 kHz) 处有一个 -10 dBFS 混叠镜像。因此, 若 ADC 之前没有合格的抗混叠模拟滤波器, 当使用过采样时, 数字滤波器就可能会因为抽取而引起混叠镜像。应使用模拟抗混叠滤波器来消除这种叠加于模拟信号上的噪声尖峰。

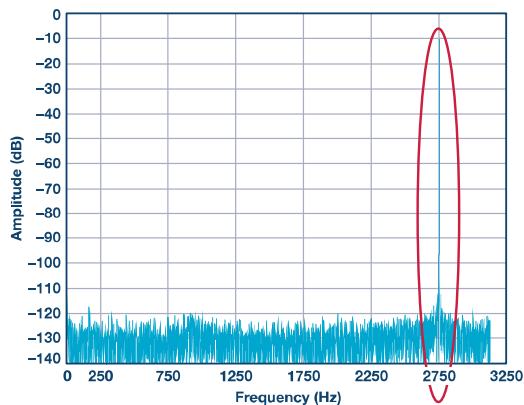


图 9.OSR 抽取采样率小于奈奎斯特频率时的混叠

结论

本文讨论的挑战和考虑可帮助设计人员设计出实用的滤波器以实现精密采集系统的目标。模拟滤波器必须在不违反系统误差预算的条件下与 SAR 型或 Σ - Δ 型 ADC 的非理想输入结构接口, 数字滤波器不应在处理器端引起误差。这不是简单的任务, 必须在系统规格、响应时间、成本、设计工作量和资源等方面做出权衡。

参考文献

Holdaway, Mark. “ADC 用抗混叠滤波器设计”。EDN, 2006 年。

Walsh, Alan. 精密 SAR 型模数转换器的前端放大器和 RC 滤波器设计。Analog Dialogue, 第 46 卷第 4 期, 2012 年。

Wescott, Tim; Wescott 设计服务。“采样: 奈奎斯特没说什么以及怎么办”。Wescott 研讨会, 2015 年。

巴特沃兹滤波器设计。

模拟和数字抗混叠滤波。

Steven Xie [steven.xie@analog.com] 2011 年 3 月加入 ADI 北京分公司, 担任 ADI 中国设计中心的产品应用工程师。他负责中国市场 SAR 型 ADC 产品的技术支持工作。在此之前, 他曾在无线通信基站领域做过四年的硬件设计人员。2007 年, Steven 毕业于北京航空航天大学, 并获得通信与信息系统硕士学位。



Steven Xie

该作者的其它文章:
为逐次逼近型 ADC 设计可靠的数字接口
第 49 卷, 第 1 期

采用 MEMS 陀螺仪的低噪声反馈控制设计

作者：Mark Looney

共享    

摘要

MEMS陀螺仪提供了一种简单的旋转角速率测量方法，其所在的封装很容易安装到印刷电路板上。因此，在许多不同类型的运动控制系统中，它们都是反馈检测元件的常见选择。在此类应用中，角速率信号（MEMS陀螺仪输出）中的噪声会直接影响系统的关键特性（如平台稳定性），且常常是控制系统能够支持的精度水平的决定性因素。所以，当系统架构师和开发者定义和开发新的运动控制系统时，低噪声是一个很自然的价值导向。更进一步，把关键的系统级标准（如指向精度）转化为噪声指标（MEMS陀螺仪数据手册常常会提供这些指标），是早期概念和架构设计工作的一个极重要的部分。了解系统对陀螺仪噪声特性的依赖性会产生多方面好处，例如能够确定反馈检测元件的相关要求，或者相反，分析系统对特定陀螺仪中噪声的响应。一旦系统设计者充分了解这种关系，它们便能从两个重要方面来掌控角速率反馈回路中的噪声影响：1. 制定最合适的MEMS陀螺仪选择标准；2. 在传感器的集成过程中保持其噪声性能不变。

运动控制基础

为了弄清MEMS陀螺仪噪声特性与其对系统关键特性的影响之间的关系，第一步常常是要对系统工作原理有一个基本了解。图1是一个运动控制系统架构示例，其中关键的系统元素被拆分为多个功能模块。此类系统的功能目标是为对惯性运动敏感的人员或设备创建一个稳定的平台。应用实例之一是用于自动驾驶车辆平台上的微波天线，车辆在恶劣的条件下机动行驶，车速可能会引起车辆方向突然变化。若不能实时控制指向角度，当发生此类惯性运动时，这些高指向性天线可能无法支持连续通信。

图1所示系统使用一台伺服电机，理想情况下，当系统其余部分发生旋转时，它会以相同速度沿相反方向旋转。反馈环路

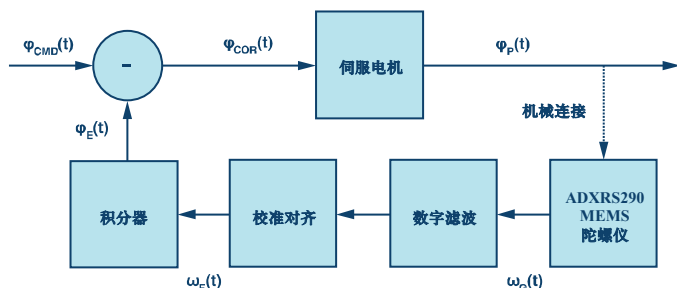


图1. 运动控制系统架构示例。

从MEMS陀螺仪开始，其在稳定平台上观测旋转速率（ φ_G ）。陀螺仪的角速率信号馈入专用数字信号处理部分，其包括滤波、校准、对齐和积分，以产生实时方向反馈（ φ_E ）。伺服电机的控制信号（ φ_{COR} ）来自此反馈信号与指示方向（ φ_{CMD} ）的比较，而指示方向可来自一个中央任务处理系统，或者代表一个支持平台上的设备以理想方式运行的方向。

应用示例

图1显示了运动控制系统的架构视图，分析应用特定的物理性质也能得出有价值的定义和见解。考虑图2中的系统，它是生产线自动检查系统的概念视图。该摄像头系统检查输送带上移入移出其视场的物件。在这种配置中，摄像头通过一根长支架固定于天花板；针对摄像头要检查的对象大小，摄像头通过支架所决定的高度（参见图2中的D）来优化其视场。工厂中全是各种机器和其他作业，因此，摄像头会不时地发生摆动（参见图2中的 $\varphi_{SW}(t)$ ），这可能引起检查图像的失真。图中的红色虚线是此摆动引起的总角向误差（ $\pm\varphi_{SW}$ ）的夸大视图，绿色虚线表示能够支持系统图像质量目标的角向误差水平（ $\pm\varphi_{RE}$ ）。图2中的视图利用检查表面上的线性位移误差（ d_{SW} 、 d_{RE} ）定义系统级关键指标（图像失真）。这些性质与摄像头高度（D）和角向误差项（ φ_{SW} 、 φ_{RE} ）之间有着简单的三角函数关系，如公式1所示。

$$\begin{aligned}d_{SW} &= D \times \sin(\varphi_{SW}) \\ \varphi_{SW} &= a \sin\left(\frac{d_{SW}}{D}\right) \\ d_{RE} &= D \times \sin(\varphi_{RE}) \\ \varphi_{RE} &= a \sin\left(\frac{d_{RE}}{D}\right)\end{aligned}\quad (1)$$

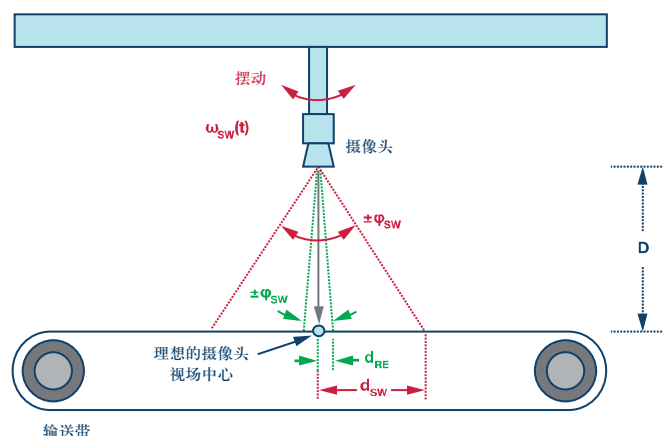


图2. 工业摄像头检查系统。

对于此类系统，最适合的运动控制技术是所谓图像稳定化技术。早期图像稳定系统使用基于陀螺仪的反馈系统来驱动伺服电机，进而调整图像传感器在快门开启期间的方向。MEMS技术的出现掀起了一场革命，帮助降低了这些功能的尺寸、成本和功耗，导致该技术广泛用于当今的数字摄像头。得益于数字图像处理技术（其算法中仍然使用基于MEMS的角速率测量）的进步，许多应用已不再使用伺服电机。无论图像稳定是由伺服电机实现，还是通过对图像文件的数字后处理实现，陀螺仪的基本功能（反馈检测）依然未变，其噪声影响也仍然存在。为简明起见，本讨论将聚焦于经典方法（图像传感器上的伺服电机）来考察相关度最高的噪声基本原理，以及它们与此类应用最重要的物理性质之间的关系。

角向随机游动 (ARW)

所有MEMS陀螺仪的角速率测量中都有噪声。这一传感器固有噪声代表的是陀螺仪在静态惯性（无转动）和环境条件（无振动、冲击等）下运行时其输出中的随机振动。MEMS陀螺仪数据手册中用来描述噪声特性的最常见指标是速率噪声密度 (RND) 和角向随机游动 (ARW)。RND参数通常以 $^{\circ}/\text{sec}/\sqrt{\text{Hz}}$ 为单位，根据该参数和陀螺仪的频率响应，可以简单地预测角速率方面的总噪声。ARW参数通常以 $^{\circ}/\sqrt{\text{hr}}$ （小时）为单位，当分析特定期间内噪声对角度估计的影响时，该参数常常更有用。公式2是根据角速率测量来估计角度的一般公式。此外，它还提供了一个将RND参数与ARW参数关联起来的简单公式。此关系式与IEEE-STD-952-1997（附录C）中的关系式相比有很小的改动（前者是单边FFT，后者是双边FFT）。

$$\begin{aligned} \varphi_n(t) &= \int_0^t \omega_n(t) \times dt \\ \varphi_n(\tau) &= ARW \times \sqrt{\tau} \\ ARW &= \frac{60}{\sqrt{2}} \times RND \\ \varphi_n(\tau) &= \frac{60}{\sqrt{2}} \times RND \times \sqrt{\tau} \end{aligned} \quad (2)$$

图3是一个图形参考，有助于我们进一步讨论ARW参数代表的特性。图中的绿色虚线代表陀螺仪RND为 $0.004^{\circ}/\text{sec}/\sqrt{\text{Hz}}$ 时的ARW特性，相当于 $0.17^{\circ}/\sqrt{\text{hr}}$ 的ARW。实线代表此陀螺仪输

出在25 ms周期内的六个独立积分。角向误差相对于时间的随机性表明，ARW的主要作用是估计特定积分时间内的角向误差统计分布。另请注意，此类响应假设利用高通滤波来消除积分过程中的偏置误差。

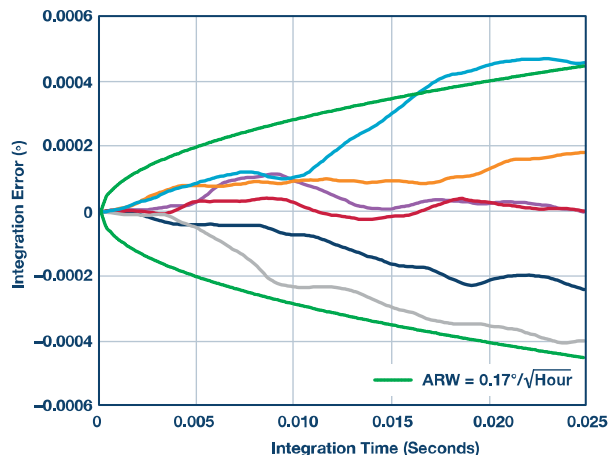


图3. 角向随机游动 (ADIS16460)。

回过头看图2中的应用示例，将公式1和公式2结合便可把重要标准（检查表面上的物理失真）与MEMS陀螺仪数据手册通常会提供的噪声性能指标（RND、ARW）关联起来。在此过程中，假设公式1中的积分时间（ τ ）等于图像捕捉时间可提供进一步且很有用的简化。公式3利用公式1中的一般关系来估计，当摄像头距检查表面1米（D）且最大容许失真误差为 $10 \mu\text{m}$ (d_{RE}) 时，陀螺仪的角向误差 (φ_{RE}) 必须小于 0.00057° 。

$$\begin{aligned} d_{RE} &= D \times \sin(\varphi_{RE}) \\ \varphi_{RE} &\leq \arcsin\left(\frac{d_{RE}}{D}\right) \\ \varphi_{RE} &\leq \arcsin\left(\frac{0.00001\text{m}}{1\text{m}}\right) \\ \varphi_{RE} &\leq 0.00057^{\circ} \end{aligned} \quad (3)$$

公式4将公式3的结果和公式2中的一般关系相结合，用来预测特定情况下对MEMS陀螺仪的ARW和RND要求。该过程假设图像捕捉时间35 ms等于公式2中的积分时间（ τ ），因而可以预测，为了达到要求，陀螺仪的ARW需要小于 $0.18^{\circ}/\sqrt{\text{hr}}$ ，或者RND必须小于 $0.0043^{\circ}/\text{sec}/\sqrt{\text{Hz}}$ 。当然，这可能不是这些参数支持的唯一要求，但这些简单的关系提供了一个例子，告诉我们如何将其与已知要求和条件联系起来。

$$\begin{aligned} \varphi_{RE} &\leq \varphi_n \leq 0.00057^\circ \\ \varphi_n &\leq 0.0057^\circ \\ ARW \times \sqrt{\tau} &\leq 0.00057^\circ \\ ARW \times \sqrt{\tau} &\leq \frac{\sqrt{2} \times 0.00057^\circ}{\sqrt{\tau}} \\ RND &\leq \frac{\sqrt{2} \times 0.00057^\circ}{60 \times \sqrt{\tau}} \end{aligned}$$

当 τ 可达到0.035秒时

$$\begin{aligned} ARW \times \sqrt{\tau} &\leq \frac{0.00057^\circ}{\sqrt{\frac{0.035 \text{ 秒}}{3600 \text{ 秒/小时}}}} \\ ARW \times \sqrt{\tau} &\leq 0.18 \text{ }^\circ/\sqrt{\text{小时}} \\ RND &\leq 0.18 \text{ }^\circ/\sqrt{\text{小时}} \times \sqrt{2}/60 \\ RND &\leq 0.0043 \text{ }^\circ/\text{sec}/\sqrt{\text{Hz}} \end{aligned} \quad (4)$$

角速率噪声与带宽

提供连续指向控制的系统开发者可能更愿意从角速率方面来评估噪声影响，因为他们可能没有固定的积分时间来利用基于ARW的关系。从角速率方面评估噪声常常要考虑RND参数和陀螺仪信号链的频率响应。对陀螺仪频率响应影响最大的常常是滤波，其支持环路稳定标准的专用要求，并能抑制对环境威胁（如振动）的不相干传感器响应。公式5给出了一种简单方法来估算与特定频率响应（噪声带宽）和RND相关的噪声。

$$\begin{aligned} TN &= \text{总噪声, } \text{ }^\circ/\text{sec}^{(rms)} \\ TN &= RND \times \sqrt{f_{NBW}} \\ \text{其中:} \\ RND &= \text{速率噪声密度, } \text{ }^\circ/\text{sec}/\sqrt{\text{Hz}} \\ f_{NBW} &= \text{噪声带宽, Hz} \end{aligned} \quad (5)$$

当RND的频率响应遵循单极点或双极点低通滤波器曲线时，噪声带宽（ f_{NBW} ）和滤波器截止频率（ f_C ）将有公式6的关系。

$$\begin{aligned} f_{NBW} &= 1.22 \times f_C \text{ (双极点低通滤波器)} \\ f_{NBW} &= 1.57 \times f_C \text{ (单极点低通滤波器)} \end{aligned} \quad (6)$$

例如，对于RND为 $0.004^\circ/\text{sec}/\sqrt{\text{Hz}}$ 的ADXRS290，图4提供了其噪声的两条不同频谱曲线。图中的黑色曲线代表使用双极点低通滤波器（截止频率为200 Hz）时的噪声响应，蓝色曲线代表使用单极点低通滤波器（截止频率为20 Hz）时的噪声响应。公式7计算了各滤波器的总噪声。同预期一致，200 Hz版本的噪声高于20 Hz版本。

$$\begin{aligned} TN &= RND \times \sqrt{1.22 \times f_C} \\ TN_{200 \text{ Hz}} &= 0.004 \text{ }^\circ/\text{sec}/\sqrt{\text{Hz}} \times \sqrt{1.22 \times 200} \\ TN_{200 \text{ Hz}} &= 0.062 \text{ }^\circ/\text{sec} \\ TN_{20 \text{ Hz}} &= 0.004 \text{ }^\circ/\text{sec}/\sqrt{\text{Hz}} \times \sqrt{1.57 \times 20} \\ TN_{20 \text{ Hz}} &= 0.022 \text{ }^\circ/\text{sec} \end{aligned} \quad (7)$$

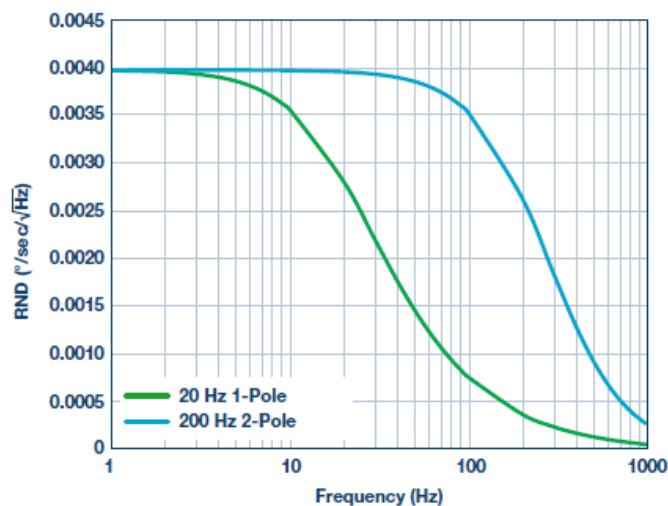


图4. 使用滤波器时的ADXRS290噪声密度。

若系统需要定制滤波，其频率响应（ $H_{DF}(f)$ ）不符合公式6和7中的简单单极点和双极点模型，则可利用公式8提供的更一般关系来预测总噪声：

$$TN = \sqrt{\int_0^F [RND^2(f) \times H_{DF}^2(f)] \times df} \quad (8)$$

除了会影响总角速率噪声以外，陀螺仪滤波器还向总环路响应贡献相位延迟，这会直接影响反馈控制系统的另一重要品质因素：单位增益交越频率时的相位裕量。公式9用于估计单位增益交越频率（ f_G ）时单极点滤波器（ f_C = 截止频率）对控制环路频率响应产生的相位延迟（ θ ）。公式9中的两个例子分别是截止频率为200 Hz和60 Hz的两个滤波器在20 Hz单位增益交越频率时的相位延迟。这对相位裕量的影响可能导致要求陀螺仪带宽比单位增益交越频率大10倍，因而会更偏向于选择RND较佳的MEMS陀螺仪。

$$\theta(f_G, f_C) = a \tan\left(\frac{f_G}{f_C}\right)$$

$$\theta(20, 200) = a \tan\left(\frac{20}{200}\right) = \sim 5.7^\circ \quad (9)$$

$$\theta(20, 60) = a \tan\left(\frac{20}{60}\right) = \sim 18.4^\circ$$

现代控制系统常常使用数字滤波器，可能使用不同的模型来预测其在控制环路关键频率时的相位延迟。例如，公式10用于预测一个16抽头FIR滤波器 (N_{TAP}) 的相位延迟 (θ)，其以4250 SPS (f_S) 的更新速率 (ADXRS290) 运行，单位增益交越频率 (f_G) 同样是20 Hz。此类关系有助于确定一个系统架构对此类滤波器结构容许的总抽头数。

$$\theta = \frac{N_{TAP} + 1}{2} \times \left(\frac{f_G}{f_C}\right)$$

$$\theta = \frac{16-1}{2} \times \left(\frac{20}{4250}\right) \times 360^\circ \quad (10)$$

$$\theta = 12.7^\circ$$

结论

根本问题是角速率反馈环路中的噪声可能直接影响运动控制系统的关键性能标准，因此，在设计新系统的过程中，应当尽早予以考虑。相比于仅知道需要低噪声的人，能够量化角速率噪声对系统特性影响的人将拥有明显的优势。他们将能确定性能目标，在应用中产生可观测的值；当其他项目目标支持考虑特定MEMS陀螺仪时，他们将能有效地量化其对系统的影响后果。一旦有了这种基本理解，系统设计师便可专注于确定能够满足性能要求的MEMS陀螺仪，利用带宽、速率噪声密度或角向随机游走来指导其考虑。当他们期望优化所选传感器的噪声性能时，可以利用其与带宽（角速率噪声）和积分时间（角误差）的关系来推动界定其他重要的系统级特性，从而支持对应用最合适的性能。

Mark Looney [mark.looney@analog.com]是 ADI 公司（美国北卡罗来纳州格林斯博罗）的 *iSensor*[®]应用工程师。自 1998 年加入 ADI 公司以来，他在传感器信号处理、高速模数转换器和 DC-DC 电源转换领域积累了丰富的经验。他拥有内华达州大学雷诺分校电气工程专业学士（1994 年）和硕士（1995 年）学位，曾发表过数篇文章。加入 ADI 公司之前，他曾协助创立汽车电子和交通解决方案公司 IMATS，还担任过 Interpoint 公司的设计工程师。



Mark Looney

该作者的其它文章：
[MEMS IMU/陀螺仪
对准基础](#)
 第 49 卷，第 1 期

运算放大器输入过压保护：箝位与集成

作者：Daniel Burton

共享    

简介

高精度运算放大器可让系统设计人员能在调理信号（放大、滤波和缓冲）的同时保持原始信号的精度。当信息包含在变动极小的信号中时，信号路径上的运算放大器在工作时具有极低的直流和交流误差性能就显得极为必要。总系统精度取决于信号路径的精度保持程度。

在某些应用中，可能出现电源电压以外的电压驱动运算放大器输入的情况——这种情况称为过压情况。例如，假设运算放大器配置为+15 V正电源和-15 V负电源，则无论何时，只要输入引脚电压大于一个二极管压降+供电轨电压（比如±15.7 V），则运算放大器内部ESD保护二极管就可以正向偏置，开始传导电流。长时间（甚至短时间内）的过量输入电流——如果电流足够高的话——便可能会损坏运算放大器。这种损坏可能会导致电气规格参数偏离数据手册所保证的限值，甚至导致运算放大器永久性损坏。面对这种可能性，系统设计人员通常会在放大器输入端添加一个过压保护（OVP）电路。因此，难就在引入OVP电路的同时不增加误差（损失系统精度）。

过压条件是如何发生的

很多不同的情况可能引起过压条件。考虑一个远程传感器位于现场的系统——比如炼油厂内的液体流动，并将信号通过电缆发送至另一个物理地点的数据采集电子设备。数据采集电子信号路径的第一级通常是配置为缓冲器或增益放大器的运算放大器。该运算放大器的输入暴露在外界环境下，因而可能受过压事件的影响——比如电缆损坏导致的短路，或者电缆与数据采集电子设备的错误连接。

类似地，可能导致过压条件的情形是：输入信号（通常在放大器输入电压范围内）突然接收到外部激励，导致瞬态尖峰超过运算放大器的电源电压。

可能导致输入过压条件的第三种情况来自运算放大器和信号路径上其它元件的上电时序。例如，如果信号源（比如传感器）在运算放大器之前上电，则信号源便可输出电压，而此时运算放大器电源引脚还没有上电。这会导致过压情况，有可能强制过量电流流经运算放大器输入并到达接地端（未上电电源引脚）。

箝位：一种经典的过压保护技术

图1所示是一种OVP（过压保护）的常用方法。当输入信号（ V_{IN} ）幅度超过电源电压之一加上二极管正向电压，则二极管（ D_{OVPP} 或 D_{OVPN} ）将会正向偏置，电流将流至供电轨，过量电流可能会损坏运算放大器。本应用中，我们使用了ADA4077——一款精度极高的运算放大器，最大电源范围为30 V（或±15 V）。

箝位二极管是1N5177肖特基二极管，因为它们的正向导通电压等于大约0.4 V，这比运算放大器输入静电放电（ESD）保护二极管的正向导通电压低；因此，箝位二极管将在ESD二极管之前开始传导电流。过压保护电阻 R_{OVP} 限制了流过箝位二极管的正向电流，使其保持在最大电流额定值以下，防止受到过量电流的损害。使用反馈回路电阻 R_{FB} 是因为，同相输入上的任何输入偏置电流都会流过 R_{OVP} 而产生输入电压误差——增加 R_{FB} 值可消除误差，因为它会在反相输入端产生一个相似电压。

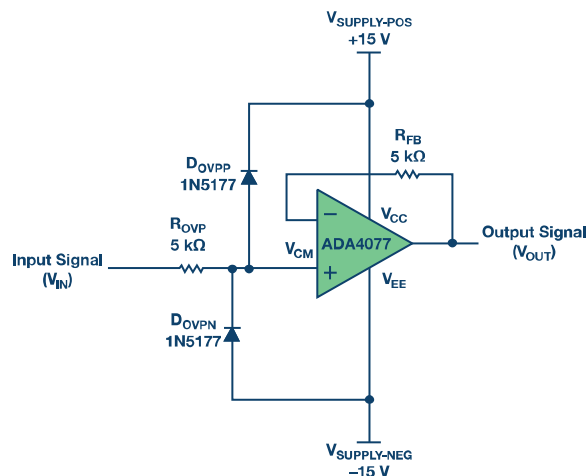


图1. 用于过压保护的经典箝位电路。

二极管箝位电路的权衡取舍——降低精度

虽然图1中的经典电路可以保护运算放大器输入端，但它会向信号路径上引入大量误差。精密放大器的输入失调电压（ V_{OS} ）通常为微伏等级。例如，ADA4077在-40°C至+125°C的完整工作温度范围内的最大 V_{OS} 为35 μ V。添加外部二极管和限流电阻会引入输入失调误差，该误差经常会比精密运算放大器的固有失调大好几倍。

反向偏置二极管具有反向漏电流，此漏电流从阴极流过阳极。

当输入信号电压 (V_{IN}) 在供电轨之间的时候, 二极管 D_{OVPP} 和 D_{OVPN} 具有反向电压。当 V_{IN} 为地电平时 (输入电压范围的中点), 经过 D_{OVPN} 的反向电流大致等于经过 D_{OVPP} 的反向漏电流。然而, 当 V_{CM} 变为地电平以上或以下时, 其中一个二极管中流过的反向电流大于另一个二极管中流过的电流。例如, 当 V_{CM} 等于运算放大器输入电压范围的最大值时—即离正电源 2 V (或本电路中的 13 V) 时, 二极管 D_{OVPN} 上的反向电压为 28 V。查阅 1N5177 二极管的数据手册可知, 这可能会导致反向漏电流接近 100 nA。当反向漏电流从输入信号端 (V_{IN}) 流过 R_{OVP} 时, 它会在 R_{OVP} 上造成电压降, 看上去就像信号路径上输入失调电压上升了。

另一个需要担心的地方是, 二极管反向漏电流随温度上升而呈指数上升, 导致箝位 OVP 电路的失调电压急剧上升。图 2 是一个不带外部过压电路的运算放大器, 以此作为对照基准, 该图显示了 ADA4077 在 -13 V 至 +13 V 输入电压范围内的失调电压测量值。在三个温度下进行测量: 25°C、85°C 和 125°C。注意在 25°C 时, 本测试中的 ADA4077 V_{OS} 仅达到了 6 μ V; 哪怕在 125°C, V_{OS} 也只有大约 20 μ V。当我们把外部箝位 OVP 电路加入同一个 ADA4077 器件, 并在 V_{IN} 端施加输入电压时, 可以看到如图 3 所示的结果。在室温下, V_{OS} 跳跃至 30 μ V—是单个 ADA4077 信号路径误差的 5 倍。在 125°C 时, V_{OS} 超过 15 mV—等于 ADA4077 20 μ V 的 750 倍之多! 精度下降了。

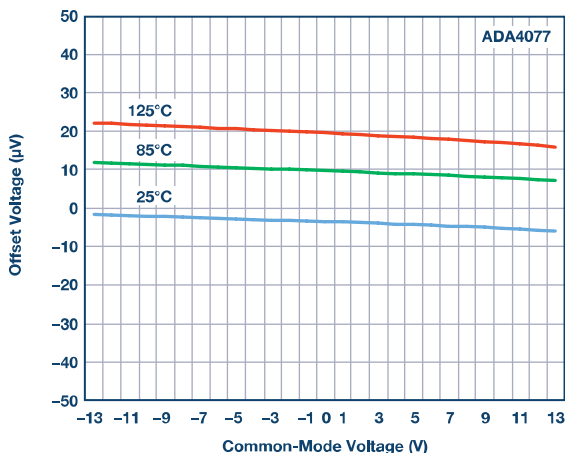


图2. 输入失调电压与ADA4077输入电压的关系。

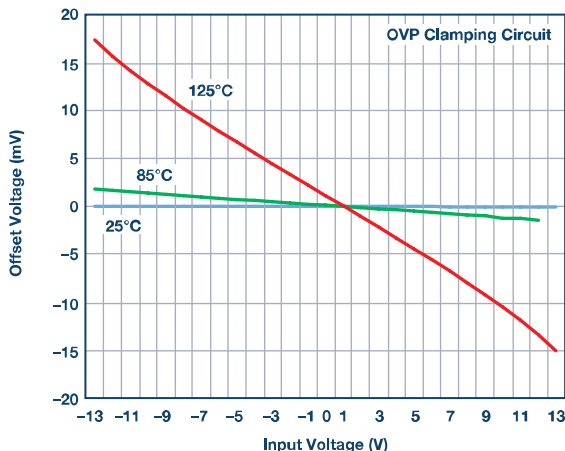


图3. ADA4077 添加OVP箝位电路后输入失调电压与输入电压的关系。

在过压条件时, 5 k Ω 电阻很好地保护了箝位二极管和运算放大器, 但正常工作时, 若二极管在它两端有漏电流产生, 则会引入较多的失调误差 (更不要说来自电阻的约翰逊噪声了)。我们需要的是动态输入电阻, 它在额定的输入电压范围内工作时具有低电阻, 但在过压条件下具有高电阻。

满足要求的集成式解决方案

ADA4177 是一款高精度运算放大器, 集成过压保护。集成式 ESD 二极管用作过压箝位, 保护器件。耗尽型 FET 位于 ESD 二极管之前, 与各个输入端串联连接。它们具有动态电阻, 会随着输入电压 (V_{CM}) 超过电源电压而增加。随着输入电压上升, 内部 FET 的漏极-源极电阻 (R_{DSON}) 增加, 从而限制了跟随电压的上升而呈指数增长的电流 (参见图 4)。由于 ADA4177 在输入端采用耗尽型 FET, 并且由于它不是一个串联保护电阻, 因此运算放大器不会在电阻两端产生箝位 OVP 电路那样的失调电压问题。

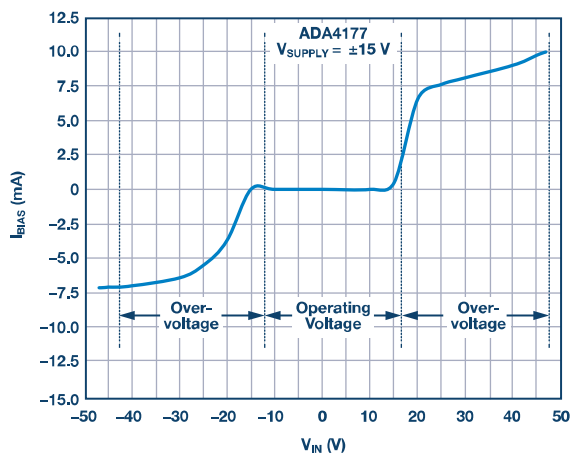


图4. ADA4177 输入偏置电流随过压的增加而受限。

ADA4177 输入可耐受电源电压以上最高 32 V 的电压。它将过压电流限制在 10 mA 至 12 mA (典型值) 范围内, 从而不使用任何外部元件即保护了运算放大器。如图 5 所示, 哪怕在 125°C 时, 该被测单元的失调电压也只有 40 μ V。该值为箝位电路在此温度下误差值的 3% 都不到。精度性能得到了保留!

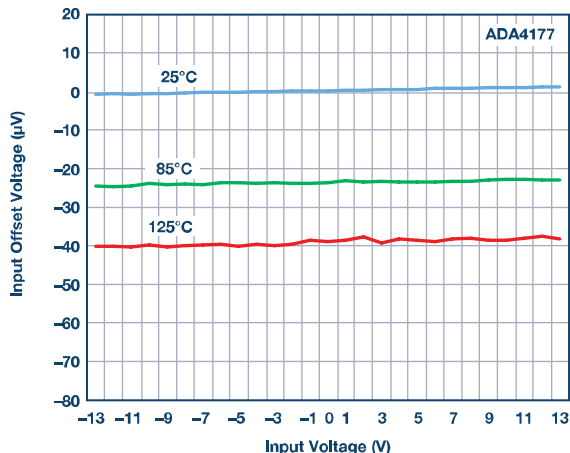


图5. ADA4177 采用集成式OVP时输入失调电压与输入电压的关系。

这对系统性能而言意味着什么

分析输入电压的变化对信号路径精度的影响时，系统设计人员会考虑放大器的共模抑制比 (CMRR)。它表示输出端能抑制多少共模输入电压（或者通过了多少）。由于运算放大器通常配置为提供输入与输出之间的增益，因此我们以输入失调电压变化为参照归一化CMRR规格（即输出变化除以放大器闭环增益）。共模抑制比是一个正数值，以dB为单位，计算公式如下：

$$\text{CMRR} = 20 \log (\Delta V_{\text{CM}} / \Delta V_{\text{OS}})$$

从这个比值中可以看到，有必要保持 V_{OS} 尽量低。ADA4177额定值在完整的工作温度范围内保证具有125 dB最小CMRR限值。通过本实验中被测单元的测试结果可以计算并对比箝位电路和ADA4177的CMRR。表1显示了使用经典箝位二极管电路时精度的极大损失，以及集成FET过压保护的ADA4177的出色CMRR性能。

Daniel Burton [daniel.burton@analog.com] 是ADI公司的应用工程师。他拥有圣何塞州立大学的电气工程学士学位，其职业生涯大多从事检测和精密线性信号路径相关的职位。Dan于2010年加入ADI公司，并专注于精密放大器和基准电压源产品。



Daniel Burton

表1. ADA4177与带箝位二极管的分立式OVP的CMRR对比

过压保护方法	25°C	85°C	125°C
ADA4177	143 dB	145 dB	142 dB
ADA4077和箝位OVP	113 dB	78 dB	58 dB

参考文献

Michael Arkin和Eric Modica。“鲁棒的放大器提供集成过压保护。”《模拟对话》，第46卷第1期，2012年。

视频：“ADA4096-2输入过压保护放大器。”ADI公司。

视频：“ADA4177：集成OVP和EMI的运算放大器具有卓越的鲁棒性和精度。”ADI公司。

欲了解更多有关ADA4177和ADA4077的信息，请参见产品页面和数据手册：[ADA4177](#)和[ADA4077](#)。

电磁流量计：设计考虑和解决方案

作者：Colm Slattery和李可

共享    

当今有哪些工业领域使用流量计？

“若不能度量，则无法管理。”这是工业领域的一句口头禅，尤其适合于流量测量。简单说来，对流量监测的需求越来越多，常常还要求更高速度和精度的监测。有几个领域中，工业流量测量很重要，比如生活废弃物。随着人们越来越关注环境保护，为使我们世界更干净卫生、污染更少，废弃物的处置和监测就变得非常重要。人类消耗着大量的水，随着全球人口增长，用水量会越来越大。流量计至关重要，既能监测生活废水，也是污水处理厂过程控制系统不可或缺的一部分。

流量计还被用于许多工业控制过程，包括化学/制药、食品饮料、纸浆造纸等。此类应用常常需要在有大量固体存在的情况下测量流量——大部分流量技术不能轻松胜任这一要求。

输送计量领域处理两方之间的产品转移和支付，需要高端流量计。实例之一是通过大型管道系统输送油品。在这种应用中，流量测量精度随时间的变化即便很微小，也可能导致某一方损失或获得重大利益。

电磁感应技术为什么非常适合液体流量测量？

对于液体流量测量，电磁流量计技术有多种优势。它的传感器一般是连接到管道中，其直径与管道直径一致，因而测量时不会干扰或限制介质的流动。由于传感器不是直接浸没在液体中，没有活动部件，因此不存在磨损问题。

电磁方法测量的是体积流量，这意味着测量对流体密度、温度、压力和粘度等参数的变化不敏感。一旦用水标定电磁流量计，就可以使用它来测量其他类型的导电液体，无需进一步标定。这是其他类型流量计所不具备的一个重要优势。

电磁流量计特别适合测量固液两相介质，例如泥浆等带悬浮泥土、固体颗粒、纤维或粘稠物的高导电率介质。它可用于测量污水、泥浆、矿浆、纸浆、化学纤维浆及其他介质。这使得它特别适合食品、制药等行业，利用它可测量玉米糖浆、果汁、酒类、药物、血浆及其他许多特殊介质。

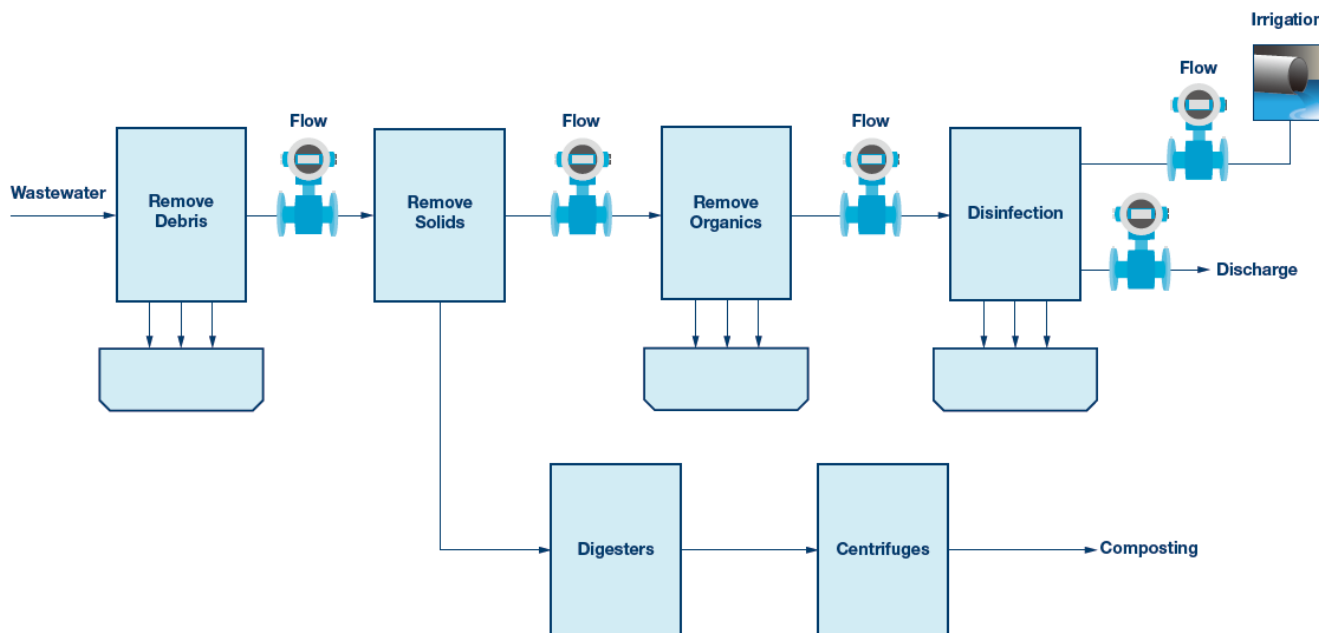


图1. 污水处理厂简图

电磁流量计的工作原理是什么？

电磁流量计的工作原理基于法拉第电磁感应定律。根据法拉第定律，当导电液体流经传感器的磁场时，一对电极之间就会产生与体积流量成正比的电动势，其方向与流向和磁场垂直。电动势幅度可表示为：

$$E = kBDv$$

其中，E 为感生电势，k 为常数，B 为磁通密度，D 为测量管的内径，v 为测量管内的流体在电极截面轴向上的平均速度。

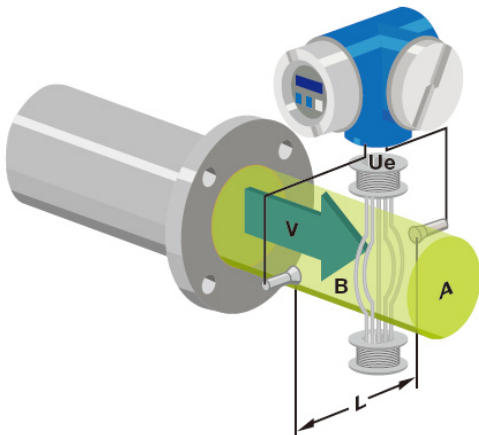


图2. 磁流量计工作原理

传感器输出范围是多少？

传感器提供差分输出。其灵敏度典型值为 150 $\mu\text{V}/(\text{mps})$ 至 200 $\mu\text{V}/(\text{mps})$ 。由于激励电流的方向不断交替，因而传感器输出信号幅度会加倍。对于 0.5 米/秒至 15 米/秒的流速测量范围，传感器输出信号幅度在 75 μV 至 4-6 mV 之间。图 3 显示了用恒流源激励且有流体流经传感器时的传感器输出信号。在传感器输出引线上捕捉到的示波器图显示，有一个电平非常低的信号位于较大共模电压上。紫色曲线对应正电极，红色曲线对应负电极。粉色曲线是将正负电极相减的数学计算通道。低电平信号位于较大共模电压之中。

传感器测量的传统方法是什么？

传统方法大致上是模拟式 — 具有高输入阻抗和高输入共模抑制性能的前置放大器用来应对传感器漏电流效应，然后是三阶或四阶模拟带通滤波器和采样保持级，最后是模数转换。典型模拟前端方法如图 4 所示。传感器输出信号首先经由仪表放大器放大。必须尽量放大目标信号，同时要避免不需要的直流共模电压引起放大器输出饱和。这通常会将第一级仪表放大器的增益限制在最多 10 倍。带通滤波器级进一步消除直流影响，并再次放大信号，然后进入采样保持电路 — 正是这个差值信号代表流速 — 随后送至模数转换器。

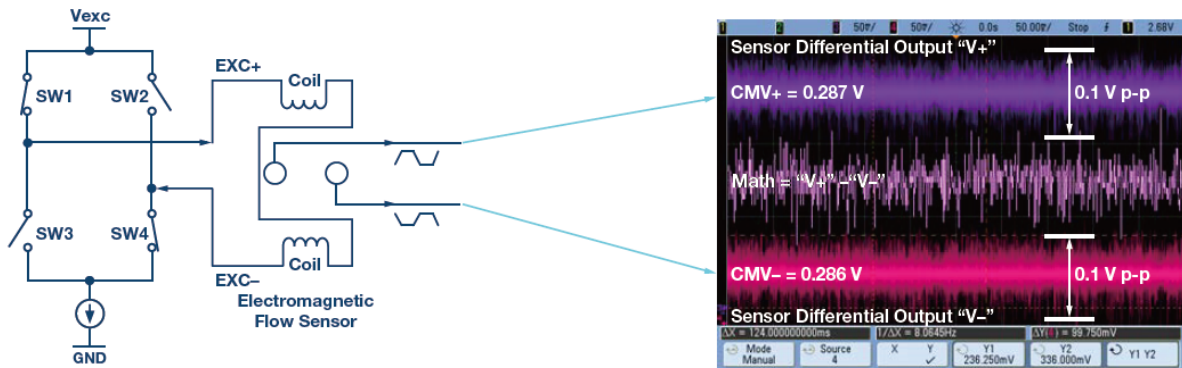


图3. 电磁流量传感器的输出信号

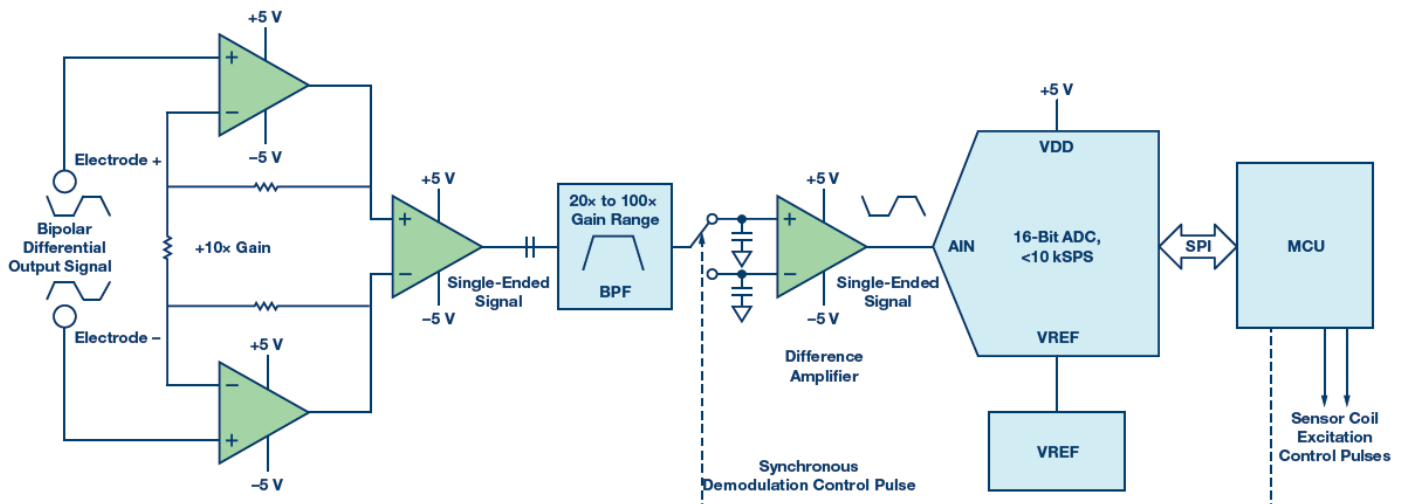


图4. 传统模拟前端方法

影响电磁流量计架构变化的市场趋势有哪些？

有多种行业趋势在呼唤新架构。其中之一是对数据日益增加的需求。对于液体，监测除流量外的其他属性的能力正在变得越来越有价值。例如，为了确定液体中可能有哪些污染物，或者为了确定液体是否有适合特定应用的正确密度/粘度。增加这种诊断能力有许多此类要求和好处。利用传统模拟方法是无法轻松获取此类信息的，因为大部分传感器信息会在同步解调阶段中丢失。

另外，制造工艺持续要求提高生产力和效率。例如在液体投注/灌装应用中，增加的灌装节点越来越多；制造工艺规模的扩大，灌装速度的提高，要求更快速、更精确的流量监测。

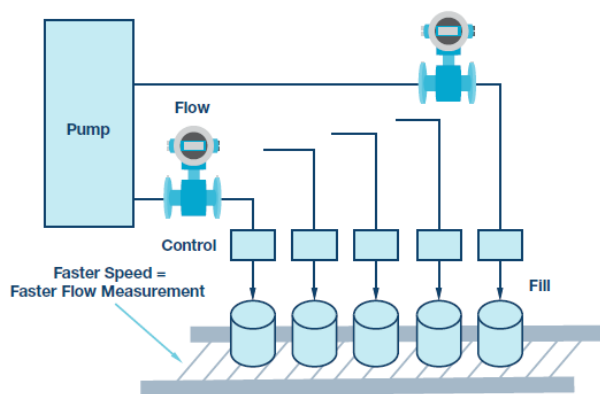


图 5. 液体投注/灌装

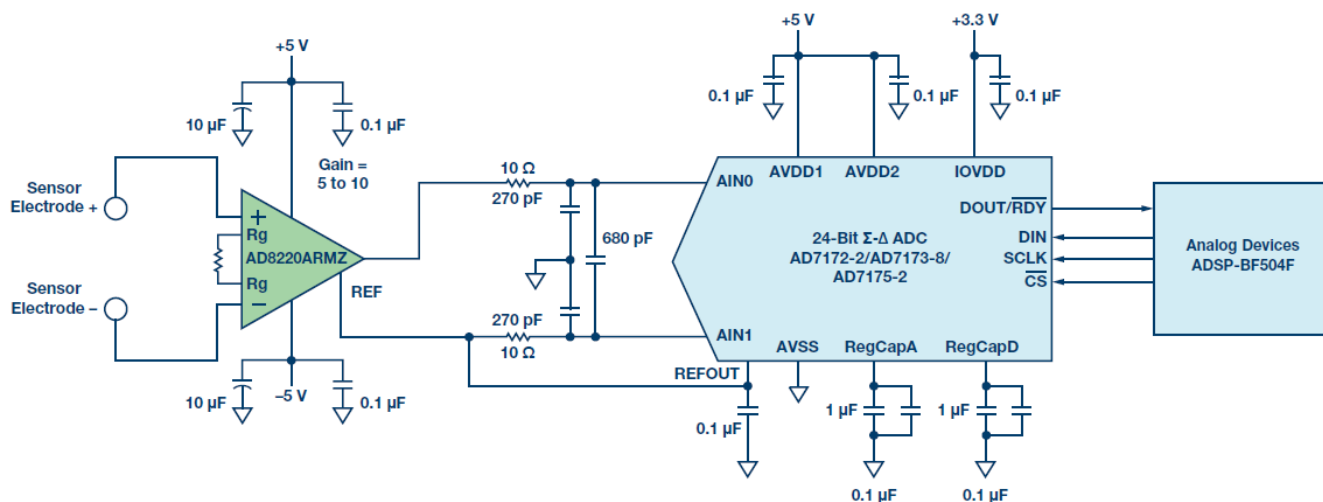


图 6. 采用 AD8220 和 AD717x-x 的过采样架构模拟前端

传统上利用机械或称重技术来确定灌装过程中要添加的正确液体量，或生产工艺中的精确灌装量。这些方式往往非常昂贵，而且难以扩展。为了满足这种需求，流量计（尤其是针对液体的电磁流量计）已成为首选技术。

新的电磁流量计架构是什么样子的？

过采样方法大大简化了模拟前端设计。模拟带通滤波器和采样保持电路不再需要。电路中的前置放大器仅有一级仪表放大器——在我们的例子中是 AD8220 JFET 输入级轨到轨输出仪表放大器，它可以直接连接到高速 Σ - Δ 型转换器。

对于模拟前端，重要的是什么，它如何影响我的设计？

放大器和 ADC 是此类应用中最重要两个模块。第一级放大器有几项关键要求。

一个要求是共模抑制比 (CMRR)。液体电解质中的离子会发生定向运动，因此，电极与流体之间会产生电势，这就是所谓极化。如果两个电极完全一致，电极上的电势应彼此相等。不同金属的极化电压在数百毫伏到 ± 2 伏之间不等。这是出现在传感器输出端和前置放大器输入端的直流共模电压。前置放大器是抑制此共模电压的关键。

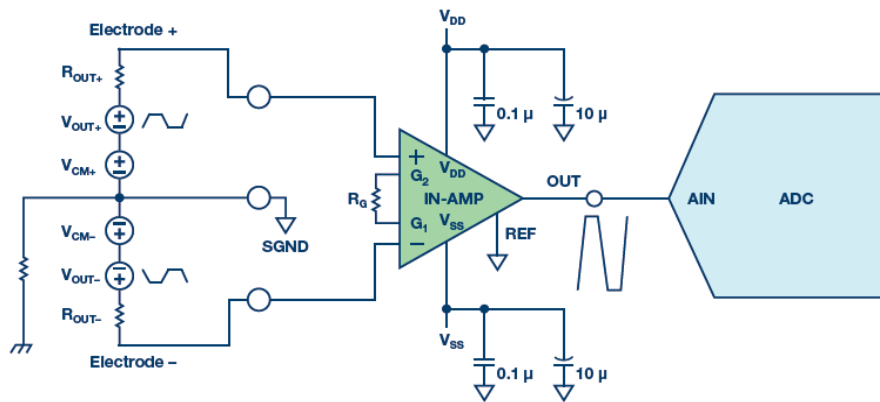


图7. 前置放大器的共模抑制

表 1. 共模抑制对实际流速的影响

共模抑制比	共模抑制比与抑制后的共模直流失调和噪声			
	120 dB	100 dB	80 dB	60 dB
0.28V 共模直流	0.28 μ V	2.8 μ V	28 μ V	280 μ V
0.1 V 共模噪声	0.1 μ V	1 μ V	10 μ V	100 μ V
共模噪声转换为 175 μ V/(mps)传感器的流速	0.0006 mps	0.006 mps	0.06 mps	0.6 mps

表 2. 放大器输入阻抗对流速的影响

传感器输出阻抗 (G Ω)	放大器输入阻抗 (G Ω)	对 1 mps 减小的信号幅度 (μ V)	可重复性 (%)	读数误差 (%)
10	10	87.50	0.065%	0.196%
10	100	15.91	0.051%	0.154%
10	1000	1.73	0.049%	0.148%
10	10,000	0.17	0.049%	0.147%

100 dB 共模抑制比会将 0.3 伏直流共模衰减到 3 微伏，后者作为直流失调出现在放大器输出端，可通过校准予以消除。理想情况下，传感器上的共模电压保持不变，但实际上，它会随时间而变化，并且会受到液体质量或温度等其他因素的影响。共模抑制比越高，对连续后台校准的需求就会越少，流量稳定性也越高。

电极的金属材料与电解质液体接触。液体电解质与电极之间的摩擦会产生较高频率的交流共模电压。虽然幅度通常很小，但交流共模表现为完全随机的噪声，更难抑制。这就要求前置放大器不仅具有良好的直流共模抑制比，而且要有出色的较高频率共模抑制比。AD8220 放大器在直流到 5 千赫兹范围内具有出色的共模抑制比。对于 AD8220 B 级，直流到 60 赫兹范围的最小共模抑制比为 100 dB，5 千赫兹以下为 90 dB，能够很好地将共模电压和噪声抑制到微伏水平。当共模抑制比为 120 dB 时，0.1 伏峰峰值降低到 0.1 微伏峰峰值。表 2 显示了较差的 CMRR 对输出传感器信号的影响。

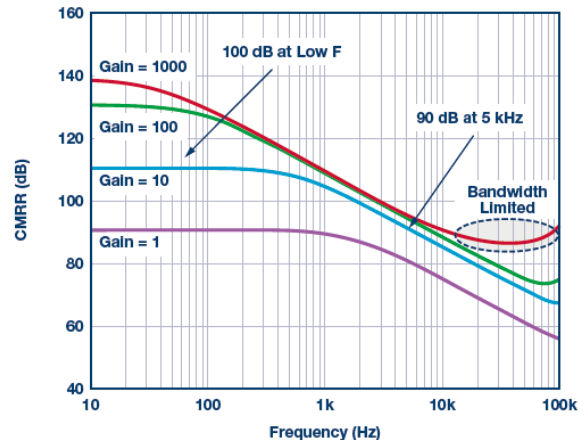


图8. AD8220 直流和交流共模抑制效应

前置放大器级的低漏电流和高输入阻抗是又一重要参数,因为电磁流量传感器的输出阻抗可能高达 GΩ。放大器的高输入阻抗可防止传感器输出过载,避免信号幅度减小。放大器的漏电流应足够低,这样当它流经传感器时,不会成为一个显著的误差源。AD8220 的最大输入偏置电流为 10 pA,输入阻抗为 10¹³ Ω,因此它能支持电磁流量传感器的广泛输出特性。表 2 列出了前置放大器输入阻抗对 10 GΩ 高输出阻抗传感器的影响。

最后,0.1 赫兹至 10 赫兹范围的 1/f 噪声设置应用的噪底。当增益配置为 10 时,AD8220 折合到输入端的电压噪声约为 0.94 μV p-p,它能分辨 6 毫米/秒的瞬时流速和小于 1 毫米/秒的累计流速。

如何选择 ADC,对应用而言哪些方面比较重要?

过采样方法既带来了挑战,也对 ADC 模块提出了更高的性能要求。由于没有后级模拟滤波器有源增益级,所以仅有一小部分的 ADC 输入范围获得使用。过采样和平均本身不等于性能的显著提高,因为各传感器周期需要完全建立下来才能用于流量计算。此外,需要从这些有限的点获得足够多的模数转换样本,从而在固件处理过程中消除意外毛刺。

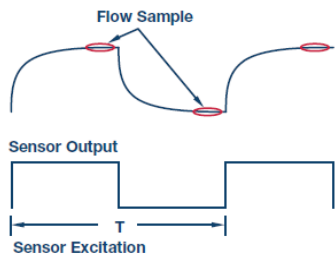


图9. 流量信号采样

过采样架构一般要求 ADC 数据速率大于 20 kSPS,越快越好。这与实际流量测量没有明确关系。由于不存在模拟带通滤波器,ADC 输入端会直接看到传感器原始输出。这种情况下,

表 3. 模拟前端和 ADC 的噪声预算

灵敏度为 175 μV/(mps)的传感器的流速分辨率	该分辨率下传感器输出的信号幅度	模拟前端的折合到输入端噪声预算	过采样模拟前端增益为 10 时的 ADC 噪声预算
10 毫米/秒	3.5 μV p-p	1.75 μV p-p	5.8 μV p-p/19.7 位*
5.4 毫米/秒	1.89 μV p-p	0.95 μV p-p	3.2 μV p-p/20.6 位*
5 毫米/秒	1.75 μV p-p	0.88 μV p-p	2.9 μV p-p/20.7 位*

*数据来自一个 FIR 滤波器周期和一次瞬时流量计算。

表 4. 不同传感器激励频率下的测量精度比较

激励频率 (赫兹)	6.25	12.5	25	50	100	200	400
采用 AD7172-2	0.12%	0.12%	0.13%	0.16%	0.19%	0.24%	0.33%
采用最接近的竞争产品	0.13%	0.15%	0.19%	0.25%	0.33%	0.46%	0.64%
差距	12%	22%	47%	57%	77%	89%	95%

传感器的上升沿未经滤波,因此 ADC 在上升沿和下降沿期间须具有足够高的分辨率,以便足够准确地捕捉这些边沿。

流量计的精度本身可通过瞬时流量测量或累计流量测量来确定。流量计标准采用累计流量技术 — 测量长时间(比如 30 或 60 秒)内某一水量的平均流量。通过这种测量(而非瞬时流量测量)可确定系统精度为±0.2%。瞬时流量适合需要实时流速的应用场合。它对电子器件的精度要求要高得多。理论上,为了分辨 5 毫米/秒的瞬时流量,ADC 需要在一个激励周期(约 600 样本的后置 FIR 滤波器)内实现 20.7 位的峰峰值分辨率。这可通过模拟前端来实现。

AD7172-2 提供低输入噪声和高采样速度的完美组合,特别适合电磁流量应用。采用 2.5 V 外部基准电压源时,AD7172-2 的典型噪声低至 0.47μV p-p。这意味着,最终流量结果的刷新速率可以达到 50 SPS,而不需要增加外部放大级。图 10 显示了采用 AD7172-2 的过采样前端电路的噪声曲线。

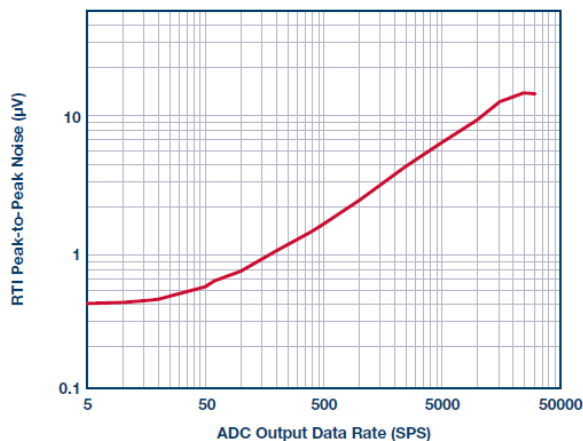


图10. 采用 AD8220 和 AD7172-2 的过采样架构的折合到输入端噪声测试结果

如何获得更快的响应以满足业界对更高效率的需求？

提高传感器激励频率可以提高流量测量的系统更新速率。这种情况下，传感器输出的建立时间会缩短，因而可用于平均的样本数会减少。使用更低噪声的 ADC，可以进一步降低折合到传感器输出端的噪声。采用同样的前端驱动器 AD8220，其增益配置为×10，可以比较更高更新速率下该模拟前端与主要竞争产品的性能。表 4 和图 11 显示了与最接近的竞争产品相比，ADI 器件在更高系统更新速率下取得的优势。

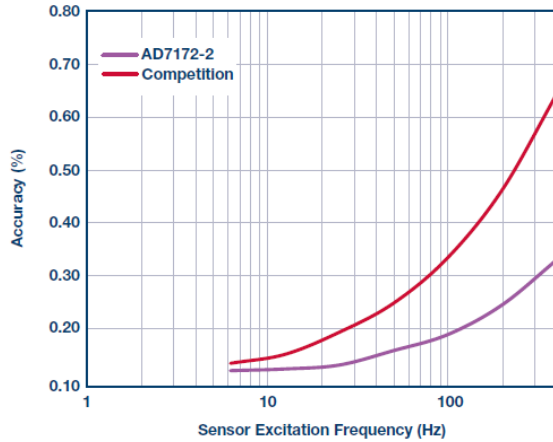


图 11. 不同传感器激励频率下的测量精度比较

仪表放大器能否直接驱动 ADC，我怎样才能确定？

一般而言，这取决于仪表放大器的驱动能力和 ADC 的输入结构。许多现代精密 ADC 是基于开关电容架构。片内采样保持器呈现为上游放大器的瞬态负载，它必须能让开关电容输入建立，以便实现精确采样。

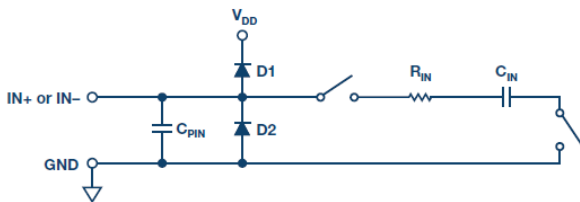


图 12. 等效模拟输入电路

下式可用来检查放大器能否驱动 ADC。

$$BW = 1/(2\pi \times (1/(2 \times MCLK) - T)) \times \ln [(FS - CMV)/(FS \times Error)]$$

其中：

BW 为放大器驱动 ADC 所需的最小带宽。

$MCLK$ 为 ADC 调制器时钟频率（单位为赫兹）。

T 为短路相位时间（单位为秒）。

FS 为 ADC 满量程输入范围（单位为 V）。

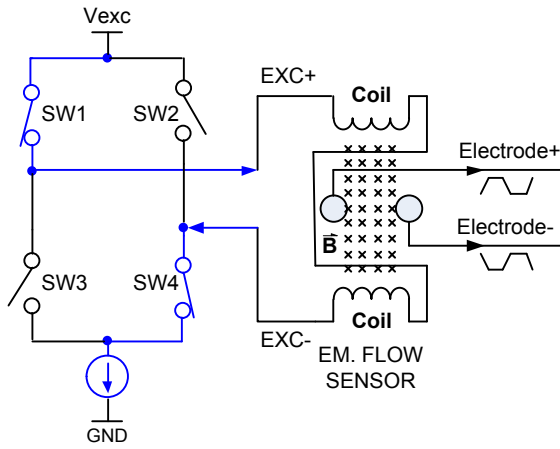
CMV 为 ADC 输入范围的共模电压（单位为 V）。

$Error$ 为 ADC 采样的建立误差。

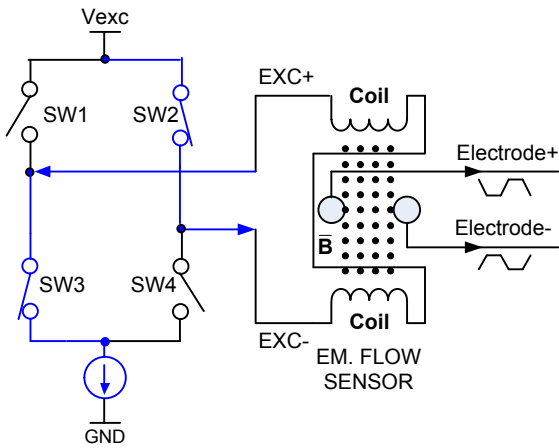
例如，AD7172-2 的调制器频率为 2 兆赫兹，短路相位时间为 10 ns，满量程输入范围为 5 V，共模电压为 2.5 V，建立误差为 1 ppm。由此得到 BW 值为 8.7 兆赫兹，这就是当 AD7172-2 处于无缓冲模式时，驱动放大器需要的带宽。它超过 1.7 兆赫兹——AD8220 及许多精密仪表放大器的增益带宽积能力。AD7172-2 的两个 ADC 模拟输入上均集成真正的轨到轨精密单位增益缓冲器。它设计用来在全频率范围驱动 AD7172-2 输入级，降低客户的设计复杂度和风险。缓冲器提供高输入阻抗，典型输入电流仅 5 nA，使得高阻抗信号源可以直接连接到模拟输入。缓冲器全面驱动 ADC 内置开关电容采样网络，简化了模拟前端电路要求，而每个缓冲器的典型功耗仅有 0.87 mA。每个模拟输入缓冲器放大器均完全斩波，就是说，这会使缓冲器的失调误差漂移和 $1/f$ 噪声最小。

如何产生磁场？

通过线圈施加恒定电流，从而在测量管道内部产生磁场；线圈安装在管道外部附近，常常成对存在，并且互相串联。线圈通常是数百匝铜线，因此在驱动器电路看来，其是一个较大电感。线圈电感通常在数十到数百毫亨左右，另外还有 50 Ω 到 100 Ω 的直流串联电阻。在每个周期内，通过断开和闭合 H 电桥上不同的开关对，驱动器电路改变激励电流方向，因而磁场也改变方向。为了消除噪声，交替频率一般是电力线频率的整小数倍。驱动器电路包括一个恒流源和一个 H 电桥，受微处理器控制。



a) Positive Excitation Phase



b) Negative Excitation Phase

图 13. 磁场产生

功耗是否重要?

是的。电磁流量计的激励电流可能相当大，从针对较小直径管道的 50 毫安到针对较大直径管道的 500 毫安或 1 安培不等。恒流电路若采用线性稳压电路，可能会消耗大量功耗和电路板

面积。

与线性稳压恒流电路相比，开关模式电源可节省功耗。如图所示，ADP2441 配置为恒流源输出模式。1.2 V ADR5040 输出电压由两个电阻分压至 150 mV。此 150 mV 电压施加于 ADP2441 电压跟踪引脚，使得电压反馈引脚也保持在 150 mV。当在反馈引脚上使用一个 0.6 Ω 电流设置电阻时，ADP2441 便会将其输出电流调节到预设电流 I_{SET} 水平。通过调整连接到 ADP2441 反馈引脚的电流设置电阻值，便可调节恒流源。

表 5. 推荐开关稳压器

推荐 ADI 开关稳压器	效率
ADP2441	200 mA 输出时为 90% (@12 V)，最高支持 1 A
ADP2360	10 mA 输出时为 90%，最高支持 50 mA

该驱动级设计有何其他优势?

它有显著的面积优势。电磁流量传感器驱动电路，也称为激励电路，通常与信号调理电路（1 千伏基本隔离一般足够）相隔离。常规电磁流量变送器普遍使用光耦合器隔离。光耦合器的可靠性往往很差，而且尺寸相当大。ADuM7440 数字隔离器集高速 CMOS 和单片空芯变压器技术于一体，在一个 16 引脚小型 QSOP 封装中提供四个独立隔离通道。

与采用光耦合器、线性稳压恒流源、通孔封装的分立场效应管 H 电桥的常规方案相比，使用数字隔离方法不仅可节省功耗，还能节约 80% 以上的电路面积。

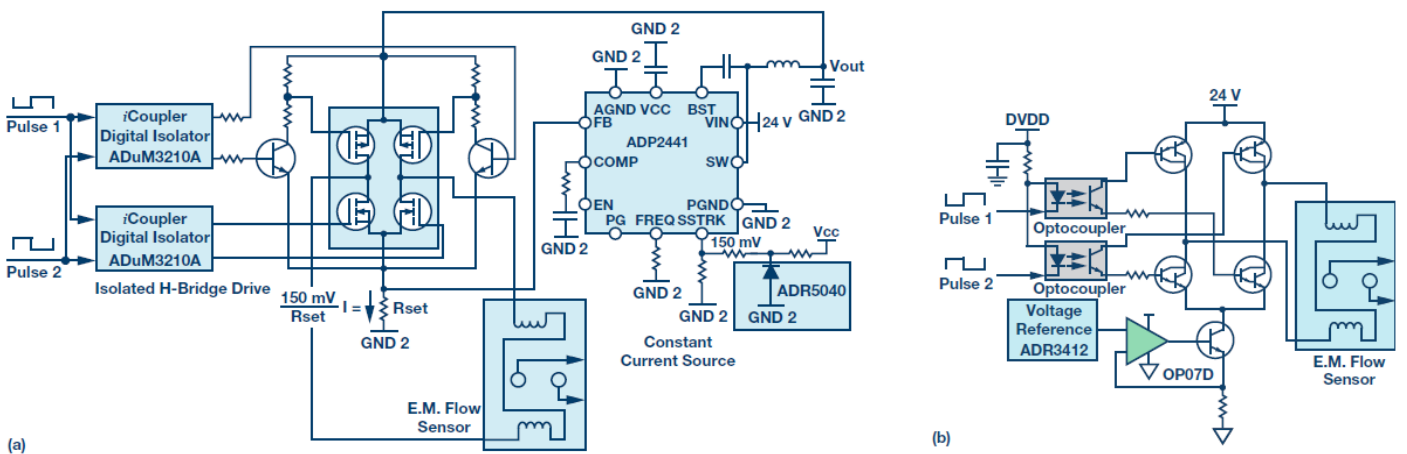


图 14 (a). 利用开关电源和 Coupler[®] 驱动隔离 H 电桥
(b). 利用线性调节电流源和光耦合器驱动隔离 H 电桥

如何计算流速?

在数字域中交流流量信号仍需要滤波和同步解调。图 15 说明算法如何在数字域中实现同步解调。数字信号处理器发出控制信号 1 和 2，这是一对互补逻辑信号，用于电磁流量传感器线圈激励。

在这两个信号的控制下，流经电磁流量传感器线圈的电流在每个周期都会反向，因而磁场方向和电极上的传感器输出也会反向。

表 6. H 电桥驱动级使用的主要器件比较

器件	数量	封装	面积(mm ²)
PC817B	2	DIP-4	63.24
TIP127, PNP 达林顿	2	TO-220	51.54
TIP22, NPN 达林顿	2	TO-220	51.54
总面积			333

器件	数量	封装	面积(mm ²)
ADUM7440ARQZ	1	QSOP-16	31
ZXMHC6A07N8	1	SOIC-8	31
MMBT3904LT1G	2	SOT-23	13.92
1SMA5917BT3G	1	SMA	13.55
总面积			89

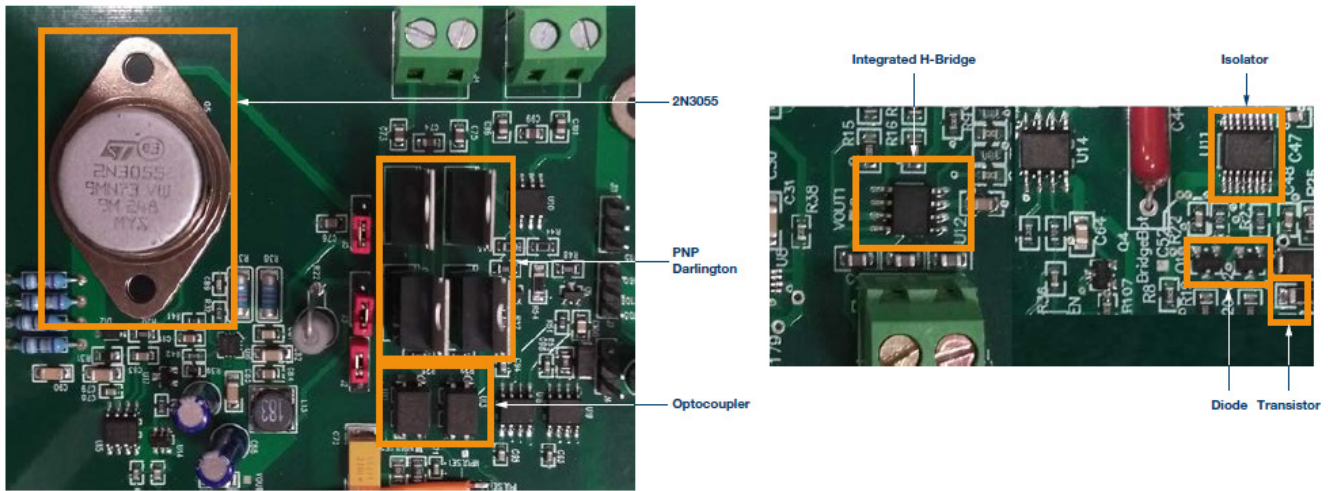


图 15. 光耦合器与数字隔离器设计的面积比较

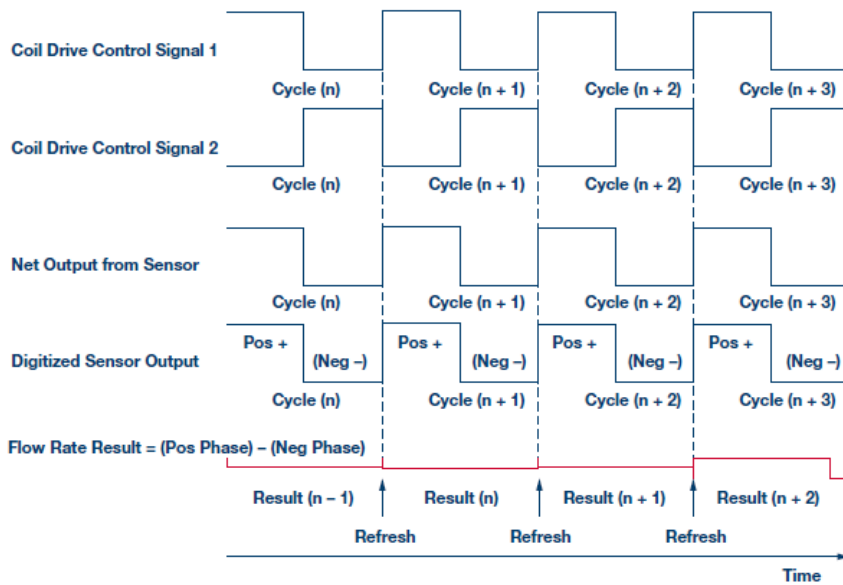


图 16. 数字域中的同步解调和流速计算

例如在第 n 个周期, 当 ADC 样本输入时, 数字信号处理器 (本例为 ADSP-BF504F) 知道控制信号 1 和 2 的时序与逻辑。这样, 数字信号处理器便可根据线圈驱动控制信号的逻辑状态将这些 ADC 样本安排到静态随机存储器的两个数组中。也就是说, 在正半周期获得的带时间戳样本归入一组, 在负半周期采集的样本归入另一组。随后, 每一组均经过 FIR (有限脉冲响应) 低通滤波器。滤波器截止频率设置为 30 赫兹, 允许有用信号通过, 但会抑制电力线频率干扰和低频噪声成分。图 17 显示了过采样前端设计中的 FIR 滤波器幅频曲线和模拟同步解调架构中的模拟带通滤波器幅频曲线。

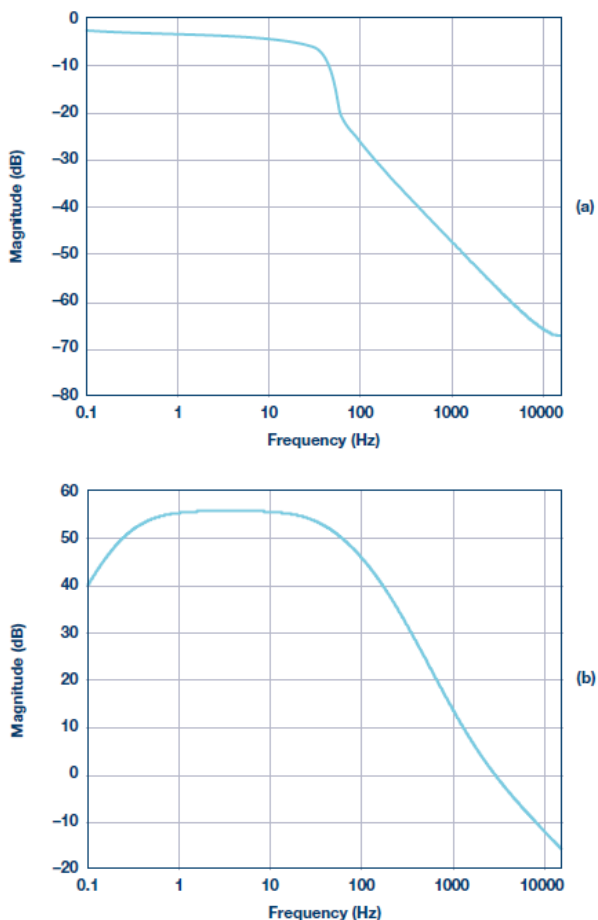


图 17 (a). 数字 FIR 低通滤波器幅频曲线
(b). 模拟带通滤波器幅频曲线

然后, 算法减去这两个平均值以获得一个与流速成正比的值。此值的单位为 LSB/(毫米/秒)。该值需要做进一步处理。最终流速计算如下:

$$\text{FlowRate (mps)} = \frac{\Delta \text{FlowRate} \times V_{REF}}{(2^N - 1) \times G \times \text{灵敏度}} \times K_T \times K_S - K_Z$$

其中:

$\Delta \text{FlowRate}$ 为从正负激励阶段中减去两个平均值的结果, 单位为 LSB。

V_{REF} 为 ADC 基准电压, 单位为 V。

N 为 ADC 分辨率位数。

G 为模拟前端增益。

$Sensitivity$ 为传感器的标称灵敏度, 单位为伏特/(毫米/秒)。

K_T 为变送器系数。

K_S 为传感器系数。

K_Z 为零点失调。

如何选择合适的处理器?

选择处理器是一个重要问题。业界越来越需要更高的处理能力, 用以支持更复杂的算法处理或增强的诊断/预测功能。另外, 提高电气和工业基础设施的能源效率已成为全球运动。客户要求以更低的功耗和更实惠的价格获得更高处理能力。

电磁流量计的数字滤波器可能需要大量处理能力。32 位 FIR 滤波器要消耗 80 MIPS。流速计算、外设通信驱动和数据通信分别需要 40 MIPS、32 MIPS 和 20 MIPS。这些相加的总和为 172 MIPS。本设计中, 上述任务由最高达到 400 MIPS 的数字信号处理器 ADSP-BF504F 完成。这样, 已经有将近 50% 的处理能力被占用, 其中还不包括多层协议堆栈、HART 通信、诊断、安全监控功能和液晶显示驱动。

表 7. MIPS 消耗

任务	MIPS
FIR 滤波器	80
计量数据处理	40
AD7172-2 数据存取	32
其它	20
总计	172

片内外设也很重要。数字信号处理器有多种功能要实现, 包括 SPI、UART、I²C 和脉冲输出通信。有 35 个 GPIO 可用于硬件控制和逻辑输入/输出, 例如控制液晶显示器、键盘输入、报警和诊断等。SRAM 存储器存储滤波器系数、SPI 数据通信、LCM 数据缓存、机器状态数据和内部状态标志。68 kB 片内静态随机存取存储器 (SRAM) 满足系统要求, 包括一个 32 kB L1 指令 SRAM/缓存和一个 32 kB L1 数据 SRAM/缓存。RS-485 和 HART 通信也需要存储器。ADSP-BF504F 的 4 MB 片内闪存用来存储程序数据、滤波器系数和校准参数。

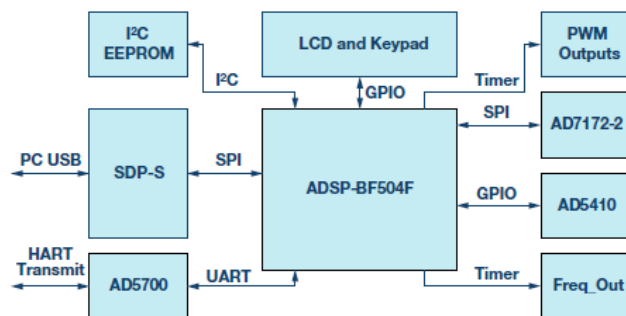


图 18. ADSP-BF504F 外设

未来对处理能力的要求会持续增加。未来满足这种要求，ADSP-BF70x Blackfin®处理器系列提供高性能 DSP，具有同类一流的 800 MMACS 处理能力，而功耗不足 100 mW。此系列由 8 款高性价比成员构成，搭载最高 1 MB 内置 L2 SRAM，使许多应用无需采用外部存储器，而第二种配置则提供可选的 DDR2/LPDDR 存储器接口。表 8 列出了 ADSP-BF7xx 系列的重要特性。

ADI 公司针对电磁流量计解决方案提供何种支持？

ADI 公司开发了一款系统级参考设计，用以支持电磁流量计完整信号链的原型开发。该系列配置灵活，可连接到任何类型的电磁流量传感器，施加适当的激励频率和电压即可产生磁场

(由 Blackfin 数字信号处理器控制)，能够测量传感器输出，以及应用后处理滤波器和算法来计算流速。ADI 公司在真实的流量试验台环境中对设计进行标定 (如图 19 所示)，并将标定系数存储在非易失存储器中。支持单点或多点校准，通过多点线性化可实现更高的性能。这样做的结果表明：该模拟前端设计的性能可以达到领先高端流量计的要求。

相比传统架构，过采样架构有多方面重要优势。面积和成本均有显著节省 — 分别达到 50%和 20%。由于能够节省传感器信号并应用后处理，功耗也会降低，系统性能也得以增强。有关 ADI 参考设计的更多信息，请联系 cic@analog.com。

表 8. ADSP-BF70x Blackfin 处理器系列

通用器件	DSP 内核性能	片内存储器	外部存储器	主要连接选项	其它特性	封装
ADSP-BF700 ADSP-BF702 ADSP-BF704 ADSP-BF706	100 MHz 至 400 MHz	132 kB L1 SRAM/缓存 L2 SRAM 选项: 128 kB 256 kB 512 kB 1 MB	不适用	ePPI、Sport (2)、四通道/双通道 SPI (3)、I ² C、UART (2)、CAN 2.0 B (2)、SD/SDIO/MMC (4 位) USB 2.0 HS OTG	OTP、安全加速器、数据完整性 (带 L1 奇偶校验和 L2 ECC)、WDT、RTC	QFN 88 引脚、12 mm×12 mm
ADSP-BF701 ADSP-BF703 ADSP-BF705 ADSP-BF707	800 MMAC, 16 位 400 MMAC, 32 位	512 kB 1 MB 512 kB L2ROM	16 位 LPDDR DDR2	以上选项加上 SDIO/MMC/eMMC (8 位) 4 通道、12 位 ADC		BGA 184 引脚 12 mm × 12 mm 0.8 mm

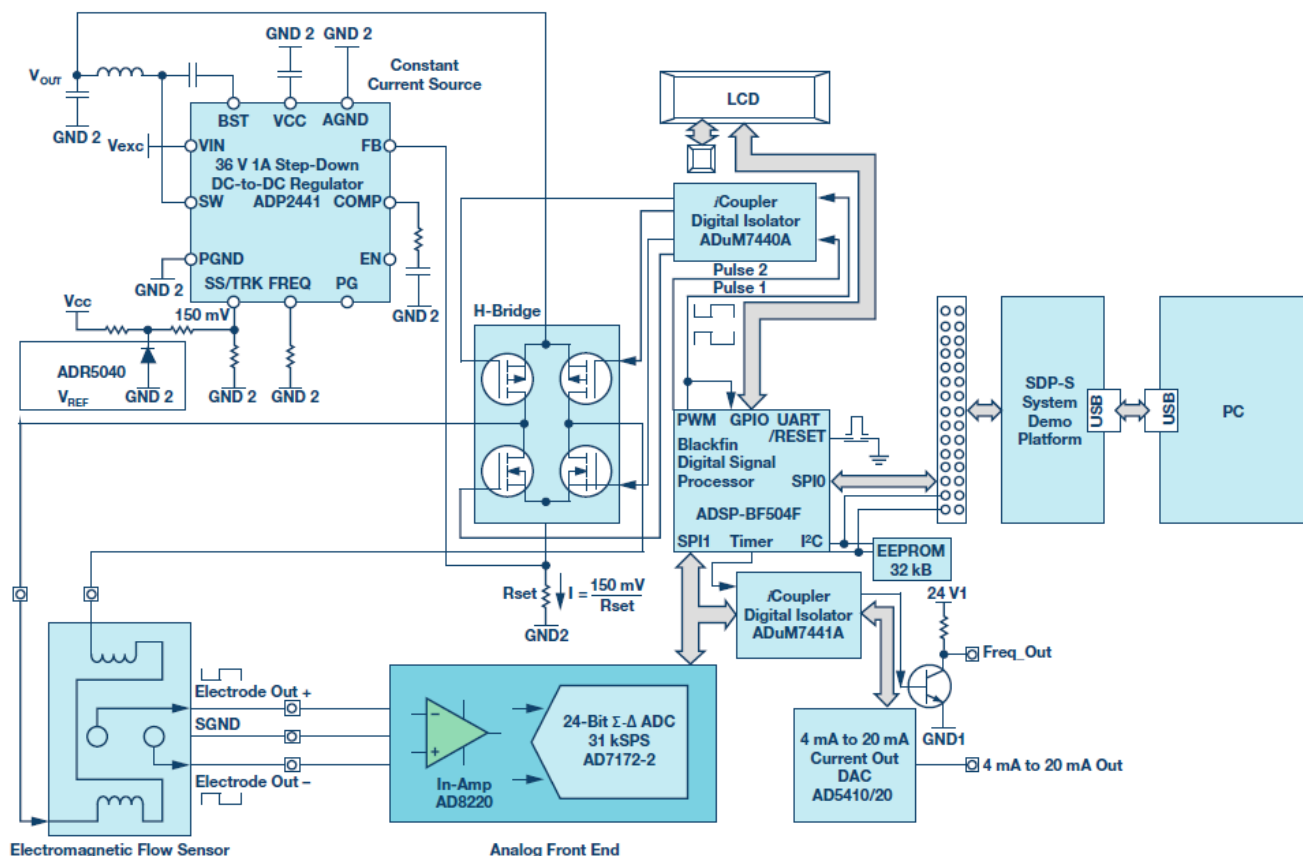


图 19. ADI 完整解决方案

您是否利用该设计测量过数据?

评估结果

该参考设计进行过测试,我们把它连接到流量标定试验台上的 25 毫米直径电磁流量传感器,介质为室温下的水。激励频率设置为 6.25 赫兹,在 0.5 米/秒到 2 米/秒范围内,基本误差为读数的 $\pm 0.2\%$ 。测试结果数据如表 9 所示。

表 9. 采用 DN25 传感器的数字过采样演示板的校准结果

流速 (mps)	读数误差 (%)	可重复性 (%)
2.05	-0.14%	0.00%
1.01	0.03%	0.03%
0.49	0.07%	0.04%
0.21	0.42%	0.08%
0.10	1.15%	0.01%
0.05	2.74%	0.06%

总结

全世界有越来越多的环境法规要求监测和控制来自住宅、商业和工业的废弃物,尤以欧洲为甚。电磁流量技术是此类应用的首选技术。传统方法基本上是模拟方法,它有一些缺点,表现

在成本、面积、功耗、响应时间、有限的系统信息等方面。行业趋势是转向过采样方法。这给 ADC 要求带来了重大挑战,因为更新速率会提高 10 倍左右,但平均值的好处得不到利用,ADC 在高数据速率下的噪声要求需要进一步提高。另外还有功耗挑战需要解决。液体和管道直径均有很多类型,这就需要能够动态控制功耗,通过一种支持所有类型传感器需求的设计来将功耗降至最低。Blackfin 数字信号处理器集低功耗和高处理能力于一体,满足流量计应用的要求。它执行复杂的 FIR 滤波器算法来计算流速,同时具有领先的 800 MMACS 处理能力,而功耗不足 100 mW。完整设计相比于之前的技术大大简化,而且可节省成本、功耗和面积,优势众多。有关 ADI 参考设计的更多信息,请联系 <mailto:cic@analog.com>。

参考文献

Ardizzoni, John。“高速差分 ADC 驱动器设计指南”。*模拟对话*, 第 43 卷, 2009 年 5 月。

Walsh, Alan。“精密 SAR 模数转换器的前端放大器和 RC 滤波器设计”。*模拟对话*, 第 46 卷, 2012 年 12 月。

Colm Slattery 是 ADI 公司位于爱尔兰利默里克的自动化、能源与传感器业务部门的系统应用工程师。其关注的重点领域是过程控制,包括面向过程自动化市场的现场仪表和 PLC/DCS 控制器。Colm 毕业于利默里克大学,获得电子学学士学位。加入 ADI 之前,他曾任职于 Microsemi。



Colm Slattery

该作者的其它文章:
[电磁流量计可在工业应用中实现高精度](#)
《模拟对话》48-02,
2014 年 2 月

李可是 ADI 公司位于爱尔兰利默里克的自动化、能源与传感器业务部门的系统应用工程师。他于 2007 年在中国上海加入 ADI 公司,担任精密转换器产品线产品应用工程师。此前,他曾在安捷伦科技有限公司的化学分析集团担任过四年的研发工程师。他于 1999 年获得西安交通大学电子工程学士学位,并于 2003 年获得西安交通大学生物医学工程硕士学位。



李可

该作者的其它文章:
[电磁流量计可在工业应用中实现高精度](#)
《模拟对话》48-02,
2014 年 2 月

数字下变频器的的发展和更新—第一部分

作者: Jonathan Harris

共享    

很多现代无线电架构包含下变频级，可将RF或微波频段向下转换至中频，以便进行基带处理。无论最终应用是通信应用、航空航天与国防应用，或是仪器仪表应用，目标频率都越来越高，并进入了RF和微波频谱。应对这种情况的一种可行解决方案是使用更多的下变频级，如图1所示。而另一种更有效的解决方案是使用集成数字下变频器(DDC)的RF ADC，如图2所示。

将DDC功能集成至RF ADC中便不需要额外的模拟下变频级，并允许RF频率域中的频谱直接向下变频至基带进行处理。RF ADC处理GHz频率域中频谱的能力放宽了模拟域中进行多次下变频的要求。DDC的这种功能使频谱得以保留，同时允许通过抽取滤波进行过滤，这样还能提供改善带内动态范围（增加SNR）的优势。有关该话题的更详细讨论可参见：“[祖父时代的ADC已成往事](#)”以及“[千兆采样ADC确保直接RF变频](#)”。这些文章进一步讨论了AD9680和AD9625，以及它们的DDC功能。

本文主要关注AD9680（以及AD9690、AD9691和AD9684）中的DDC功能。为了理解DDC功能，并了解当ADC中集成了DDC时如何分析输出频谱，我们将以AD9680-500为例。ADI网站上的[折频工具](#)将作为辅助工具使用。这款使用简单但功能强大的工具可用来帮助理解ADC的混叠效应，这是分析集成了DDC的RF ADC（比如AD9680）中输出频谱的第一步。

本例中，AD9680-500工作时的输入时钟为368.64 MHz，模拟输入频率为270 MHz。首先，理解AD9680中数字处理模块的设置很重要。AD9680将设为使用数字下变频器(DDC)，其输入为实数，输出为复数，数控振荡器(NCO)调谐频率设为98 MHz，半带滤波器1 (HB1)使能，6 dB增益使能。由于输出是复数，因此复数转实数模块禁用。DDC的基本原理图如下所示。以下内容对于了解如何处理输入信号音很重要：信号首先通过NCO，使输入信号音的频率偏移，然后通过抽取模块，并可选择性通过增益模块，之后再选择性通过复数转实数模块。

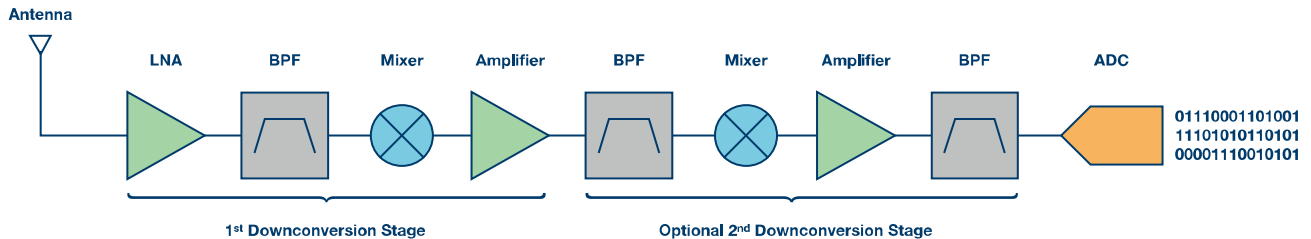


图1. 带下变频级的典型接收器模拟信号链。

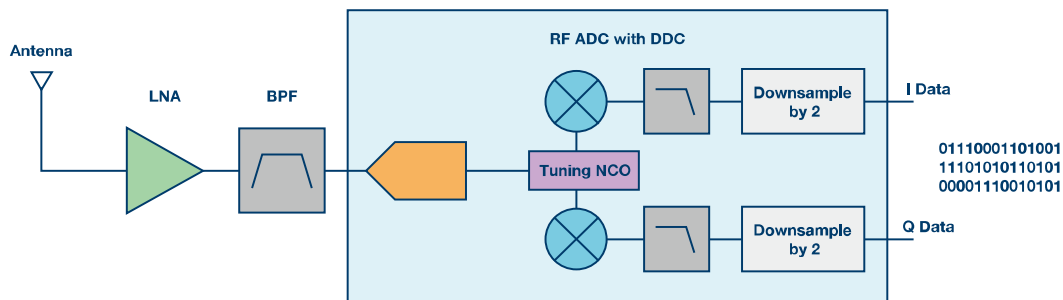


图2. 使用RF ADC（集成DDC）的接收器信号链。

从宏观上把握信号流过AD9680也很重要。信号进入模拟输入，通过ADC内核，进入DDC，通过JESD204B串行器，然后

通过JESD204B串行输出通道输出。可以参见图4中的AD9680功能框图。

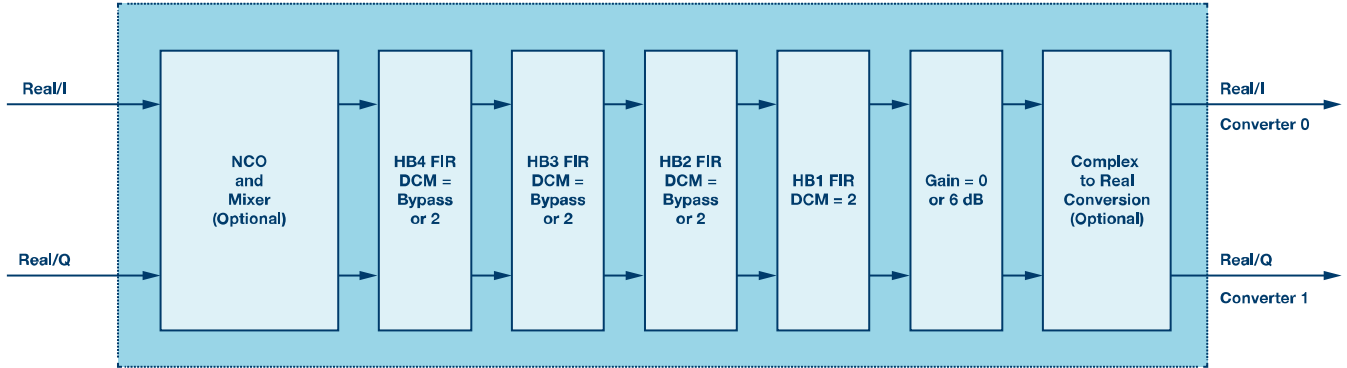


图3. AD9680中的DDC信号处理模块。

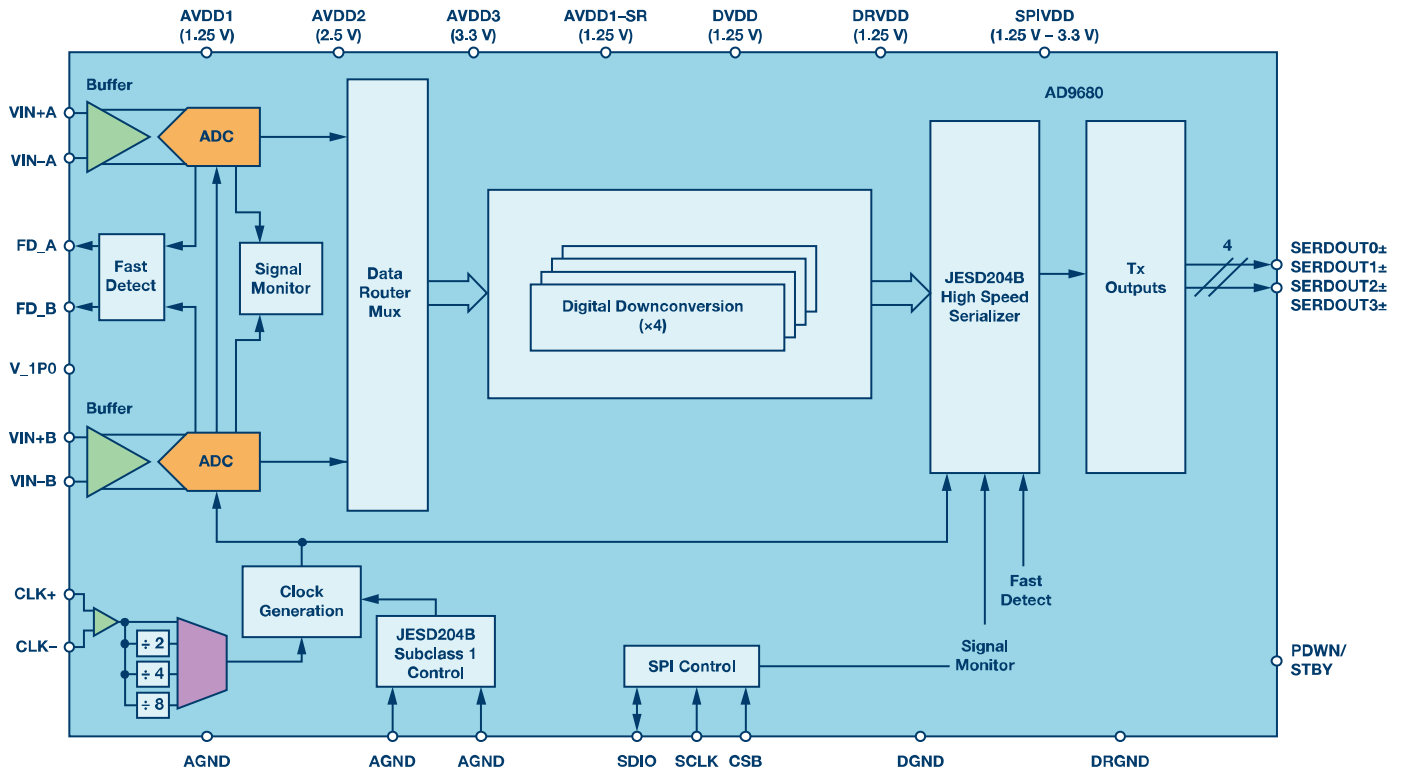


图4. AD9680功能框图。

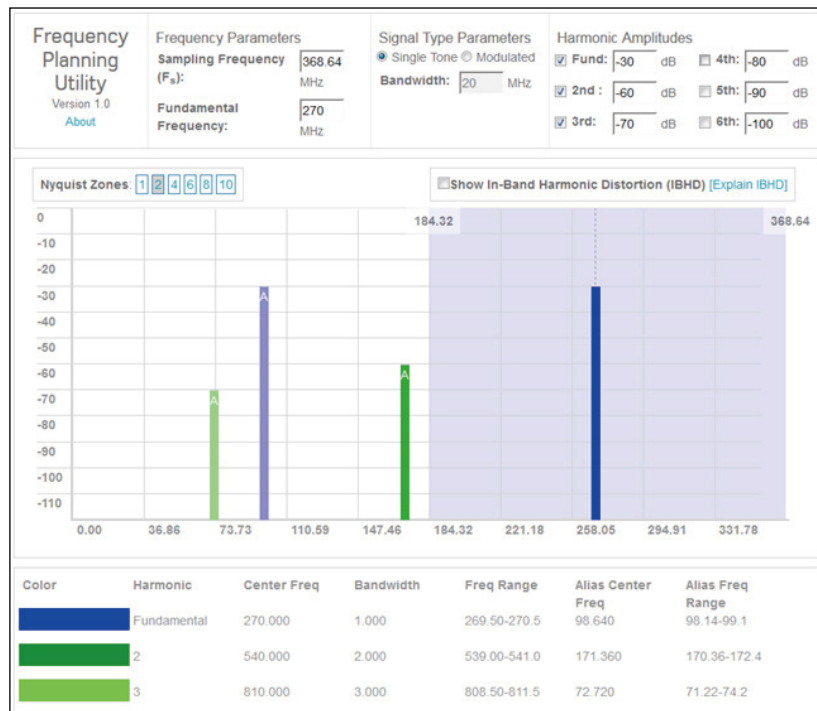


图5. 折频工具中的ADC输出频谱。

输入采样时钟为368.64 MHz，模拟输入频率为270 MHz，因此输入信号将混叠进入位于98.64 MHz处的第一奈奎斯特区。输入频率的二次谐波将混叠进入171.36 MHz处的第一奈奎斯特区，而三次谐波混叠至72.72 MHz。这可以从图5中折频工具曲线看出。

图5中显示的折频工具曲线给出了信号通过AD9680中的DDC之前，位于ADC内核输出端的信号状态。信号通过AD9680中的第一个处理模块是NCO，它会将频谱在频域中向左偏移98 MHz（记住调谐频率是98 MHz）。这会将模拟输入从98.64 MHz下移至0.64 MHz，二次谐波将下移至73.36 MHz，而三次谐波将下移至-25.28 MHz（记住我们观察的是复数输出）。这可以从Visual Analog的FFT曲线中看出，如下文图6所示。

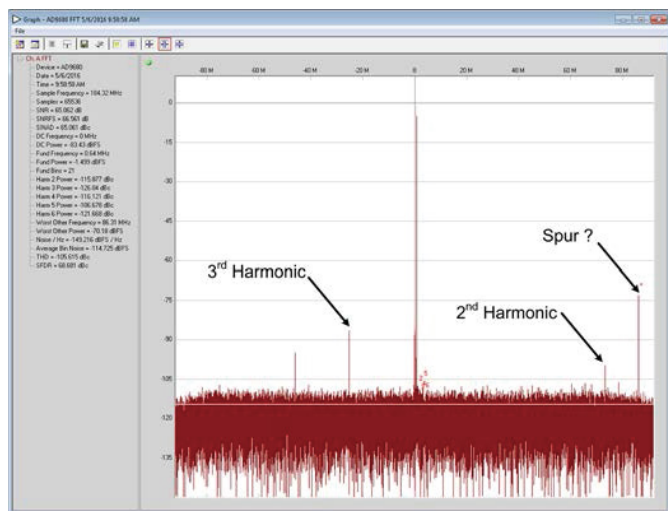


图6. 经过DDC后的FFT复数输出 (NCO = 98 MHz, 2倍抽取)。

从图6中的FFT曲线中可以清楚地看到NCO如何偏移我们在折频工具中观察到的频率。有意思的是，我们可以在FFT中看到一个未经表达的信号音。然而，这个信号音真的没有经过表达吗？NCO并不偏移所有频率。本例中，它将98 MHz的基频输入信号音混叠向下偏移至0.64 MHz，并将二次谐波偏移至73.36 MHz，将三次谐波偏移至-25.28 MHz。此外，还有一个信号音也发生了偏移，并出现在86.32 MHz。这个信号音的来源是哪里？它是否由于DDC或ADC的信号处理而产生的？答案是：对，也不对。

让我们更加细致地看一下这个场景。折频工具不包含ADC的直流失调。该直流失调导致直流（或0 Hz）处存在信号音。折频工具假设ADC是理想器件，无直流失调。在AD9680的实际输出中，0 Hz处的直流失调信号音向下偏移至-98 MHz。由于复数混频和抽取，直流失调信号音折回实数频域中的第一奈奎斯特区。对于信号音偏移进入第二奈奎斯特区的复数输入信号而言，它将会绕回至实数频域中的第一奈奎斯特区。由于使能了抽取，并且抽取率等于2，我们的抽取奈奎斯特区宽度为92.16 MHz（回忆一下： $f_s = 368.64$ MHz，抽取采样速率为184.32 MHz，奈奎斯特区为92.16 MHz）。直流失调信号音偏移至-98 MHz，为92.16 MHz奈奎斯特区边界以外5.84 MHz。当该信号音绕回至第一奈奎斯特区时，它的失调和实数频域中的奈奎斯特区边界相同，即 $92.16 \text{ MHz} - 5.84 \text{ MHz} = 86.32 \text{ MHz}$ 。这正是我们在上文FFT曲线中看到的信号音！因此，技术上而言，ADC产生信号（因为它是直流失调），而DDC略微移动它。这时候就需要进行良好的频率规划。适当的频率规划有助于避免此类情形。

现在，我们讨论了一个使用NCO和HB1滤波器的示例，其抽取率等于2；让我们在这个示例中再加入一点东西。现在，我们将增加DDC抽取率，以便观察频率折叠效应以及采用较高抽取率和NCO频率调谐时的转换情况。

本例中，我们观察采用491.52 MHz输入时钟和150.1 MHz模拟输入频率的AD9680-500工作情况。AD9680将设为使用数字下变频器(DDC)，并采用实数输入、复数输出、NCO调谐频率为155 MHz、半带滤波器1 (HB1)和半带滤波器2 (HB2)使能（总抽取率等于4）、6 dB增益使能。由于输出是复数，因此复数转实数模块禁用。回顾图3中的DDC基本原理图，该图表示信号流过DDC。同样，信号首先通过NCO，偏移输入信号

音的频率，然后通过抽取、增益模块，以及在本例中旁路复数转实数模块。

我们将再次使用折频工具来帮助理解ADC的混叠效应，以便评估模拟输入频率和谐波在频域中的位置。本例中，我们有个实数信号，采样速率为491.52 MSPS，抽取率设为4，输出复数。在ADC的输出端，采用折频工具显示的信号如图7所示。

输入采样时钟为491.52 MHz，模拟输入频率为150.1 MHz，因此输入信号将残留在第一奈奎斯特区。位于300.2 MHz的输入频率二次谐波将混叠进入191.32 MHz处的第一奈奎斯特区，而450.3 MHz处的三次谐波混叠进入41.22 MHz处的第一奈奎斯特区。这是信号通过DDC之前ADC输出端上的信号状态。

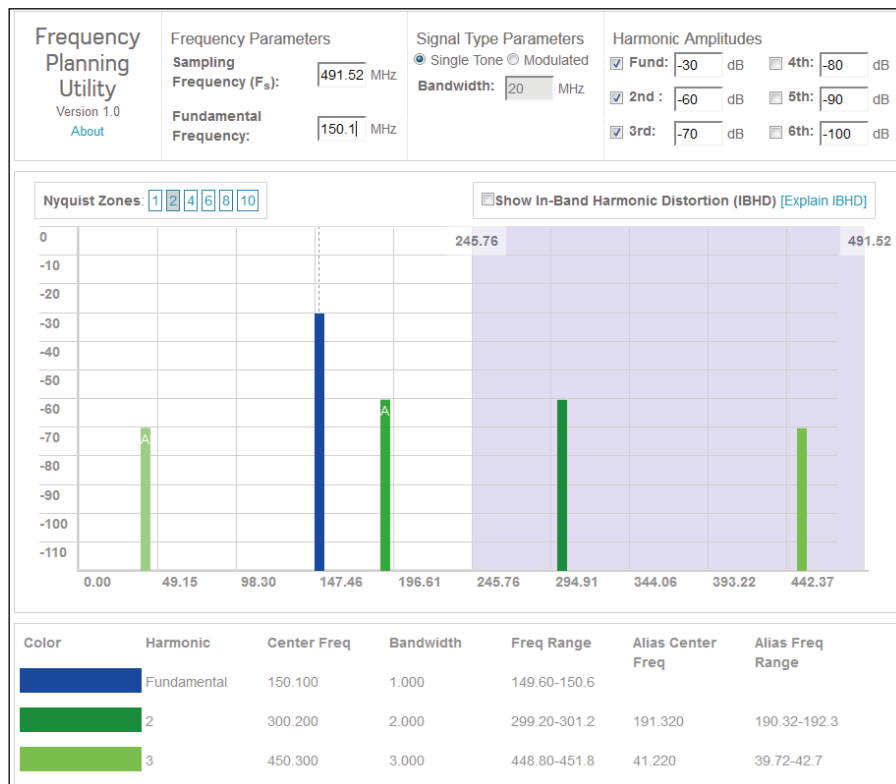


图7. 折频工具中的ADC输出频谱。

现在，让我们看一下信号如何通过DDC内部的数字处理模块。我们将查看进入每一级的信号，并观察NCO如何偏移信号，而抽取过程随后又是如何折叠信号的。我们将保持曲线的输入采样速率(491.52 MSPS)， f_s 项与此采样速率有关。让我们观察一般过程，如图8所示。NCO将向左偏移输入信号。一旦复数（负频率）域中的信号偏移超过 $-f_s/2$ ，就会折回第一奈奎斯特区。接下来，信号通过第一抽取滤波器HB1，抽取率为2。在图中显示了抽取过程，但没有显示滤波器响应，

虽然这两个操作是同时发生的。这是为了简单起见。完成第一次2倍抽取之后， $f_s/4$ 至 $f_s/2$ 的频谱转换为 $-f_s/4$ 至DC的频率。类似地， $-f_s/2$ 至 $-f_s/4$ 的频谱转换为DC至 $f_s/4$ 的频率。信号现在通过第二抽取滤波器HB2，它也是2倍抽取（总抽取现在等于4）。 $f_s/8$ 至 $f_s/4$ 的频谱将转换为 $-f_s/8$ 至DC的频率。类似地， $-f_s/4$ 至 $-f_s/8$ 的频谱将转换为DC至 $f_s/8$ 的频率。虽然图中显示了抽取，但没有显示抽取滤波操作。

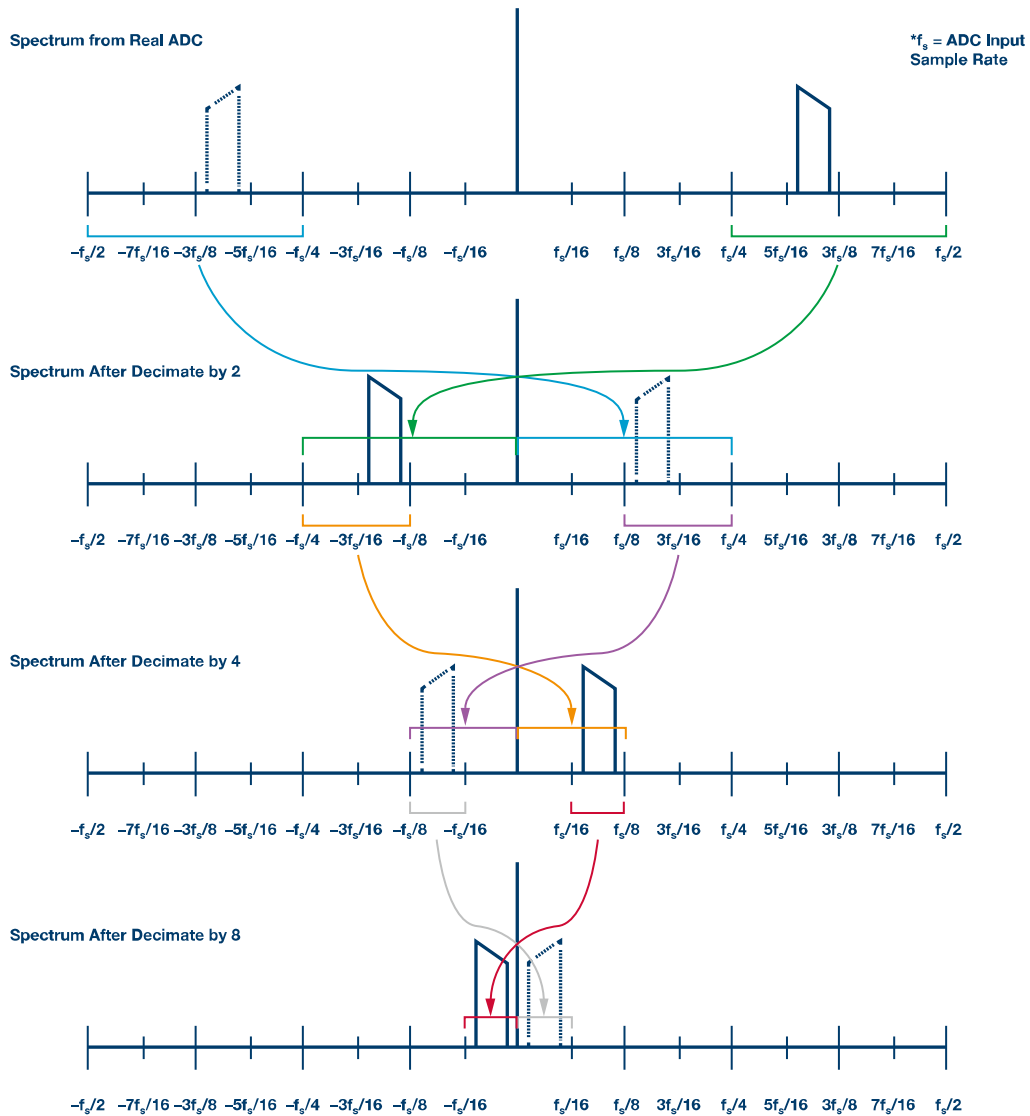


图8. 抽取滤波器对ADC输出频谱的影响—一般示例。

记得上一个示例中，我们讨论了491.52 MSPS输入采样速率以及150.1 MHz输入频率。NCO频率为155 MHz，抽取率等于4（由于NCO分辨率，实际NCO频率为154.94 MHz）。因此，输出采样速率为122.88 MSPS。由于AD9680配置为复数混频，我们需要在分析中包含复数频率域。图9显示了频率转换非常繁忙，但如果仔细研究的话可以看到信号流。

NCO偏移后的频谱:

1. 基频从+150.1 MHz下移至-4.94 MHz。
2. 基频镜像从-150.1 MHz开始偏移，并绕回至186.48 MHz。
3. 二次谐波从191.32 MHz下移至36.38 MHz。
4. 三次谐波从+41.22 MHz下移至-113.72 MHz。

2倍抽取后的频谱:

1. 基频停留在-4.94 MHz。
2. 基频镜像向下转换至-59.28 MHz，并由HB1抽取滤波器衰减。
3. 二次谐波停留在36.38 MHz。
4. 三次谐波由HB1抽取滤波器大幅衰减。

4倍抽取后的频谱:

1. 基频停留在-4.94 MHz。
2. 基频镜像停留在-59.28 MHz。
3. 二次谐波停留在-36.38 MHz。
4. 过滤三次谐波，并由HB2抽取滤波器几乎完全消除。

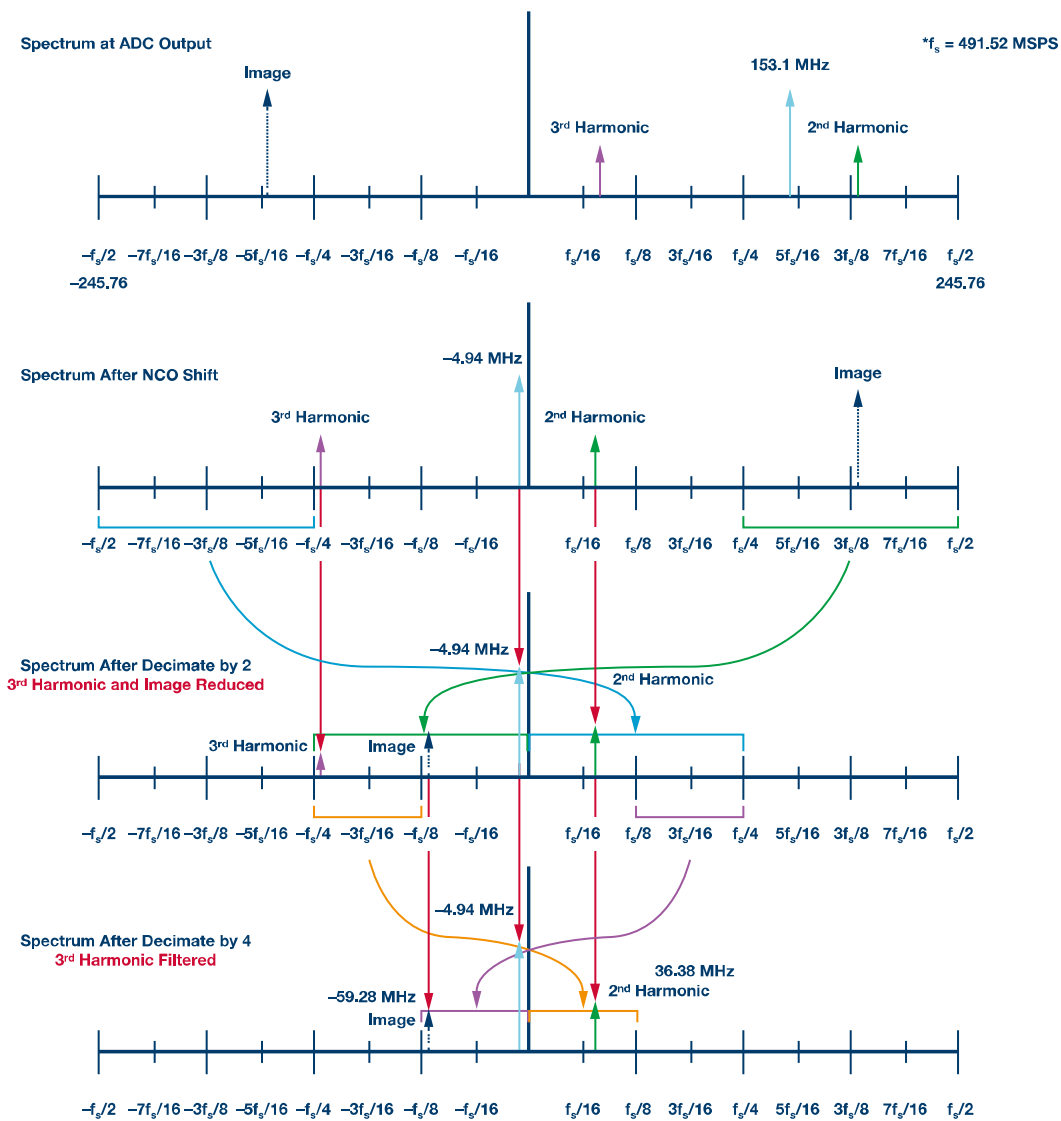


图9. 抽取滤波器对ADC输出频谱的影响—实际示例。

现在，来看看AD9680-500的实际测量。可以看到基频位于-4.94 MHz。基频镜像位于-59.28 MHz，幅度为-67.112 dBFS，意味着镜像衰减了大约66 dB。二次谐波位于36.38 MHz。注意，VisualAnalog无法正确找到谐波频率，因为它不解析NCO频率和抽取率。

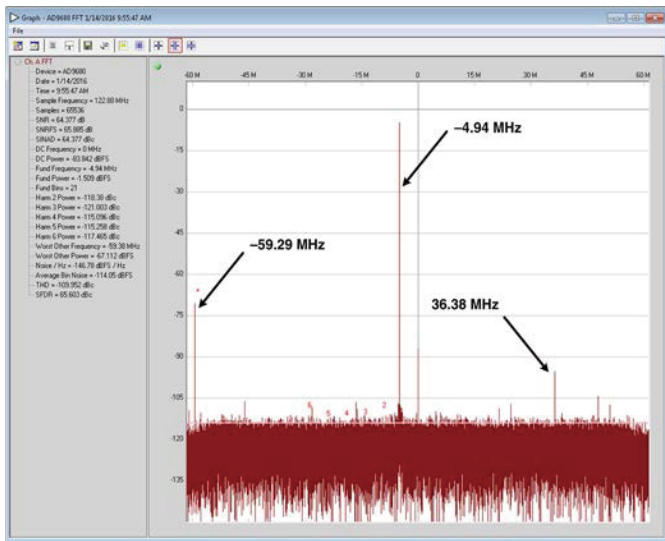


图10. 信号经过DDC后的FFT复数输出曲线
(NCO = 155 MHz, 4倍抽取)。

如果DDC设为实数输入和复数输出，并且NCO频率为155 MHz（实际是154.94 MHz），那么从FFT中可以看出AD9680-500的输出频谱，而抽取率为4。我鼓励大家了解信号流程图，理解频谱是如何偏移和转换的。我还鼓励大家详细了解本文中的示例，以便理解DDC对于ADC输出频谱的影响。我建议打印图8并随时参考，供分析AD9680、AD9690、AD9691和AD9684的输出频谱时使用。支持这些产品时，我遇到了很多人们认为无法解释的ADC输出频谱相关的频率问题。然而一旦完成了分析，并通过NCO和抽取滤波器分析了信号流，之前认为无法解释的频谱杂散便可以证明它们实际上是确实应当存在的信号。我希望，通过阅读和学习本文，下次碰到集成DDC的ADC时，您可以更有准备地处理问题。敬请关注第二部分——我们将从其它方面继续讨论DDC，以及如何仿真它的行为。我们将讨论ADC混叠导致的抽取滤波器响应，将会提供更多示例，并使用Virtual Eval来观察AD9680中的DDC工作情况及其对ADC输出频谱的影响。

Jonathan Harris [jonathan.harris@analog.com]是 ADI 公司（北卡罗来纳州格林斯博罗）的一名产品应用工程师。他担任支持射频行业产品的应用工程师已超过 10 年。Jonathan 在奥本大学和北卡罗来纳大学夏洛特分校分别获得电子工程硕士和电子工程学士学位。闲暇时，他喜欢骑摩托车、参加大学橄榄球运动、移动音频，以及陪伴家人。



Jonathan Harris

最新 RF DAC 拓宽了软件无线电的应用视野

作者: Daniel E. Fague

共享   

摘要

高速数据转换器用于通信应用已有多多年,它存在于很多设备中,这些设备组成了我们的互连世界—从蜂窝手机基站,到有线电话前端设备,再到雷达和专业通信系统。最近的技术进步使高速数据转换器的时钟速率具有越来越高的频率。这些时钟速率较高的数据转换器与JESD204B高速串行接口配合使用,使DAC的有效控制和输出数据的传输得已实现。形成了一种全新的转换器类型,称为RF(射频)数据转换器。它们可以直接频率合成或捕捉RF信号,无需使用具有模拟无线电电路的传统上变频或下变频。

本文重点讨论最新的RF数模转换器(RF DAC)系列产品—AD9162和AD9164,及其扩展软件定义无线电(SDR)定义的能力。AD9164使RF DAC产品达到了全新的性能等级,让传统的无线电设计相比前代的RF或IF类DAC更高效。世界一流的加上丰富的功能让AD9164成为系统之间开关无线电的首选,并向真正的软件定义无线电前进了一步。

简介

传统无线电设备使用高速数据转换器以及正交调制器作为有线和无线通信链路的主要构建模块。经典的外差、超外差和直接变频架构中发送器和接收器对于数据转换器的要求是相同的,突破了数字处理到真实世界中的模拟信号和模拟信号到数字处理之间的界限。数据转换器技术的进步连同滤波器

技术和功率放大器技术一起,奠定了无线电设计进步的基础。

采用一组基带高速ADC构建的经典无线电发送器如图1所示。数字基带数据通过两个同步高速数据转换器发送,同相数据通过I DAC,正交数据通过Q DAC。DAC输出至正交调制器。取决于调制器的类型,输出可以是低中频(比如200 MHz至400 MHz),也可以是较高的IF频率(比如500 MHz至1 GHz),甚至RF频率(1 GHz至5 GHz范围)。图中显示了后续上变频至实际的最终频率。输出信号采用带通滤波器进行滤波,然后通过功率放大器和另一个带通滤波器发送(可集成在双工器内)。

这类架构常见的瞬时发送带宽为几十至几百MHz,主要受转换器、功率放大器和滤波器带宽的限制。对于最新的E频段微波回传无线电等系统来说这是不够的,这类系统要求500 MHz、1 GHz甚至2 GHz无线电通道带宽。如果考虑使用无线基础设施基站(举例而言)中可能采用的多频段无线电,可能需要同等宽度的500 MHz或700 MHz,甚至1 GHz,用来覆盖部分频段组合。采用两个传统射频通道也许可以满足要求,每频段使用一个射频通道。无论出于成本、尺寸或是其它因素的考虑,将多个射频通道合成一个射频通道是更符合要求的一个方案。此时便需要一种新的方法来实现。

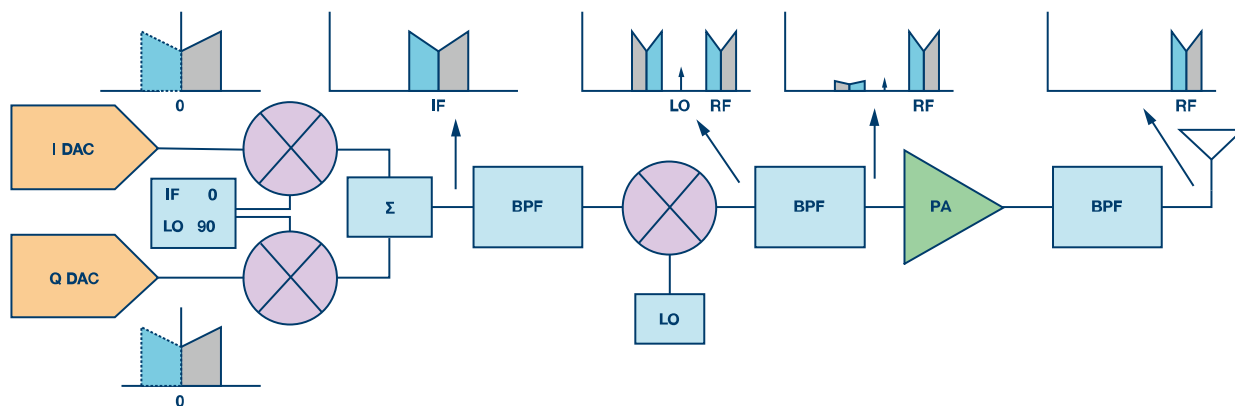


图1. 使用高速数据转换器的经典超外差发送器图例。

支持技术

高速数据转换器的技术发展长期侧重于提高数据转换器速率，同时保持性能指标不变。性能指标包括噪声频谱密度 (NSD) 和无杂散动态范围 (SFDR) 等项目。交调失真 (IMD) 亦很重要—无论是单音信号还是调制信号，比如 GSM、3G (WCDMA)、4G (OFDM) 和使用 256 QAM 的有线应用等普遍使用的无线通信系统中的信号。

较高的数据转换速率能为无线电设计人员提供多项优势。首先，信号镜像被推向更高的频率，使模拟重建滤波器的设计更简单、更可靠。此外，更高的更新速率创造出更宽的第一奈奎斯特区，进而使转换器可直接合成更高的输出频率。当直接频率合成的信号足够高的时候，整个的模拟频率变换，或者上变频器就可以从无线电设备中移除。简化频率规划，降低无线电的功耗并缩小尺寸。更高的更新速率增加了带宽，量化噪声可以扩展到更宽的有用带宽内，使处理设备获得了更好性能的发射噪声频谱密度。

随着 CMOS 处理技术的进步，在数据转换器中加入信号处理功能也变得十分普遍。DAC 中增加的 NCO 和插值器特性集减少了实现这些特性的 FPGA 或 ASIC 的负担和功耗，同时 DAC 相比没有这些特性集时的数据传输速率要求更低。较低的数据速率降低了系统总功耗，某些情况下使数据芯片（布速范围最高 300 MHz 至 400 MHz）得以跟上转换器的速度。在芯片上集成 NCO 可实现无线电的第一奈奎斯特区频率在数字域中的转换，因此当今无线电设计中通常采用数百 MHz 的中等频率，这是因为数据转换器中集成了 NCO 和插值器。

信号处理 RF DAC

RF 数据转换器的改变之处在于其工作的最终转换速率发生了变化，并且新增的信号处理同样可以处理这些速度的信号。这些新的功能与速度的强大结合可以极大地改变无线电架构设计，为可重新配置和软件定义无线电开启了新的可能性。

AD9162 和 AD9164 系列 RF DAC 便是很好的例子。AD9162 和 AD9164 的框图如图 2 所示。AD9162 是一款 16 位、6 GSPS RF

DAC，集成从 1 倍旁路模式直到 24 倍插值的多种插值选项。插值器工作带宽为经典的 80% 带宽，或更宽的 90% 带宽，后者瞬时信号带宽更高，功耗也略高。数据路径同样集成了最终半带插值器 FIR85，图 2 中以 NCO 之前的“HB 2x”模块显示，能有效地使 DAC 更新速率翻倍，达到 12 GSPS，可以将镜像移动至更远处，放宽滤波要求。可选 FIR85 后接一个工作在 6 GSPS 更新速率或 12 GSPS 更新速率（若 FIR85 使能）的 48 位数控振荡器 (NCO)。NCO 后面的反 sinc 滤波器预先处理了送往 DAC 核的数据，从而矫正了 DAC 输出的 sinc 包络特性

DAC 内核采用 ADI 公司专利的四通道开关架构¹，提供出色的无杂散动态范围 (SFDR) 和噪声频谱密度 (NSD)，具有业界最佳的动态范围，同时四通道开关还提供大家熟悉的 DAC 解码器选项：不归零 (NRZ) 模式、归零 (RZ) 模式和混频模式™。FIR85 为 DAC 解码器新增了一项新特性，称为 2xNRZ 模式，后文将会详细解释。

AD9164 具有 AD9162 的基础功能，同时以快速跳频 (FFH) NCO 引擎的形式加入了直接数字频率合成 (DDS) 功能。FFH NCO 具有多项独特功能，因而非常适合用在高速测试仪器仪表、本振替代品、安全无线电通信和雷达激励器等市场。FFH NCO 引擎集成 32 个 32 位 NCO，每一个都有自己的相位累加器，同时提供选择模块，实现快速跳频。

AD9162 有两款衍生产品，面向专业市场。AD9161 是一款 11 位、6 GSPS RF DAC，集成最低 2 倍插值。AD9161 的 SFDR 和 NSD 适合电缆前端和远程 PHY 应用，符合 DOCSIS 3.0 规范。较低的信号带宽和动态范围使 AD9161 无需进口许可证。AD9163 是一款 16 位、6 GSPS RF DAC，具有最低 6 倍插值，保留了 AD9162 主产品的全动态范围。器件的全动态范围以及 1 GHz 宽瞬时带宽加上全范围 NCO 使其适合单频段或双频段无线基础设施基站应用和传统频段中的点对点微波系统，同时具有无需进口许可证的优势。表 1 总结了该产品系列和主要特性。

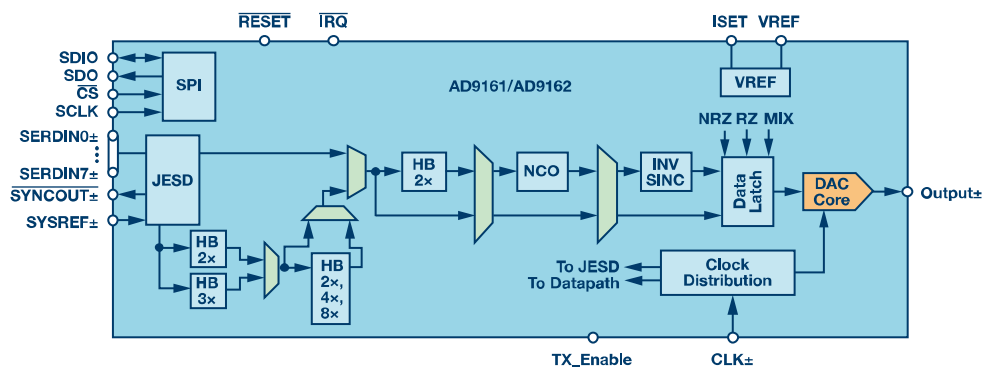


图2. AD9162 和 AD9164 系列 RF DAC 框图。

数字数据路径特点

数据通过8通道、12.5 GBPS JESD204B接口输入AD9162和AD9164。此高速串行接口减少了数字基带器件与DAC相连所需的导线数量，简化了电路板的布局复杂性。数据手册给出了接口操作的详细指南，ADI网站上给出了[JESD204B接口详细指南](#)。

AD9162和AD9164数据路径上的第一个插值器是一个2倍半带或3倍第三频段滤波器。这两个滤波器都有可选80%或90%信号带宽。两个滤波器均提供85 dB或更高的阻带抑制。90%滤波器工作需要较高的功耗消耗，因为它们截止特性更陡峭，因此抽头数量也更多。其余2倍半带滤波器全部工作在90%带宽，支持全部的第一插值器。FIR85同样工作在90%带宽。由于后续所有滤波器都一路沿着插值路线，因此它们可以工作在90%带宽，且功耗几乎不增加。

FIR85使能时可提供2xNRZ模式，其实现方式与其它插值滤波器有所不同。它利用DAC的四通道开关架构，并在DAC时钟的上升和下降沿对数据采样。这种采样方式在每一个时钟边缘处采样新数据，因此可以使DAC的采样速率翻倍，高达12 GSPS。这样就将信号镜像从 $f_{DAC} - f_{OUT}$ 外推至 $2xf_{DAC} - f_{OUT}$ ，更容易通过可以实现的模拟滤波器过滤镜像。这种采样和插值方式使DAC的输出对时钟平衡更为敏感，但可以调节DAC时钟输入，达到更佳的性能。这些调节是通过串行外设接口(SPI)对寄存器编程而实现的。数据手册中给出了详细信息。

48位NCO是一个完全正交NCO，可实现输入数据信号的无镜像频率偏移或单个信号音的直接数字频率合成。NCO有两种可选工作模式，即相位连续或相位断续频率开关模式。在相位连续开关模式下，频率调谐字(FTW)更新，但相位累加器不复位，导致相位频率连续改变。在相位断续模式下，当FTW更新时，相位累加器复位。串行外设接口(SPI)保证具有100 MHz，可实现FTW的快速更新。

AD9164的NCO引入了一项重要的特性—快速跳频NCO (FFH NCO)。FFH NCO额外集成31个32位NCO，每一个都有自己的相位累加器。每一个NCO都有自己的FTW，因此器件内总共可以编程32个NCO FTW。提供一个FTW选择寄存器，以便SPI寄存器字节的单次写操作可以完成一次精度为32位的新频率跳频。这意味着通过100 MHz SPI可以在240 ns内以单字节写操作选择新的FTW。

FFH NCO具有额外的相位相干跳频模式，适合仪器仪表和军事应用。相位相干跳频对于测试应用而言很重要，此外对于需要跟踪激励器信号相位以供后续使用的雷达应用也很重要。相位相干跳频可从一个频率变化到另一个频率并再次返回原来的频率，而不会丢失原来频率的相位累加。换言之，它可以实现从一个频率到另一个频率然后返回上一个频率，就像频率从未改变一样。

应用和测试的性能

AD9162和AD9164的信号处理特性和高采样速率可以简化图1中的射频架构。更新后的图形如图3所示。由于RF数据转换器可以直接以所需的输出频率合成信号，因此不再需要正交调制器或上变频混频器。信号在数字处理器中建立，通过RF数据转换器输出，因而大幅减少了需要部署的硬件数量。此外，无线电也更容易实现，LO和DAC输入无需校准至正交调制器以便抑制LO泄露和干扰镜像，因为调制器以数字方式在RF数据转换器内部实现。

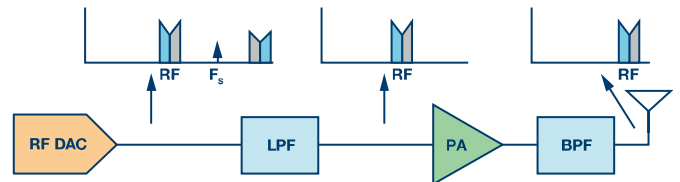


图3. 采用RF数据转换器的无线电发送器架构。

表 1. AD9162 和 AD9164 系列 6 GSPS RF DAC 特性与目标市场汇总

产品型号	位数	最小插值	是否FFH?	目标市场	注释
AD9161	11	2×	否	有线	面向有线客户的11位版本
AD9162	16	1×	否	有线、WIFR、仪器仪表	面向全球有线、WIFR、仪器仪表市场的全性能DAC
AD9163	16	6×	否	WIFR	面向WIFR客户或非全频段有线客户(比如MDU)的1 GHz带宽版本
AD9164	16	1×	是	仪器仪表、军事、有线、WIFR	面向仪器仪表、军事、有线、WIFR市场的全性能DAC和DDS；集成相位相干快速跳频

此类架构仅有一个模拟低通滤波器滤除数据转换器镜像，为可重新配置无线电或软件定义无线电开启了新机遇。可以使用相同的数字器件—RF数据转换器和重构低通滤波器，只需改变功率放大器和带通滤波器即可实现各种不同的无线电。图4显示了一个无线基站双频段发送器输出示例，其在1800 MHz时有5个5 MHz WCDMA载波，在2100 MHz时有3个5 MHz WCDMA。图5显示了一个合规的有线前端发送器输出示例，宽度为194.6 MHz，在50 MHz至1.2 GHz的DOCSIS 3.1频谱中具有256 QAM载波。图6显示了一个快速跳频示例，驻留时间为260 ns，其中寄存器编程时间为240 ns（单字节写入），跳频时间为20 ns。图7显示了AD9164出色的相位噪声性能，当采用4 GHz恒温晶体振荡器并合成一个3.9 GHz正弦波时，性能优于-125 dBc/Hz（10 kHz失调）。



图4. 双频段WCDMA信号（1.8 GHz和2.1 GHz频段）。

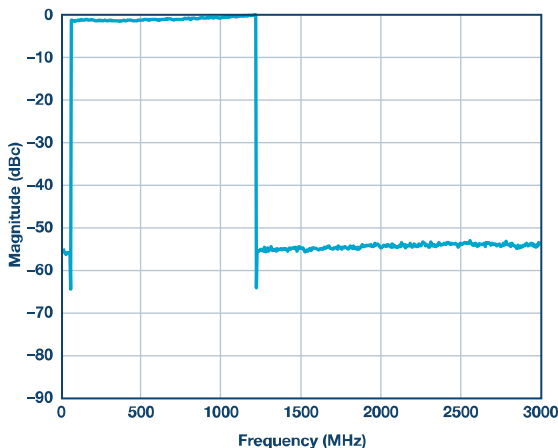


图5. DOCSIS 3.1频段内的194.6 MHz 256 QAM信号（50 MHz至1.2 GHz）。

Daniel E. Fague [dan.fague@analog.com]是 ADI 公司高速 DAC 部门的应用工程师经理。他于 1989 年获得贡萨格大学电子工程学士学位 (BSEE)，并于 1991 年获得加州大学戴维斯分校电子工程硕士学位 (MSEE)。他于 1995 年加入 ADI 公司无线手机部门，主要进行 GSM、EDGE、CDMA 和蓝牙手机无线电路架构设计（包括直接转换无线电）。此前，他在美国国家半导体公司工作了 5 年，从事 DECT 和 PHS 的无线电路架构设计。自从 2011 年加入高速 DAC 部门以来，Dan 一直从事 RF DAC 的开发。他拥有 7 项专利，发表过 30 多篇文章和论文。



Daniel E. Fague



图6. AD9164的快速跳频性能—每跳260 ns驻留时间。

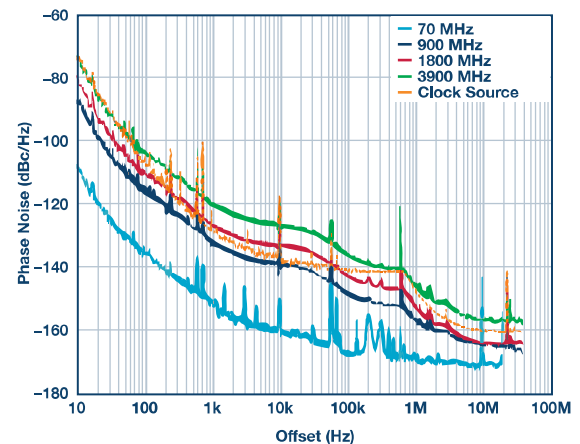


图7. AD9164的总相位噪声性能。DAC时钟信号源：4 GHz恒温晶体振荡器，具有最高600 kHz失调特性，这样的信号发生器具有高于600 kHz的失调特性。

结论

RF数据转换器可以简化无线电架构设计，并通过省却无线电信号链上的很多元件而缩小尺寸。AD9162和AD9164的RF数据转换器中集成了一组令人激动的功能和出色的RF性能，可满足各种无线电发送器应用，展现出了真正的软件定义无线电比过去任何时候都要更接近现实。

¹ 美国专利第6,842,132和7,796,971号。

ADC 中的集成式容性 PGA：重新定义性能

作者：Miguel Usach Merino和Gerard Mora-Puchalt

共享    

摘要

ADI 专利的容性可编程增益放大器(PGA)相比传统的阻性 PGA 具有更佳的性能,包括针对模拟输入信号的更高共模电压抑制能力。

本文描述了斩波容性放大器的工作原理,强调了需要放大传感器小信号至接近供电轨——比如温度测量(RTD 或热电偶)和惠斯登电桥——时,此架构的优势。

Σ - Δ 型模数转换器(ADC)广泛用于传感器具有较小输出电压范围和带宽的应用中(比如应变计或热敏电阻),因为这种架构提供高动态范围。具有高动态范围是因为,相比其它 ADC 架构,它具有低噪声性能。

Σ - Δ 型转换器基于两条原理工作:过采样和噪声整形。当 ADC 对输入信号进行采样时,独立于采样频率的量化噪声会在直到采样频率一半的整个频谱内扩散。因此,如果输入信号以比奈奎斯特理论所推导出的最小值高很多的频率采样,则目标频段内的量化噪声下降。

图 1 显示了不同采样频率下的量化噪声密度示例。

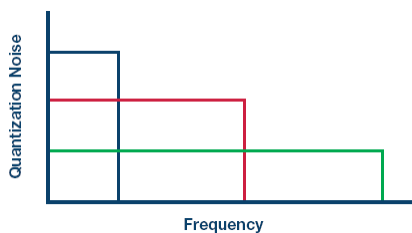


图 1. 不同采样频率下, 频率范围内的量化噪声密度。

一般而言,对于特定的目标频段,每 2 个过采样系数就会使动态范围改善 3 dB(假定为白噪声频谱)。 Σ - Δ 型转换器的第二个优势是噪声传递函数。它将噪声整形至更高频率(如图 2 所示),进一步降低了目标频段内的量化噪声。

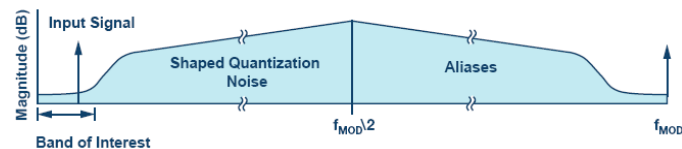


图 2. Σ - Δ 噪声整形。

此外, Σ - Δ 架构可能集成数字滤波器,用来移除目标频段外的量化噪声,实现出色的动态范围性能,如图 3 所示。

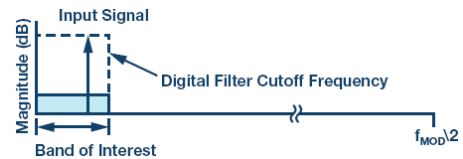


图 3. LPF 之后的量化噪声。

输入缓冲器

过采样架构的缺点之一是,相比其它采样频率较低的架构,驱动 Σ - Δ 型调制器的输入缓冲器要求可能会更严格。采集时间变得更短,因此缓冲器需要更高带宽。现代 Σ - Δ 型转换器片上集成输入缓冲器,最大程度简化使用。

此外,在检测系统中,为检测元件提供具有高精度的极高输入阻抗对于测量精度而言极为关键。这使得输入缓冲器的要求更为严格了。

集成输入缓冲器还有其它挑战。 Σ - Δ 型调制器可在低频率时提供极低噪声,但所有其它元件(比如输入缓冲器)都会使热噪声增加,而更严重的则是低频闪烁噪声,如图 4 所示。

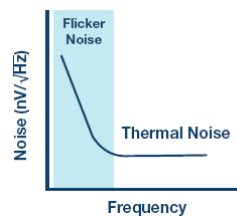


图 4. 闪烁噪声。

此外,缓冲器失调也可能增加总系统误差。通过系统校准可以补偿失调,但如果失调漂移相对较高,那么这种方式就无法实现,因为每次工作温度发生改变都会要求系统重新校准,以补偿缓冲器失调。

例如,当失调漂移为 500 nV/°C 时,10°C 温度递增将等于 5 μ V 失调范围,在 ± 2.5 VREF 24 位 ADC 中这相当于 16.8 LSB,即约为 4 位。

解决这两个问题的典型途径是对缓冲器的输入和输出进行斩波,如图 5 所示。

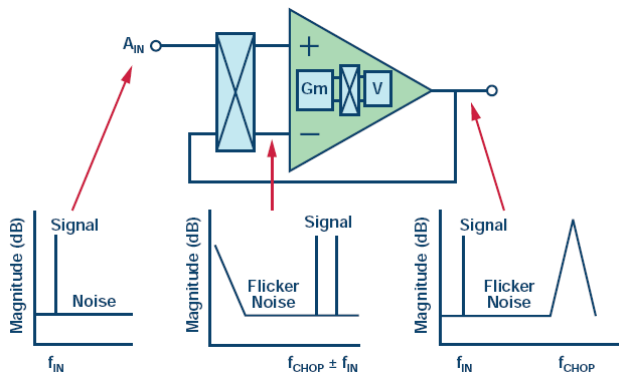


图5. 斩波放大器。

对输入进行斩波之后，输入频率便调制到较高频率。缓冲器失调和闪烁噪声依然保持其最初的低频率，因为它们不受输入斩波的影响。

输出去斩波机制将输入频率解调回基带，同时向上调制缓冲器产生的失调和闪烁噪声至较高频率，随后由 ADC 低通滤波器加以消除。

某些情况下，输入缓冲器可以采用基于电阻的仪表放大器（阻性 PGA）来代替，以使小传感器信号满足全调制器输入范围，最大程度提升动态范围。需注意，基于电阻的仪表放大器相比差分阻性放大器是更好的选择，因为分立式传感器需要更高的输入阻抗。阻性 PGA 可实现类似的斩波方案，如图 6 所示。

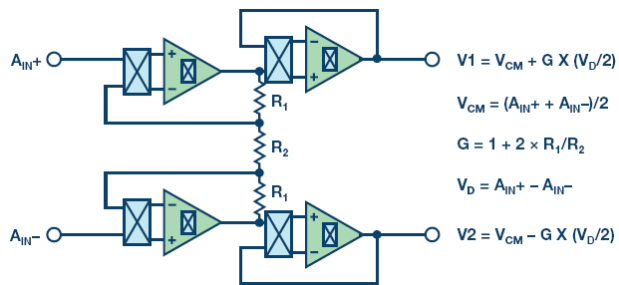


图6. 阻性 PGA。

阻性 PGA 可能需要级联第二组缓冲器，因为放大器可能无法提供直接驱动调制器所需要的足够带宽。同时，必须保持低功耗，这就确定了电阻值，进而确定了放大器带宽。

使用这种放大器拓扑的主要问题是，它限制了共模电压——尤其是在增益大于 1 的时候，因为阻性 PGA 具有取决于输入信号的浮动共模值，如图 6 所示。

此外，阻性网络失配及其漂移也是影响总误差预算的因素之一，因为它可能会影响大多数的精度规格。

为避免这些限制，最新的 Σ - Δ 型转换器采用了容性 PGA。

容性 PGA 放大原理与阻性 PGA 相似：增益取决于电容比，如图 7 所示。

为了放大直流信号，容性 PGA 在 PGA 输入端引入了斩波机制

直流输入信号调制到斩波频率，然后由容性放大器进行放大。最后，信号通过输出去斩波解调回直流。此外，放大器失调和闪烁噪声调制到斩波频率，并在之后的级中进行低通滤波。

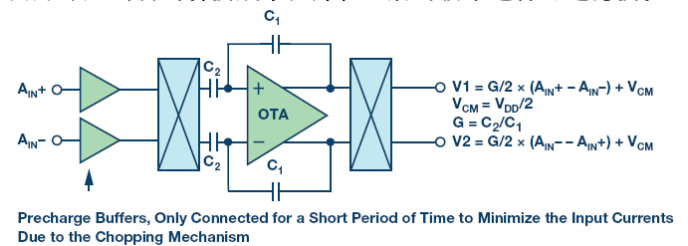


图7. 容性 PGA（为简便起见，移除了部分模块）。

相比阻性架构，这种容性架构有一些优势：

它能更好地权衡噪声与功率，因为噪声源较少。需要较少的放大器，而且相比电阻，电容不会产生噪声。

电容比电阻有非常多的优势。除了无噪声外，电容不会受到自发热影响，且通常具有更好的匹配和温度漂移。这对失调、增益误差和漂移规格有正面影响。

电容可将输入共模从信号链共模的其余部分去耦。这样可以提供 CMRR、PSRR 和 THD 等优势。

容性 PGA 的最大优势之一，是它的输入共模范围可以是轨到轨或更高。这样便有可能从正供电轨下至负供电轨的几乎任何地方对传感器共模电压进行偏置。

这种容性架构结合了仪表放大器的优势，具有极高的输入阻抗（因为输入阻抗是一个电容），其优势是电容（而不是电阻）作为增益元件，增加了放大器的动态范围——这不仅是因为它的信号摆幅，还因为其噪声效率的缘故。

克服阻性 PGA 共模限制的常见解决方案是增加或偏移供电轨，或者重新对中传感器信号共模。这样做的代价是功耗更高、电源设计更复杂、使用更多外部元件，以及更高的成本。

实际例子

在惠斯登电桥中，共模电压由连接两个桥臂的阻抗决定，且与施加的电源成正比。电子秤应用即采用这种检测拓扑，因为它具有针对应变计的线性检测优势；图 8 显示了一个半桥式 II 类电路。

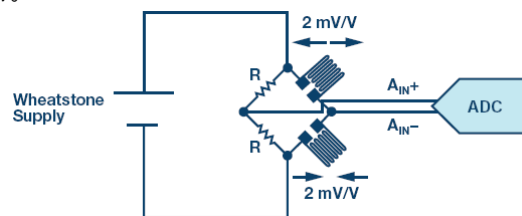


图8. 采用惠斯登拓扑并包含应变计的电子秤。

表 1. 惠斯登电桥中的阻性 PGA 和容性 PGA 对比（假设使用标准电源和增益）

PGA	阻性 PGA	容性 PGA
最大惠斯登电源	3.3 V	6 V
应变计差分灵敏度	3.3 mV	6 mV
动态范围改进(dB)		5.2 dB

应变计的灵敏度通常为 2 mV/V。惠斯登电源越高，灵敏度也就越高。为了增加应变计的动态范围并最大化 SNR，电桥可能采用比 ADC 更高的电源供电。

由于阻性 PGA 的共模限制，电桥应当采用与 ADC 相同的电源供电，以便最大程度提升动态范围；而在容性 PGA 中，电桥可以采用几乎为 ADC 两倍的电源供电，因为不存在输入共模的限制。

例如，假设标准电源为 ADC 提供 3.3 V 电平，则对于相同的增益，容性 PGA 相比阻性 PGA 的改进总结见表 1。

可能存在的另一个问题，是当电桥的连接位置离 ADC 较远时，接地之间可能有所不同。这也许会使共模电压偏移，从而导致 ADC 输入共模相对于电桥不平衡，并降低阻性 PGA 中的最大允许增益。

使容性 PGA 性能与阻性 PGA 相当的可行办法是以更高的电源电压对电桥供电。比如，以±3.3 V 双极性电源对电桥供电，从而增加应变计的灵敏度，但代价是更高的系统复杂性和功耗。

可能会得益于容性 PGA 的另一个例子是采用电阻式温度检测器(RTD)或热电偶的温度测量应用。

常用 RTD 电阻（比如 PT100）可以用来直接检测温度，或间接检测热电偶的冷结，如图 9 所示。

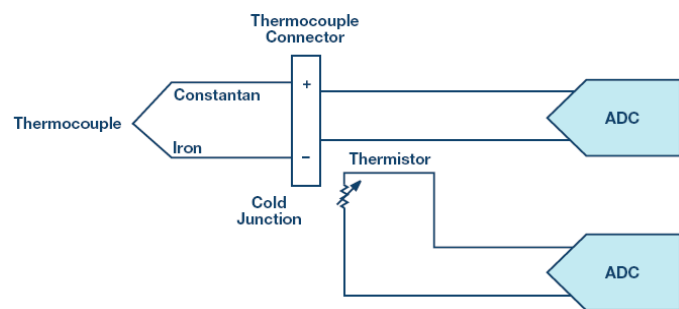


图 9. 典型热电偶设置。

每一个 PT100 器件都提供不同的导线，采用最受欢迎的高性价比三线式配置。

测量温度并消除引线误差的传统方法如图 10 所示。本例中，集成 PGA 的 Σ - Δ 型 ADC AD7124-8 的内部电流源以相同电流驱动双线式 RTD，在两个引线上产生相同的失调误差，其值与

引线电阻成正比。

由于 AD7124-8 具有较小的引线电阻和电流（为了最大程度减少自发热效应），RL3 产生的失调电压靠近负供电轨，极大地降低了阻性 PGA 中允许的最大增益，因为其输入共模相比容性 PGA 同样将会非常接近供电轨，在内部将共模电压设为电源供电轨的一半，允许更高的增益配置，从而提高总动态范围。

建议的解决方案极大降低了系统和硬件连接的复杂性，因为第三条线缆不应返回至 ADC PCB，并可连接 RTD 位置附近的地。

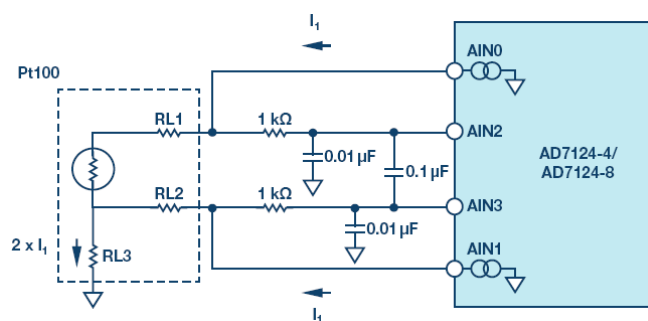


图 10. 三线式 RTD 测量。

为了增加温度测量的精度，建议采用四线式测量。本例中，只使用了一个电流基准。为了避免电流源的不精确性，可以将精密电阻用作 ADC 基准电压发生器来进行比例测量，如图 11 所示。

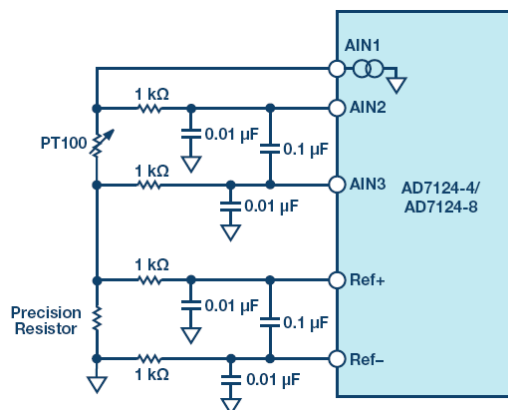


图 11. 比例四线式 RTD 测量。

选择适当的外部精密电阻值，使 RTD 上产生的最大电压等于基准电压除以 PGA 增益。

表 2. 四线式 RTD 比例测量中的阻性和容性 PGA 对比

PGA	阻性	容性
Pt100 输出电压	$500 \mu\text{A} \times 313.7 = 156.85 \text{ mV}$	$500 \mu\text{A} \times 313.7 = 156.85 \text{ mV}$
VREF	1.65 V	2.5 V
最大 PGA 增益	$1.65 \text{ V}/156.85 \text{ mV} \approx 11$	$2.5 \text{ V}/156.85 \text{ mV} \approx 16$
改善(dB)		3.6

对于 3.3 V 电源而言，在阻性 PGA 中，精密电阻上产生的电压应为 1.65 V 左右，否则 PGA 共模电压将限制最大增益。其结果是，最大增益信号应等于 1.65 V。在容性 PGA 中，不存在输入共模的限制，因此 RTD 共模信号可以靠近顶部供电轨放置，最大程度提升了精密电阻生成的 ADC 基准电压，并因此实现最高的可选增益和动态范围。

表 2 总结了阻性 PGA 相对于容性 PGA 的最大增益，最大电流源为 500 μA ，限制了 Pt100 的自发热（假定 B 类 RTD，此时最高温度为 600°C，最大 VREF 为 2.5 V）。

结论

相比阻性 PGA，容性 PGA 具有多项重要优势。诸如噪声、共模抑制、失调、增益误差以及温度漂移等关键规格都由于电容

作为增益元件的固有温度稳定性以及匹配属性而得到了改善。

另一项重要特性是内部共模电压从放大器内部共模电压中去耦。当待放大的输入信号为靠近供电轨的共模电压时，这点尤为重要。阻性 PGA 的增益选择严重受限于其共模限制，或者要求更高的供电轨或外部元件将输入信号重新偏置到供电轨的一半。而容性 PGA 却可以轻松处理这种检测场景。

某些最新的 $\Sigma\text{-}\Delta$ 型 ADC 产品集成了容性 PGA，比如 AD7190、AD7124-4、AD7124-8 和 AD7779。

Miguel Usach Merino [miguel.usach@analog.com] 获得瓦伦西亚大学电子工程学位。2008 年加入 ADI 公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其它文章：
[IC 上电和关断](#)
 第 49 卷，第 2 期

Gerard Mora-Puchalt [gerard.mora-puchalt@analog.com] 于 2005 年获得瓦伦西亚理工大学电信工程硕士学位。他于 2005 年在 ADI 公司 DAC 应用部门完成了毕业设计，并于 2006 年毕业后加入了 ADI 公司的温度传感器设计评估团队。他于 2007 年调往精密转换器部门，自此之后便担任模拟设计工程师，工作地点在西班牙瓦伦西亚。



Gerard Mora-Puchalt

GSPS ADC 开拓多频段接收机的新疆域——第一部分

作者: Umesh Jayamohan

共享    

简介

模数转换器(ADC)很久以来一直是通信接收机设计的基本器件。随着通信技术的不断发展,消费者要求更快的数据速率和更低的服务价格。提供这项技术的回程服务供应商面临着两难的处境。更高的数据速率意味着更多带宽,这也就表示更快的数据转换器,将模拟无线电波转换为数字处理。然而,更快的数据转换器(GSPS,或称每秒千兆采样转换器)——广为人知的有 RF 采样 ADC——同样产生大量数据,而这些 DSP 芯片必须以高得多的速度进行处理。这无疑增加了无线电接收机的运营成本。

解决方案是对组成 RF 采样 ADC 的硅芯片进行更优化设计。得益于硅芯片工艺的进步(感谢摩尔定律),定制型数字处理模块中的 RF 采样 ADC 在功耗和尺寸方面的效率相比现有 FPGA 要更高。使用这些数字信号处理模块还能获得更低的数据速率,从而可以使用成本更低 FPGA。这对于运营商来说是双赢的局面,因为他们可以使用这些 GSPS ADC 以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据,并以能实现的(低)数据速率将其发送至更为廉价的 FPGA(或者现有的 ASIC 产品)进行进一步的基带处理。

使用带有 DDC 的 RF 采样 ADC 的另一个优势是,这样可以通过更灵活、更紧凑、性价比更高的方式实现双频段无线电系统。双频段无线电系统的应用已有多年历史。基站系统设计人员以前通过使用两个独立的无线电路径(每频段一个)来实现双频段无线电系统。本文讨论一种利用多频段无线电接收机——使用 RF 采样 ADC,比如 AD9680——对两个独立而使用广泛的频段进行数

字化和处理。本文第一部分解释了功能框图级别的实现,并讨论了双频段无线电系统中使用 GSPS ADC 的优势。本文第二部分将讨论 TDD LTE 频段 34 和 39(亦分别称为频段 A 和频段 F)的实现和数据分析,并通过数据分析来揭示显示器性能。

传统双频段无线电接收机

为了迎合客户对于双频段无线电的需求,同时满足总系统级性能要求,基站设计人员拿出了他们的看家本领:复制两次无线电设计,然后每频段调谐一个设计。这意味着针对客户的选择,设计人员必须将两个独立的无线电硬件设计调谐至两个频段。

例如,如果需要构建能支持 TDD LTE 频段 34(频段 A: 2010 MHz 至 2025 MHz)以及频段 39(频段 F: 1880 MHz 至 1920 MHz)¹的无线电接收机,则设计人员就会打包两个无线电接收机设计。TDD LTE 频段的频率规划如图 1 所示。

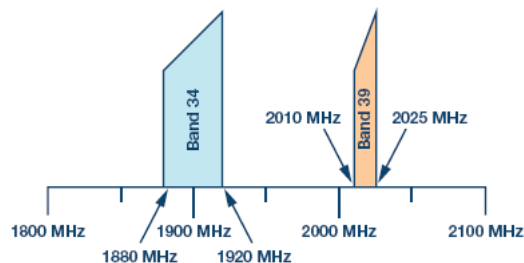


图1. TDD LTE 频段34和39的频率规划。

设计双频段无线电接收机以支持这些频段的传统方法是部署两个独立的接收机链路,每频段一个。下文图 2 显示了双频段无线电接收机的框图。²

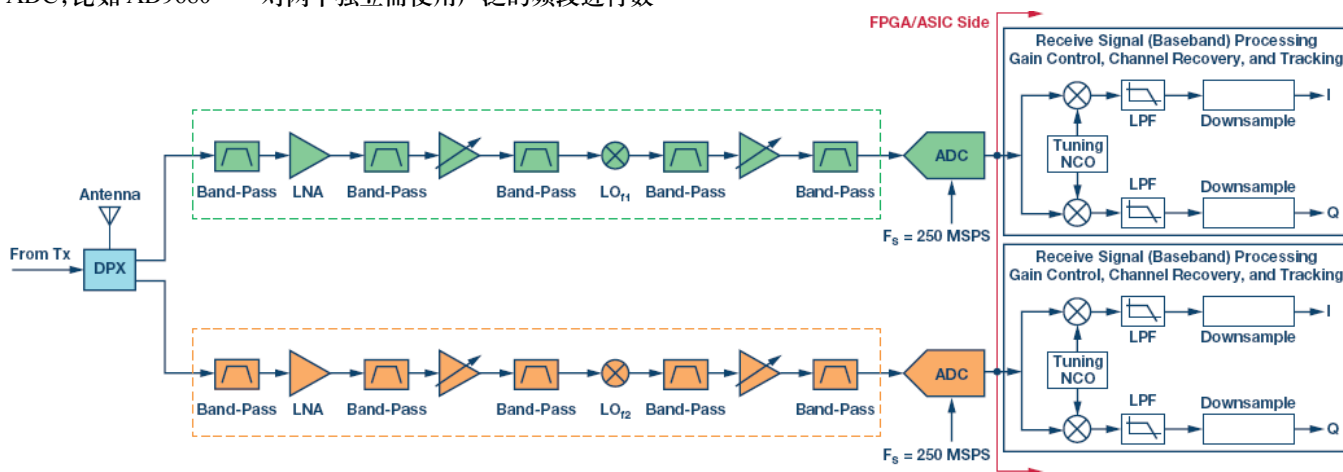


图2. 双频段无线电接收机设计的传统方法。

图2显示了双频段无线电的传统实现。该方案的实现成本较高，因为它实际上是一个系统中的两个无线电接收机。每一个处理元件都是重复的，以便支持对应频段。FPGA资源也是如此。每一个处理元件都是重复的，以便支持对应频段，这导致FPGA资源重复，增加系统成本和复杂性，导致功耗上升。就FPGA接口来说，FPGA资源也将是两倍，以支持两个ADC数据流。图3显示了FPGA I/O资源要求或双频段无线电接收机系统设计的框图。该图同时显示了LVDS和JESD204B ADC接口。LVDS数据速率较低，但FPGA需要更高的I/O数。JESD204B接口需要较少的FPGA I/O资源，但通道速率可能更高，因此FPGA也许更为昂贵。

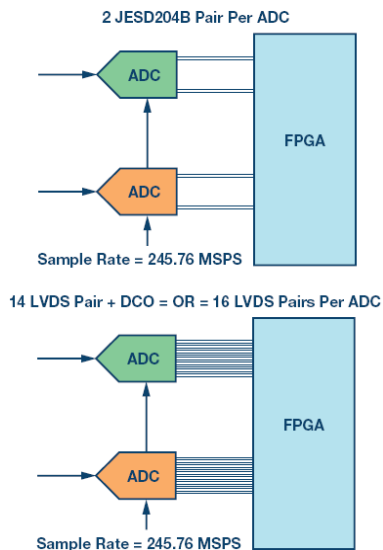


图3. 传统双频段无线电接收机的FPGA接口要求。

使用RF采样(GSPS)ADC的双频段无线电接收机

RF采样或GSPS ADC能够提供系统设计灵活性。利用深亚微米工艺技术,GSPS ADC可以集成数字处理模块,且相比FPGA以低得多的功耗进行特定速度下的数据操作。RF采样ADC的核心是一个高带宽模拟采样内核,以GHz速度进行采样。模拟内核之后是各种各样的数字信号处理元件。这些数字下变频器可以用来提取相应频段。针对双频段接收机设置的RF采样ADC内部框图如图4所示。DDC除了处理信号,还可降低JESD204B通道数据的通道速率。

加入数字信号处理模块后,GSPS ADC便可以独立方便地提供两个处理频段。这对于运营商来说是双赢的局面,因为他们可以使用这些RF采样ADC以高频率进行采样、使用内部数字下变频器(DDC)以所需速度处理数据,并以能实现的(低)数据速率将其发送至更为廉价的FPGA(或者现有的ASIC产品)进行进一步的基带处理。这些ADC提供高带宽前端,让系统设计人员能够捕捉宽频率范围(比如两个无线电频段)并对其数字化,以便进行信号处理。下文图5显示了一个双频段接收机系统,使用RF采样ADC和内部DDC来提取频段。显然,与图2中的方案进行对照后发现,使用RF采样ADC的双频段接收机在实现上要简单得多。在本方案中,RF向下混频至高中频,其宽度为几百MHz,而不是传统双频段应用的几十MHz宽度。BPF和VGA级为可选,取决于所需的系统性能等级。

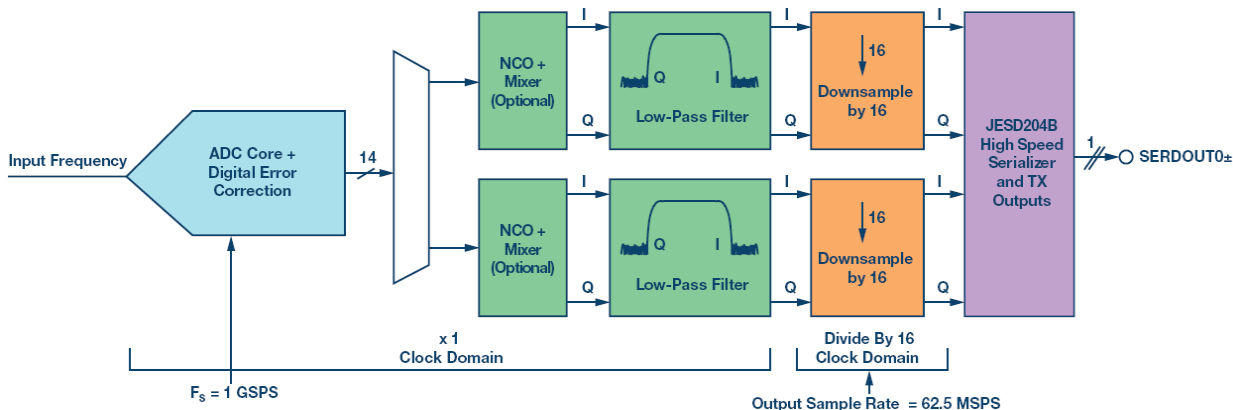


图4. 显示内部DDC的RF采样ADC框图。

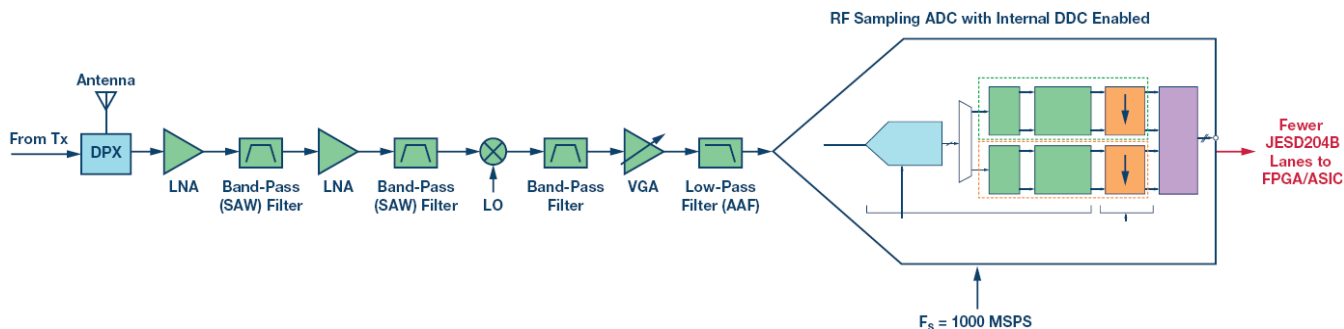


图5. 使用RF采样ADC和内部DDC来提取频段的双频段无线电接收机。

在双频段无线电系统中使用 RF 采样 ADC 的部分优势如下所述：

更简单的前端设计

使用 RF 采样 ADC 的双频段无线电系统设计大幅简化了前端网络。对于刚接触的用户来说，只需进行一次前端设计，而不是两次（每频段一次）。这样可以大幅降低系统板的物料清单。接下来是 AAF（抗混叠滤波器）要求，它是用于两个中频转换器的带通滤波器(BPF)——相比用于 GSPS ADC 的低通滤波器(LPF)而言。这是因为 GSPS ADC 对输入信号进行过采样。^{3,4} 数据过采样后，数字下变频器就能进行抽取和滤波。如果频率规划使二次和三次谐波落在频段外，那么就可放宽 AAF 要求。

更低的系统功耗，更小的尺寸

RF 采样只需一个前端（如图 5 所示），而不是两个 LNA、两个混频器和两个 IF ADC（如图 2 所示）。从系统级功耗角度来看，这样可以大幅降低功耗。较低的系统功耗以及更简单的前端设计缩小了系统的尺寸。

更高的 FPGA 利用率

使用 RF 采样 ADC 来实现双频段无线电系统时，通过 DDC 来提取各频段。由于 DDC 抽取数据，因而降低了输出采样速率。这使 JESD204B 接口的配置非常灵活。例如，某个双通道 ADC 以 1 GSPS 速率采样，并且工作在全带宽模式，则四个通道的线路速率计算值为每通道 10 Gbps。ADI 公司的 JESD204B 转换器线路速率可以计算如下：

$$\text{通道线路速率} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L} \quad \text{其中,}$$

M = 转换器数（本例中为 2）

N' = 每个样本的转换器位数（本例中为 16）

$10/8 = 8B10B$ 开销

F_{OUT} = 输出采样速率（ $F_{\text{sample}}/\text{Decimation_Ratio}$ ；本例中， $\text{Decimation_Ratio} = 1$ 针对全带宽）

L = JESD204B 通道数（本例中为 4）

举例而言，如果同样的双通道 ADC 使用总共 4 个 DDC 的 8 抽取配置，则 ADC 可支持很多配置，具体取决于通道数。输出采样速率变为 125 MSPS ($1 \text{ GSPS} \div 8$)。各种配置如表 1 所示：

表 1.

DDC 配置	M	L	线路速率(Gbps/通道)
实数	4	1	10
实数	4	2	5
复数	8	2	10
复数	8	4	5

这些灵活的配置为系统设计人员提供了以下选择自由：使用具有较高通道速率但更佳 I/O 通道密度使用率的昂贵 FPGA，或者使用存在线路速率限制的现有 FPGA/ASIC。

结论

GSPS ADC 深亚微米硅工艺的出现迎来了无线电架构讨论与设计的新纪元。GSPS ADC 具有高带宽采样内核以及数字下变频器选项，提供重新思考和重新定义无线电架构的灵活思路，从而满足消费者不断增长的需要。这些 GSPS ADC 具有更低的功耗和更小的尺寸，可降低这些无线电产品的拥有成本。集成 JESD204B 接口的当代 ADC 具有灵活的输出选项，它们并不妨碍系统设计人员使用昂贵的高线路速率 FPGA 或数字逻辑。

本文第二部分将讨论 TDD LTE 频段 34 和 39 相关的使用场景，并分析它在采用 AD9680 的多频段无线电接收机中的应用。⁵

参考文献

- ¹ E-UTRA 频段。
- ² Walt Kester. *数据转换手册*。ADI 公司，2005 年。
- ³ Umesh Jayamohan. “祖父时代的 ADC 已成往事：RF 采样 ADC 给系统设计带来诸多好处。”ADI 公司，2015 年。
- ⁴ 过采样。
- ⁵ AD9680。ADI 公司。

Umesh Jayamohan[umesh.jayamohan@analog.com]是 ADI 公司高速转换器部门（位于北卡罗来纳州格林斯博罗）的应用工程师，于 2010 年加入 ADI 公司。Umesh 于 1998 年获得印度喀拉拉大学电气工程学士学位，于 2002 年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其它文章：
非常见问题解答——
第 129 期，2016 年 5 月
谁消耗了我的 dB？

零中频的优势：PCB尺寸减小50%，成本降低三分之二

作者：Brad Brannon

共享    

简介

零中频 (ZIF) 架构自无线电初期即已出现。如今, ZIF架构可以在几乎所有消费无线电应用中找到, 无论是电视、手机, 还是蓝牙®技术。之所以得到如此广泛的普及, 主要是因为经验一再地证明了, 在任何无线电技术中, 该架构具有最低的成本、最低的功耗和最小的尺寸等优势。从历史上来看, 该架构在要求高性能的应用中运用较少。然而, 在无线连接需求不断增长、频谱变得日益拥挤的情况下, 就需要改变现状, 以便在基础设施中继续经济地部署无线电技术, 为我们的无线需求提供支撑。当代的零中频架构可以满足这些需求, 因为这些架构面临的诸多普遍性缺陷已通过工艺、设计、分区和算法的组合得到克服。ZIF技术取得的最新进步对现有高性能无线电架构形成了挑战, 其带来的新产品取得了性能上的突破, 能够实现ZIF技术以前望尘莫及的新型应用。本文将探讨ZIF架构的诸多优势, 介绍这些优势可使无线电设计性能达到的新高度。

无线电工程师面临的挑战¹

不断增多的需求给当今的收发器架构师带来了挑战, 因为我们对无线设备和应用的需求呈持续增长之势。结果, 消费者需要持续访问更多的带宽。

数年以来, 设计师已经从单载波无线电走向多载波无线电技术。当一个频段的频谱被全部占用时, 就分配新的频段; 目前, 必须为40多个无线频段提供服务。由于运营商在多个频段都有频谱, 并且这些资源必须协调起来, 所以, 如今的趋势是走向载波聚合, 而载波聚

合则会导致多频段无线电。这又会带来更多的无线电, 其性能更高, 需要更优秀的带外抑制性能, 更出色的辐射性能, 以及更低的功耗水平。

虽然无线需求在快速增长, 但功耗和空间预算并未增长。事实上, 在功耗和空间节省需求不断增强的条件下, 同时降低碳排放和物理尺寸非常重要。为了实现这些目标, 需要从新的视角去认识无线电架构和分区。

集成

为了增加特定设计中的无线电数目, 必须减小每件无线电器件的尺寸。传统方法是逐步把更多的设计集成到一片硅片当中。虽然从数字角度来看, 这样做可能是合理的, 但是, 为了集成而集成模拟功能的做法不见得有意义。其中一个原因是, 无线电中的许多模拟功能是无法有效集成的。例如, 在图1所示的传统中频采样接收器中, 中频采样架构有四个基本级: 低噪声增益和射频选择级、频率转换级、中频增益和选择级以及检测级。选择级一般使用SAW滤波器。这些器件都不能集成, 因此, 必须部署在片外。虽然射频选择级是由压电或机械器件提供的, 但有时中频滤波器会使用LC滤波器。尽管LC滤波器有时可能会集成到单片结构中, 但是, 滤波器性能的牺牲(Q和插入损耗)以及数字化器(检波器)采样速率必要的增加会提高总功耗。

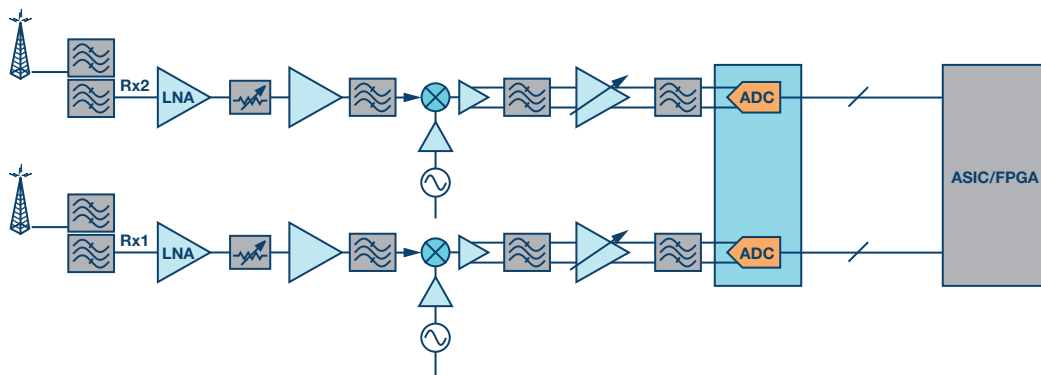


图1. 传统型中频采样接收器

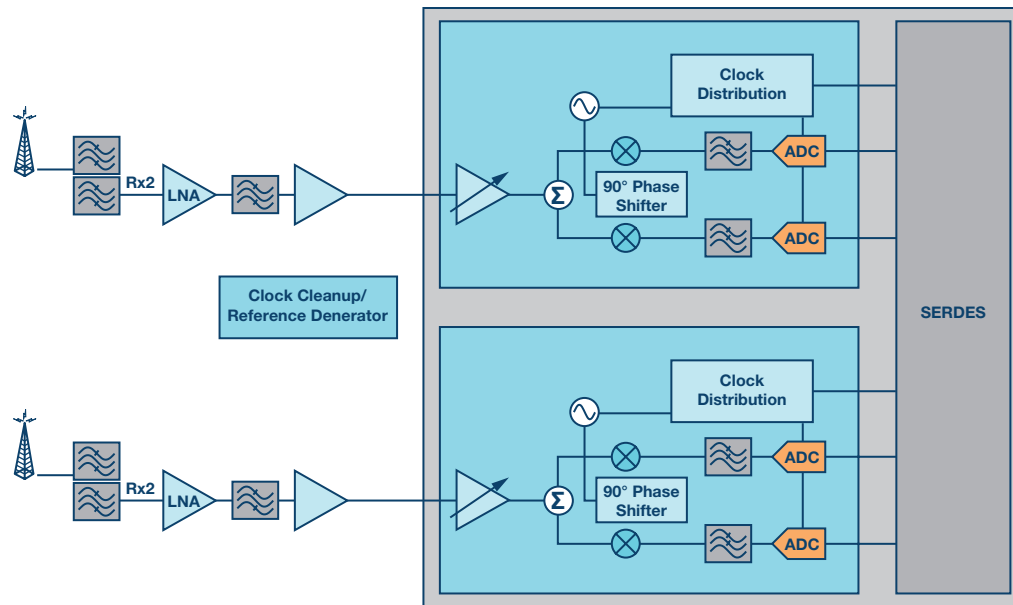


图2. 典型的零中频采样接收器

数字化器（模数转换器）必须以低成本CMOS工艺制成，以使成本和功耗保持于合理水平。当然可以用双极性工艺制造，但结果会导致器件尺寸和功耗的增加，有悖于优化尺寸的初衷。所以，标准CMOS工艺是这种功能的最佳制造工艺。这就为集成高性能放大器，尤其是中频级，造成了极大的挑战。虽然CMOS工艺可以集成放大器，但是很难从针对低功耗和低电压而优化过的工艺中取得需要的性能。另外，在片上集成混频器和中频放大器要求把级间信号路由到片外，以便访问中频和抗混叠滤波器，然后再数字化，因而失去了集成的诸多优势。这样做就达不到集成的目的，因为结果会增加引脚数和封装尺寸。另外，关键的模拟信号每次通过一个封装引脚时，就会牺牲一些性能。

最佳集成方式是对系统分区，消除不能集成的元件。由于不能有效地集成SAW和LC滤波器，所以，最佳选择是确定如何通过重新设计架构来消除它们。图2展示了一个典型的零中频信号链，它把射频信号直接转换为一个复合基带，完全消除了中频滤波器和中频放大器的必要性，结果实现了这些目标。选择级则通过在I/Q基带信号链里引入一对低通滤波器的方式予以实现，这对滤波器可以作为有源低通滤波器而非功耗较高的片外固定中频器件集成。传统型中频SAW滤波器或LC滤波器天生就是固定型器件，而這些有源滤波器则可以电子方式，在数百kHz至数百mHz的范围内调谐。改变基带带宽就能使同一器件覆盖范围更宽的带宽，无需改变物料清单，也不用在不同的固定中频滤波器之间来回切换。

虽然图示并不直观，但通过更改本振，零中频接收器也可覆盖范围非常宽的射频频率。零中频收发器可提供真正的宽带体验，典型连续覆盖范围从数百MHz到约6 GHz。不使用固定滤波器，可以实现真正灵活的无线电，结果可以极大地减少，甚至可能消除在开发无线电设计频段变体方面的投入。得益于灵活的数字化器和可编程的基带滤波器，零中频设计不但能实现高性能，还具有极大的灵活性，

既能支持范围超宽的频率和带宽，也能维持近乎平坦的性能，而且无需针对每种配置优化模拟电路（如滤波器）——可谓名符其实的软件定义无线电（SDR）技术。与此同时，这种方法也会大幅减小尺寸，因为它为必须覆盖多个频段的应用消除了原本需要的滤波器组。在一些情况下，可以完全消除射频滤波器，成就完全意义上的宽带无线电，根据不需要更改频段。通过消除部分器件、集成其他器件，可以大幅减小零中频设计所需要的PCB尺寸，不但简化了频段高速过程，还能减少有必要更改尺寸时投入的精力。

最小的尺寸

通过直接比较这些架构的PCB面积（图3和图4）可知，对于双接收路径，在合理实现方式下，中频采样和零中频采样的PCB面积分别为2880 mm²（18 mm × 160 mm），和1434 mm²（18 mm × 80 mm）。如果不算可能消除的射频滤波器和其他简化设计，²零中频架构有可能比当前的中频采样技术减少最高达50%的无线电尺寸。未来的设计有可能通过额外的集成，使尺寸再减少一倍。

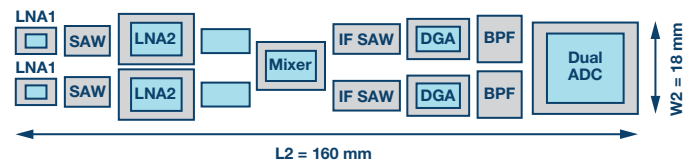


图3. 典型的中频采样布局

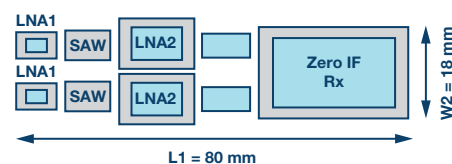


图4. 典型的零中频采样布局

最低成本

直接从物料清单来看,从中频采样系统转向零中频架构可节省33%的物料。成本分析始终都是非常困难的。然而,深入考察图1和图2可知,许多分立式元件均已消除,包括中频和抗混叠滤波元件,并且混频器和基带放大器均已集成。不明确的是,由于零中频接收器本身具有传统中频采样架构不具备的带外抑制功能,所以,整体外部滤波要求就大幅降低了。零中频架构中两个元件促成了这一结果。第一个元件是有源基带滤波器,该滤波器同时具备带内增益和带外抑制功能。第二个元件是高采样速率低通 Σ - Δ 转换器,用于对I/Q信号进行数字化。有源滤波器减少了带外元件,而ADC的高采样速率则使混叠点提高到足够高的频率,从而消除了外部抗混叠滤波元件的必要性(因为有源滤波器已经充分地抑制了信号)。

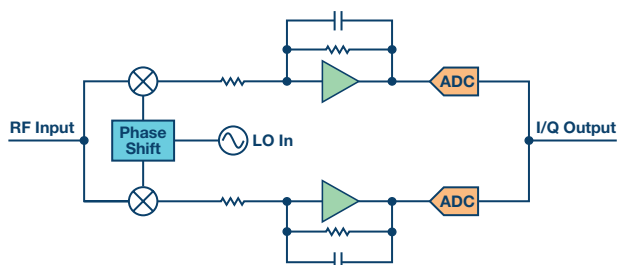


图5. 有源基带滤波器与ADC

通过把基带信号施加到有源滤波器上,如图5所示,可以滚降高频内容。然后,ADC对来自低通滤波器的任何残余输出信号进行数字化和最终滤波。级联结果如图6所示。此图所示为在有源滤波器和 Σ - Δ ADC复合效应作用下的典型接收器性能。这里展示的是带内和带外功率灵敏度降低3 dB的典型情况。注意,在不使用任何外部滤波元件的情况下,带外性能有所改善。

为了获得类似的性能水平,中频采样接收器采用分立式中频滤波元件(如SAW技术)来实现选择性和带外信号保护功能,以防止宽带信号混叠和噪声混叠回频段等问题。中频采样架构还必须采取其他无用混频器项的保护措施,包括半中频项,该项会提高射频和中频滤波要求并限制采样速率和中频规划。零中频架构不存在这种频率规划限制。

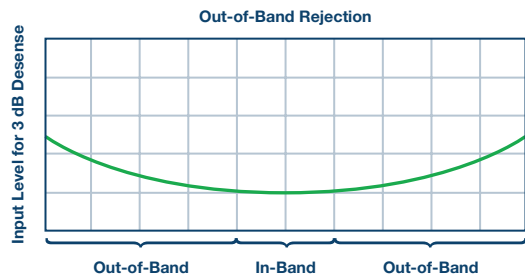


图6. 典型的零中频带外抑制

根据设计和应用的不同,这种原生抑制功能可以降低或消除外部射频滤波要求。通过省去这些元件可以直接节省成本,因为根据类型的不同,外部射频滤波器可能比较昂贵。另外,移除这些损耗性

的器件有助于消除射频增益级,结果不但能节省成本,还能降低功耗、提高线性度。所有这些都进一步增强分区和智能集成的优势。

如前所述,成本的估算非常难,因为这在很大程度上取决于产量和与供应商签订的协议。然而,详细分析显示,通过集成、消除部分元件、降低要求,零中频架构最高可使系统总成本降低三分之一。需要记住的是,这是系统成本,不是器件成本。由于更少的器件要承载更多的功能,所以在系统总成本减少的情况下,有些器件成本可能会增加。

除了材料成本以外,集成式零中频接收器还有一些其他优势。由于集成式系统可以减少系统中的器件数量,所以其装配成本较低,工厂良品率较高。由于分立式器件数量变少,所以对齐时间也会变短。这些因素相加,可降低工厂成本。

由于零中频接收器是名符其实的宽带,所以,调整频段的工程成本也减少了。在中频采样系统中,必须慎重选择中频频率,但对于零中频系统,则无需进行谨慎的规划。基本上通过更改本振就可以添加新的频段。另外,由于在使用零中频时,许多应用并不要求外部射频滤波器,所以,结果可能实现进一步的简化。整体而言,对于零中频解决方案,如果考虑直接成本以及上面列出的制造成本和工程成本,其成本节省优势是非常可观的。

最低功耗

如果只是采用图1所示架构,并直接将其集成到片上系统中,结果并不会带来功耗和成本上的优势。要节省功耗,就要选择高效的架构,该架构能针对目标工艺进行优化。类似于图中所示中频采样接收器的架构涉及到大量的高频和中频频率,难以在低成本工艺的基础上进行扩展,因此,要消耗大量功率以支持所需频率。然而,如图2所示的零中频架构能立即降低至直流(基带)的目标频率,因而可以实现频率最低的电路。

类似地,通过带宽来解决这个问题也是非常低效的。类似于直接射频采样的架构可提供较宽的带宽,并且具有极大的灵活性。然而,据Walden³和Murrmann⁴在文中所述,增加系统带宽始终都会提高功耗。

除非需要原始带宽,否则,对多数接收器应用来说,仅仅通过带宽来解决这个问题并不是一种经济的解决方案。这些长期研究的数据表明,转换器的发展有两个方面值得关注。技术面取得了一些进步,能以动态范围和带宽的形式显著提高内核的交流性能。架构面在内核架构的整体效率方面有所进步。一般地,曲线先是向右移动,然后随着设计的优化,开始向上运动。对于通信应用,操作趋向沿技术面进行,其中,从线条斜率来看,转换器效率大约下降了10 dB/十倍频段,如图7所示。在此斜率下,使带宽增加一倍会导致功耗增加两倍。然而,在把这些内核集成到功能器件中之后,效率就有所改善,当其靠近架构面时,功率损失接近2。

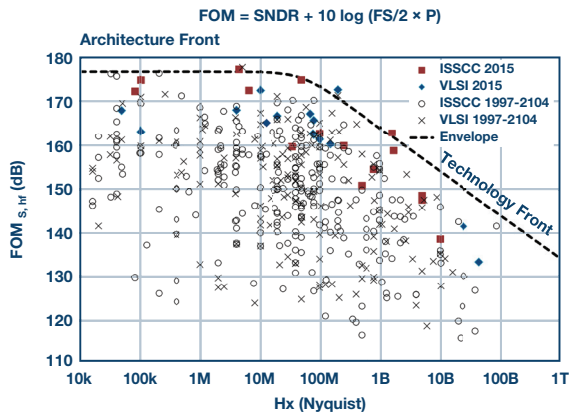


图7. 内核ADC技术的品质因数⁴

对于关心功耗的应用来说，结论是，功耗最低的解决方案是带宽和采样速率均针对应用而优化过的解决方案。搭载 Σ - Δ 转换器的零中频采样设计就针对这类应用进行了优化。依据具体的应用，采用零中频接收器比中频采样架构可节省50%或以上的功耗，比直接射频采样可节省高达120%的功耗。

功耗还与成本直接相关。更高的功耗不但会提高封装成本和电源成本，而且对于电路消耗的每瓦特功率（设电费为12美分/千瓦时），每年每瓦特的运营成本会超过1美元。鉴于许多电子器件成本较低，其一年的运行成本就可能轻松超过其直接成本。因此，随着集成式无线电解决方案选项的推出，对成本和功耗敏感的应用必须选择谨慎地做出权衡。选择会不必要地增加功耗的架构，结果不但会增加功耗，还可能会影响解决方案的长期运行成本。

性能增强

无线电设计有若干重要的关键指标需要注意。其中包括噪声系数(NF)、线性度(IP3、IM3)、降敏、选择性等。在正常的无线电规格以外，还有一些规格也很重要，但用户往往看不到。其中包括规格分布和漂移与时间、电源、温度和流程的关系。零中频架构符合关于无线电设计的这些和其他关键要求。

通过温度、电源和流程跟踪

全集成式收发器架构的一个优势是，对于设计合理的无线电，器件匹配可能要好得多，不仅在起初是这样，而且如果设计合理，器件可以有效地进行流程、温度、电源和频率跟踪。运用通常嵌入这些集成解决方案中的信号处理技术，可以较好地消除任何残余的失

配问题。虽然对IC设计来说，这是非常典型的情况，但是，无线电集成的不同之处在于，在零中频设计中，由于依赖于频率的所有项均部署于片上，所以，这些项也可以实现跟踪功能。如图1所示的典型无线电包括一个片外中频滤波器。该中频滤波器的特性会随时间、温度或器件而变化，与片上的任何元素均无关，并且不能对其进行跟踪。然而，集成滤波器的一个主要优势是，因为其以片上器件构建，所以，器件是可以扩展的，或者可以按比例相互跟踪，以保持性能稳定。对于那些不能通过设计稳定的项，可以轻松进行校准。最终结果是，在预计器件差异时，所需要的裕量要远远低于所有器件均无关的分立式设计。

例如，为混频器、中频滤波器、中频放大器和ADC各分配1 dB的噪声系数，这种做法并不罕见。在制定性能预算时，必须把这些差异级联起来。然而，在集成式设计中，所有关键技术规格要么相互跟踪，要么通过校准予以排除，结果可实现1 dB的单一器件差异，极大地简化了信号链差异。相比各项不相关的设计，这可能会对设计造成重要的影响；在各项不相关的设计中，需要额外的系统增益来抵销可能会增加的噪声——会影响到最终产品的成本、功耗和线性度。在如图2所示的集成式设计中，性能总差异要远远小于不相关设计，因此，只需较小的系统增益。

高级校正技术

在过去，零中频接收器通常有两个领域会引起人们的担忧。由于复合数据是用一对表示实部和虚部的实数级联网络生成和表示的，结果就产生了可能表示各信号链增益、相位和失调的误差，如图8所示。

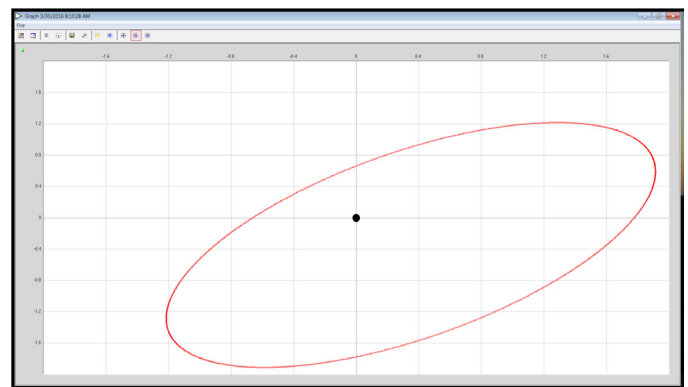


图8. 表示增益、相位和失调项的正交误差

这些误差在频谱中表现为镜像，也是妨碍这些架构广泛普及的主要原因。然而，作为一种集成式解决方案，通过模拟优化和数字校正技术，可以轻松控制这些镜像。图9所示为典型的未经校正的复合数据表示方式。在图中可以看到LO泄漏（和直流失调）及镜像抑制（正交误差）。

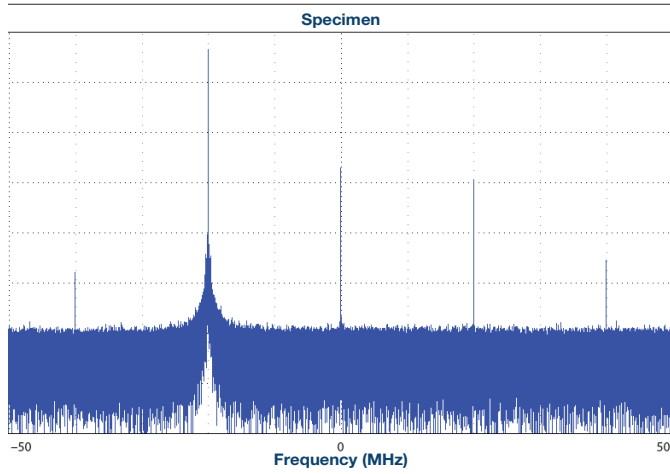


图9. 典型的未经校正的LO泄漏和镜像抑制

LO泄漏控制

LO泄漏在I或Q信号路径中表现为增大的直流失调。其原因是LO直接耦合至射频信号路径中，并被以相干方式下变频至输出。结果产生混频器积，表现为直流失调，加入信号链里存在的任何残余直流失调中。优秀的零中频架构不但会在初始时自动跟踪并校正这些误差，还能随时间、温度、电源和流程自动跟踪和校正，结果可实现优于-90 dBFS的性能水平，如图10所示。

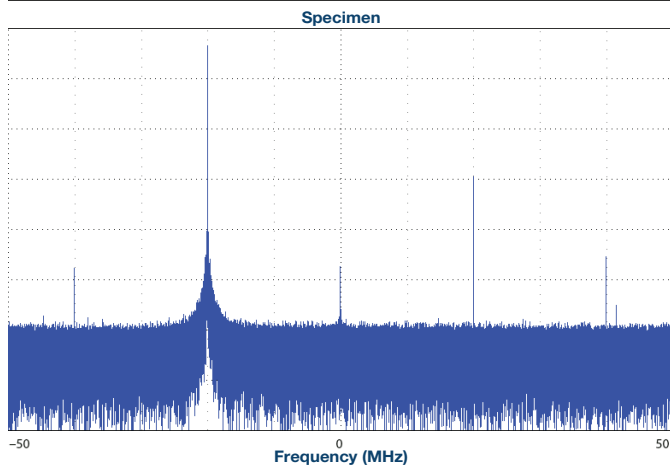


图10. 典型的LO泄漏控制

QEC

为了防止镜像扰乱性能，一般会采用正交误差校正 (QEC) 技术。图11展示了这种功能可能产生的影响。在此例中，镜像改善至优于-105 dBc的水平，超过了多数无线应用的要求。对于LO泄漏和QEC，运用跟踪功能是为了确保在性能随时间而变化时，校正能保持最新状态，从而保证能始终实现最佳性能。

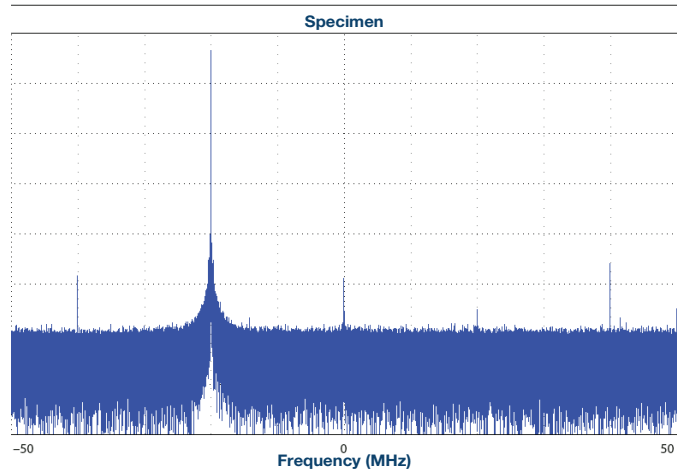


图11. LO泄漏控制条件下的典型正交校正

在无线电系统中，正交误差和LO馈通非常重要。如果误差足够大，较大的阻波器镜像有可能会屏蔽掉较小的目标信号。在图12中，一个大阻波器的镜像出现在15 MHz处，同时，一个目标信号的中心位于20 MHz。如果镜像部分或全部落在目标信号上，则会导致目标信号SNR下降，结果可能在解调功能里造成误差。一般地，LTE、W-CDMA等系统都针对这类镜像设置了合理的容差，但并非完全不受影响。一般情况下，这些系统要求75 dBc或更好的镜像抑制性能，如图11所示，运用零中频架构可以轻松达到并维持这一要求。

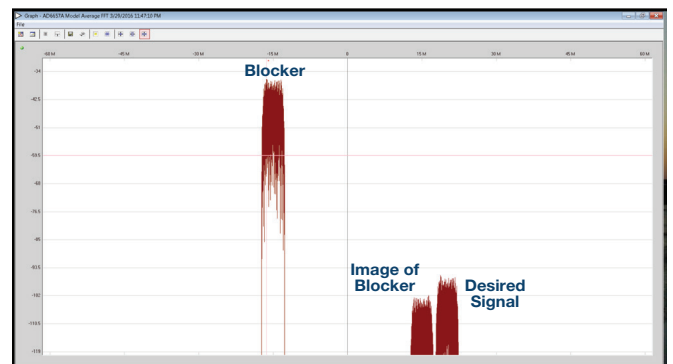


图12. 镜像阻碍目标信号的示例

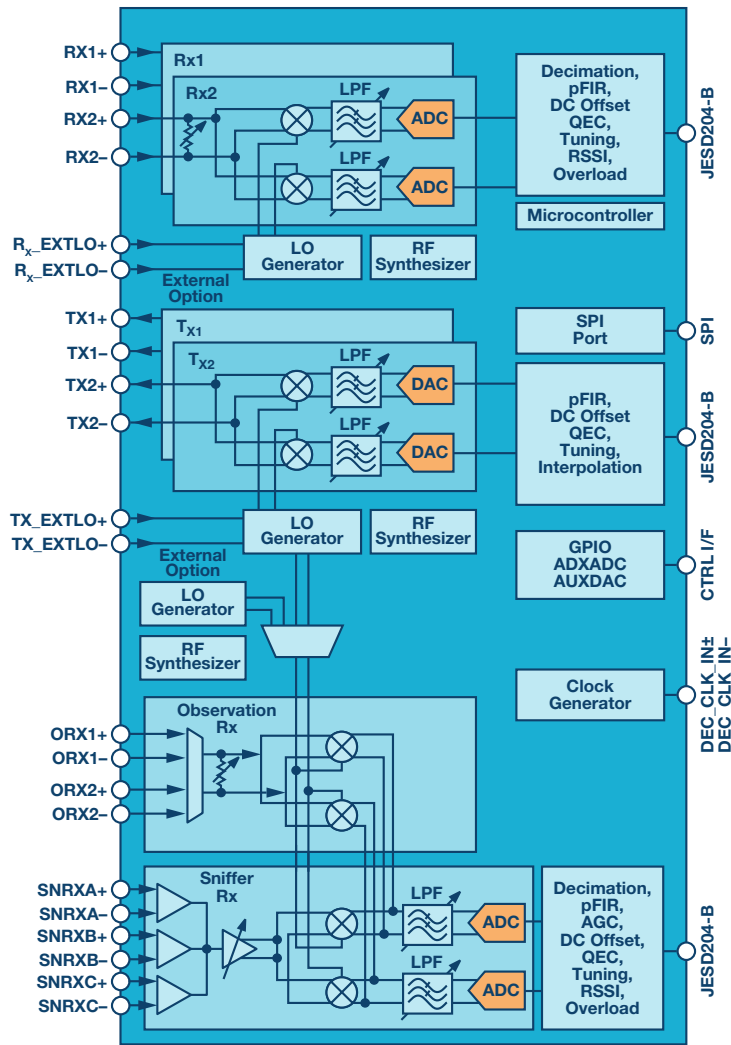


图13. AD9371集成式零中频收发器

AD9371

零中频发射和接收的一个典型示例是AD9371。如图13所示，AD9371具有极高的功能集成度，集成了双发射、双接收以及多种额外的功能，包括观察和嗅探接收器、集成式AGC、直流失调校正（LO泄漏控制）、QEC等。该产品具有较宽的射频覆盖范围，从300 MHz至6 GHz。每个发射器均可覆盖20 MHz至100 MHz的合成带宽，而每个接收器则能覆盖5 MHz至100 MHz的带宽。虽然此器件瞄准的是3G和4G应用，但也是不超过6 GHz的许多其他通用无线电和软件定义应用的理想解决方案。

AD9371在12 mm × 12 mm的BGA封装里集成了完整的系统功能，包括前面讨论过的依赖于频率的所有器件，以及所有校准和对齐功能。在图4所示接收功能的基础上，图14增加了必要的发射功能，造

就了一种非常紧凑的双收发器设计。功耗取决于确切的配置，包括带宽和实现的功能，但是，AD9371的典型功耗仅为4.86 W，包括维持LO泄漏和镜像抑制的数字功能。

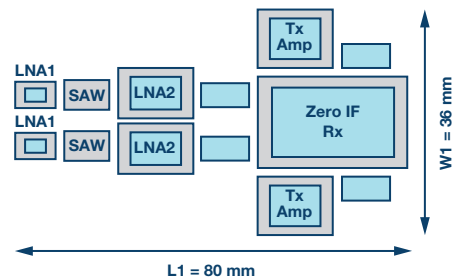


图14. 零中频收发器的典型布局

AD9371的关键性能指标

噪声系数

图15和图16展示了AD9371的典型噪声系数特性。第一张图展示了较宽的射频频率，在该频谱中，噪声系数相对平坦。该器件的输入结构采用衰减器的形式，因此，对于每dB，噪声系数增加1 dB。假设最差条件噪声系数为16 dB，衰减为零，外部增益差异允许约4 dB的衰减，则可假设总噪声系数为20 dB。对于一个提供至少24 dB增益的外部LNA (0.8 dB)，系统噪声系数为2 dB。

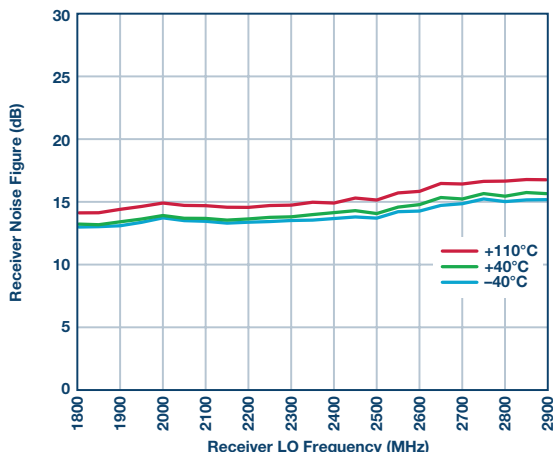


图15. AD9371噪声系数 (0 dB衰减和40 MHz带宽)

在图16中，噪声系数为带外阻塞相对于AD9371输入的函数。设外部增益为24 dB，在相对于天线连接器-24 dBm处，会相对于该器件输入出现0 dBm。如果只考虑AD9371的影响，若集成接收器下降3 dB，则噪声系数的总体下降幅度约为1 dB。

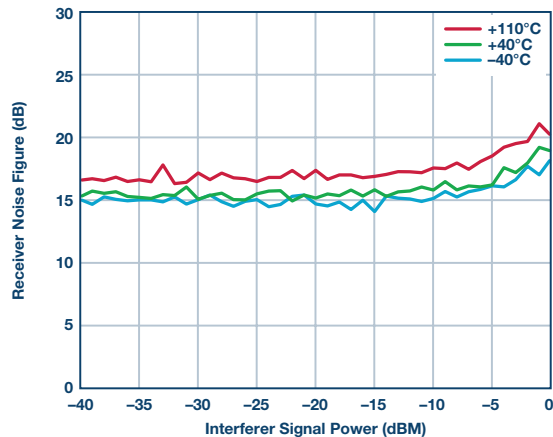


图16. AD9371 NF与带外信号功率的关系

Brad Brannon[brad.brannon@analog.com]自北卡罗来纳州立大学毕业至今，已在ADI公司工作32年。在ADI公司，他先后在设计、测试、应用和系统工程等领域担任多个职位。Brad撰写过大量论文和应用笔记，主题涉及数据转换器计时、无线电设计、ADC测试等。目前，Brad负责4G和5G接收架构系统工程的工作。



Brad Brannon

镜像抑制

与LO泄漏类似，接收器镜像抑制可基于图17所示信息进行估算。当天线端的典型输入电平为-40 dBm时，则可以估算出，镜像要优于比天线端口低80 dB或-120 dBm的水平。

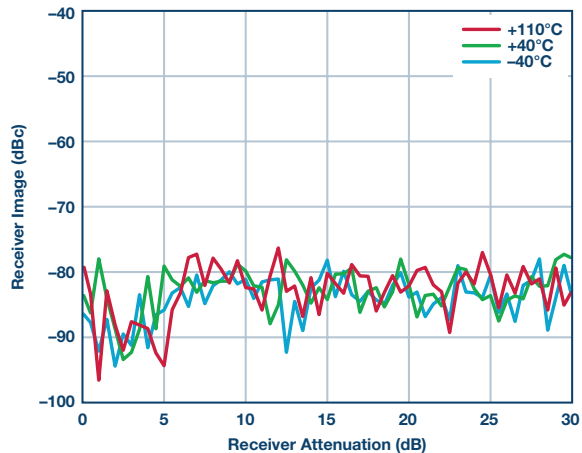


图17. 接收器镜像抑制

结论

虽然从历史上来看，零中频架构一直局限于低性能应用，但是，AD9371一类的新产品却具有改变现状的性能。这些器件不但能提供比肩中频采样接收器的性能，同时还要更进一步，通过对无线电进行分区，形成了更加强大的架构，不但能降低制造成本，还能在部署后降低运营成本。低成本解决方案设计不再需要牺牲无线电性能，使得用户可以集中时间和资源去开发应用，无需担心无线电的实现问题。

参考文献

- 1 虽然本文主要讨论接收器，但对发射器同样适用。对于发射器，零中频成为公认的高性能架构已经超过十年。
- 2 如本文所述，典型的零中频接收器在同一封装中还包括一条完整的发射路径（AD9371）。
- 3 R. H. Walden. “模数转换器调查与分析”。IEEE Journal on Selected Areas in Communications, 1999年4月。
- 4 Boris Murmann. “1997-2015年ADC性能调查”。斯坦福大学，2015年。

射频收发器为航空航天和防务应用提供突破性的SWaP解决方案

作者: Wyatt Taylor和David Brown

共享    

新一代航空航天和防务平台将带来新的挑战，其需要的解决方案无法通过单独优化器件来实现。在无线电中集成更多的软件控制和认知能力，需要采用一种在频率和带宽方面更具灵活性的射频设计。为了实现这一目标，需要取消静态滤波器并以可调谐型滤波器取而代之。类似地，通用平台的概念将有助于缩短开发时间，降低生产成本，提高系统间的互操作性。通用平台要求射频系统能帮助传统上采用不同架构的应用充分发挥其性能。最后，未来的平台将把尺寸和功耗需求推向新的极端。

手持式单人无线电的功能不断增强，复杂性也不断提高，同时也需要更高的电池效率。小型无人飞行器不具备大型飞机的发电能力，射频系统消耗的每毫瓦电能都会直接转化成有效载荷电池重量，由此会缩短飞行时间。为了克服这些挑战，打造出新一代的解决方案，需要采用一种新型无线电架构。

超外差架构与效益递减现象

自提出以来，超外差架构就一直是航空航天和防务系统无线电设计的中坚力量。无论是单人无线电、无人飞行器 (UAV) 数据链，还是信号情报 (SIGINT) 接收器，单或双混频级超外差架构都是通用的

选择。这种设计的优势非常明显：合理的频率规划可以实现超低的杂散辐射，通道带宽和选择性可通过中频 (IF) 滤波器设定，各级的增益分布允许在噪声系数与线性度之间进行权衡。

在100多年的运用中，超外差在整个信号链中的性能得到了显著提升。微波和射频器件提高了性能，同时还降低了功耗。ADC和DAC提高了采样速率、线性度和有效位数 (ENOB)。FPGA和DSP的处理能力遵循摩尔定律，随着时间的推移得到了提升，为更高效的算法、数字校正和进一步的集成创造了条件。封装技术缩小了器件引脚的密度，同时改善了封装的散热能力。

然而，这些因器件而异的改进已经开始走向效益递减点。尽管射频元件的趋势是减小尺寸、重量和功耗 (SWaP) —但高性能滤波器的物理尺寸仍然较大，通常采用定制式设计，会增加系统的整体成本。另外，中频滤波器决定着平台的模拟通道带宽，因而很难构造出可以在广泛系统中重复利用的通用平台设计。对于封装技术，多数生产线不会采用低于0.65 mm或0.8 mm的引脚间距，这意味着，有着多种I/O要求的复杂器件在物理尺寸上可以小型化的程度是存在限制的。

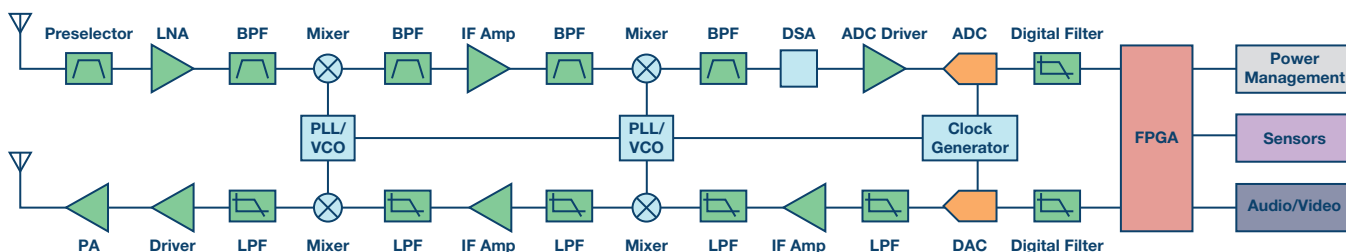


图1. 基本的超外差架构的

零中频架构

超外差架构的一种替代方案是零中频 (ZIF) 架构, 近年来, 后者已经作为一种潜在的解决方案重现市场。零中频接收器采用一种单频混频级, 其本振 (LO) 直接设为目标频段, 把接收到的信号向下转换至相位 (I) 和正交 (Q) 信号中的基带。这种架构可以缓解超外差架构严格的滤波要求, 因为所有模拟滤波处理均发生于基带, 在基带中, 相比定制射频/中频滤波器, 滤波器的设计要简单得多, 成本也要低一些。如此一来, ADC和DAC就在基带中作用于I/Q数据, 所以, 可以降低相对于转换带宽的采样速率, 从而大幅降低功耗水平。从多个设计角度来看, 零中频收发器因降低了模拟前端的复杂性, 减少了元件数量, 所以可以大幅降低SWaP。

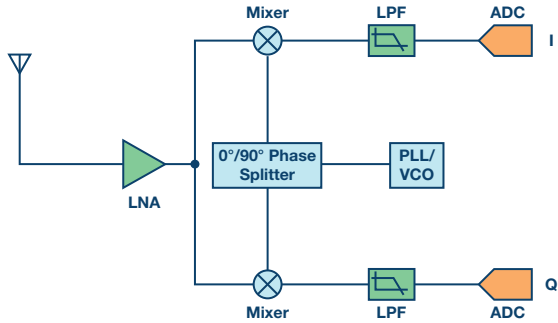


图2.零中频架构

然而, 这种系统架构有些缺陷需要解决。把频率直接转换为基带的方法会带来载波泄漏和镜像频率。从数学上来看, I和Q信号的虚部会因其正交性而相互抵消 (如图3)。受真实因素的影响 (比如工艺差异、信号链里的温度差异), 不可能在I信号与Q信号之间维持完美的90°相位偏移, 结果会导致镜像抑制性能下降。另外, 混频级里不完美的LO隔离会带来载波泄漏。如果不予以校正, 则镜像和载波泄漏问题可能会导致接收器灵敏度下降, 造成无用的发射频谱辐射。

从历史上来看, I/Q不平衡问题限制了零中频架构适用的范围。其原因有二: 首先, 零中频架构采用分立式实现方式, 结果会在单片器件和印刷电路板 (PCB) 中导致失配问题。第二, 单片器件可能来自不同的生产批次, 因工艺本身的差异, 要实现精确匹配极其困难。另外, 分立式实现方式也会使处理器与射频元件在物理上相分离, 很难横跨频率、温度和带宽元件实现正交校正算法。

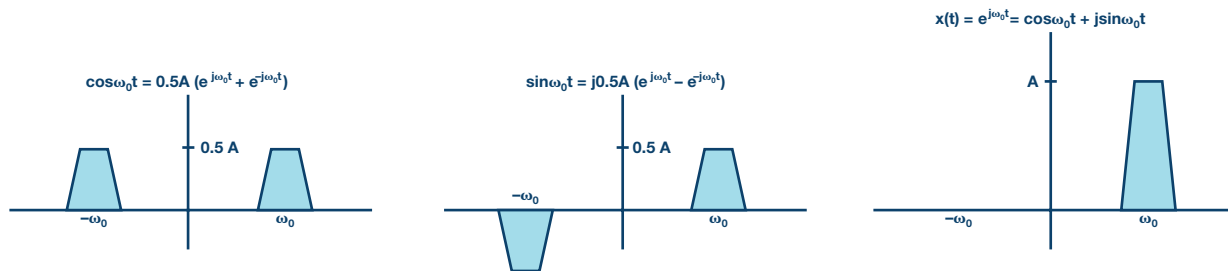


图3. 零中频镜像消除

集成式收发器带来SWaP解决方案

将零中频架构集成到单片收发器中, 这种方法为新一代系统提供了一个途径。把模拟和射频信号链设在同一片硅片上, 可以最大限度地降低工艺差异的影响。此外, DSP模块可以整合到收发器中, 由此消除正交校准算法与信号链之间的界限。这种方法不但可以前所未有地改善SWaP性能, 还能在性能规格上媲美超外差架构。

目前, ADI公司有两款收发器能满足航空航天和防务市场的需求, 它们是AD9361和AD9371。这些器件把完整的射频、模拟和数字信号链集成到单片CMOS器件上, 整合的数字处理模块可以实时运行正交和载波泄漏校正算法, 不受任何工艺、频率和温度差异的影响。AD9361重点面向要求中等性能规格和超低功耗的应用, 比如无人飞行器数据链、手持式和单人通信系统以及小型SIGINT等。AD9371面向要求超高性能规格和中等功耗的应用而优化。另外, 该器件集成了一颗ARM®微处理器, 用于实现精密校准控制; 一枚观察接收器, 用于实现功率放大器 (PA) 线性化; 以及一个嗅探接收器, 用于探测空白空间。这就为众多不同的应用开启了全新的设计潜力。现在, 可以在小得多的封装中实现采用宽带波形或占用非连续频谱的通信平台了。在射频频谱高度拥挤的地点, 较高的动态范围和较宽的带宽为实现SIGINT和相控阵雷达作业创造了条件。

新一代就在当下

借助长达100年的器件优化经验, 超外差架构得以在尺寸不断缩小、功耗不断降低的平台上实现不断增强的性能。随着物理限制的到来, 这些改进已经开始放缓步伐。新一代航空航天和防务平台将要求采用全新的射频设计方法。在这类方法中, 若干平方英寸的现有平台将集成到单片器件中; 软件与硬件之间的界限被模糊, 可实现当前不可能的优化和集成水平; 减小的SWaP不再意味着性能的下降。

现在, 借助AD9361和AD9371这一组合, 航空航天和防务设计师有能力构造几年前还不可能实现的系统。两款器件具有许多共同点——可调谐的滤波器角、宽带LO生成、分集能力、校准算法等。但也存在关键的差异, 每款器件均针对不同的应用而优化。AD9361侧重于单载波平台, 其中, SWaP是主要驱动力。AD9371侧重于宽带、非连续平台, 其中, 性能规格的实现难度更大。这两款收发器将成为新一代航空航天和防务信号链的关键促成因素。

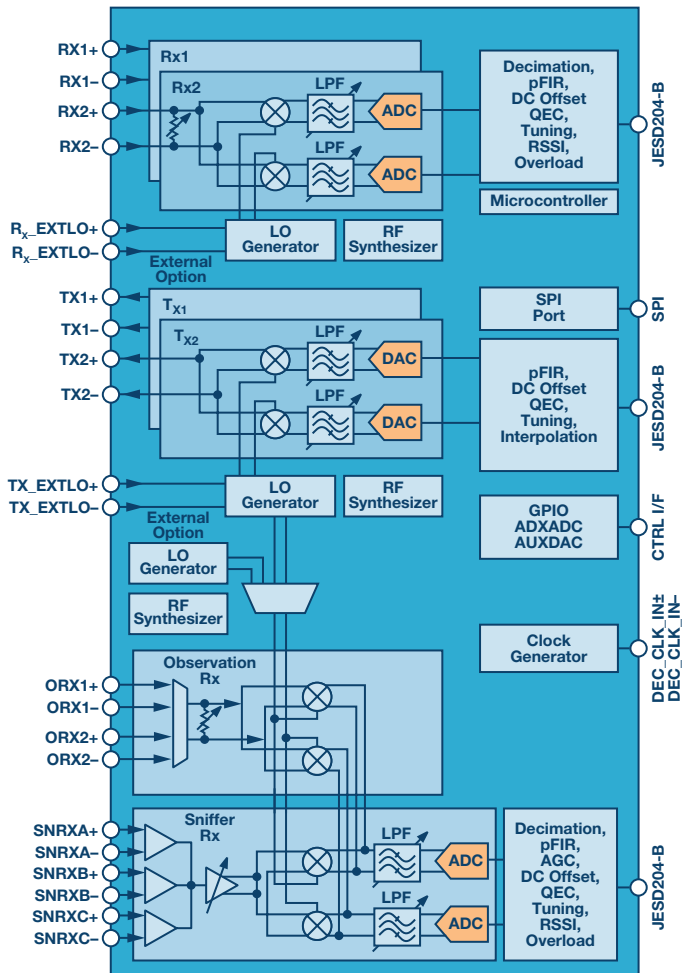
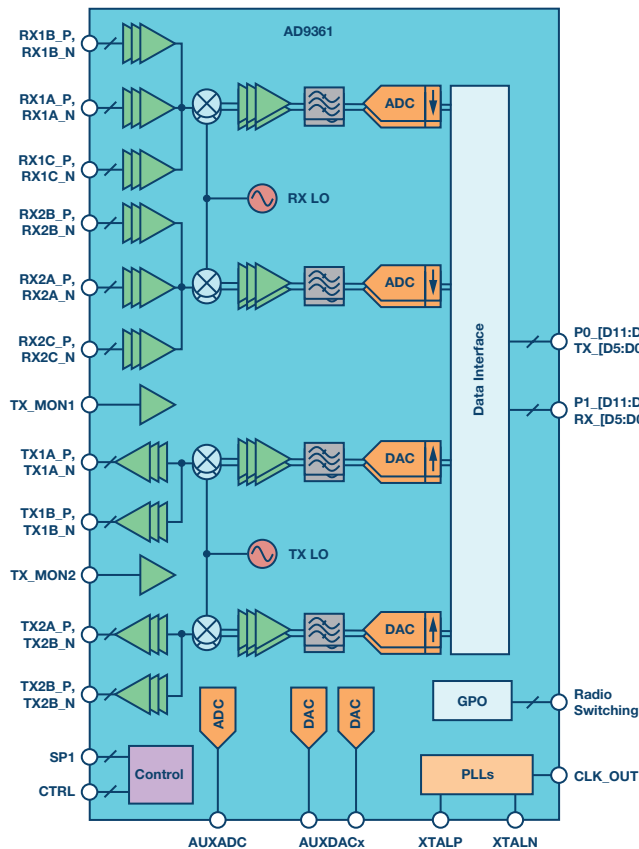


图4. AD9361和AD9371功能框图

Wyatt Taylor[wyatt.taylor@analog.com]是ADI公司(美国北卡罗来纳州格林斯博罗)的高级射频系统工程师。他主要从事航空航天和防务无线电应用研发工作,具体侧重点是集成式射频收发器、小型微波设计、软件定义无线电(SDR)等。在此之前,Wyatt曾在马里兰州的Thales Communications公司和Digital Receiver Technology公司担任射频设计工程师。Wyatt于2005年和2006年分别获得弗吉尼亚州布莱克斯堡弗吉尼亚理工学院电气工程学士(BSEE)学位和电气工程硕士(MSEE)学位。



Wyatt Taylor

David Brown[david-w.brown@analog.com]是ADI公司(美国北卡罗来纳州格林斯博罗)的射频系统应用工程师。他于2015年加入ADI公司,主要从事航空航天和防务应用研发工作。David于2014年毕业于北卡罗来纳州立大学,获电气工程学士学位。



David Brown

完整的采用非分散红外(NDIR)技术的气体传感器电路

作者: Robert Lee和Walt Kester

共享    

简介

非分散红外(NDIR)光谱仪常被用来检测气体和测量碳氧化物(例如一氧化碳和二氧化碳)的浓度。一个红外光束穿过采样腔,样本中的各气体组分吸收特定频率的红外线。通过测量相应频率的红外线吸收量,便可确定该气体组分的浓度。之所以说这种技术是非分散的,是因为穿过采样腔的波长未经预先滤波;相反地,光滤波器位于检波器之前,以便滤除选定气体分子能够吸收的波长之外的所有光线。

图1所示电路是一个基于NDIR原理的热电堆气体传感器完整电路。该电路针对二氧化碳检测优化,但采用不同滤光器的热电堆之后亦可精确测量多种气体的浓度。

印刷电路板(PCB)采用Arduino扩展板尺寸设计,并与Arduino兼容平台板EVAL-ADICUP360对接。信号调理由低噪声放大器AD8629和ADA4528-1以及精密模拟微控制器ADuCM360实现,该微控制器集成可编程增益放大器、双通道24位 Σ - Δ 型模数转换器(ADC)和ARM[®]Cortex[®]-M3处理器。

热电堆传感器由通常串联(或偶尔并联)的大量热电偶组成。串联热电偶的输出电压取决于热电偶结与基准结之间的温度差。该原理称为塞贝克效应,以其发现者Thomas Johann Seebeck命名。

本电路使用运算放大器AD8629放大热电堆传感器输出信号。热电堆输出电压相对较小(从几百微伏到几毫伏),需要高增益和极低的失调与漂移,以避免直流误差。热电堆的高内阻特性(典型值为84 k Ω)需要低输入偏置电流的放大器以最大程度地减少误差,而AD8629的偏置电流仅为30 pA(典型值)。该器件随时间和温度变化的漂移极低,在校准温度测量后不会引入额外误差。与ADC采样速率同步的脉冲光源最大程度地减少低频漂移和闪烁噪声引起的误差。

AD8629在1 kHz下的电压噪声频谱密度仅为22 nV/ $\sqrt{\text{Hz}}$,低于热电堆37 nV/ $\sqrt{\text{Hz}}$ 的电压噪声密度。

AD8629在10 Hz下的电流噪声频谱密度也非常低,典型值仅为5 fA/ $\sqrt{\text{Hz}}$ 。该电流噪声流过84 k Ω 热电堆,10 Hz时的噪声贡献仅为420 pV/ $\sqrt{\text{Hz}}$ 。

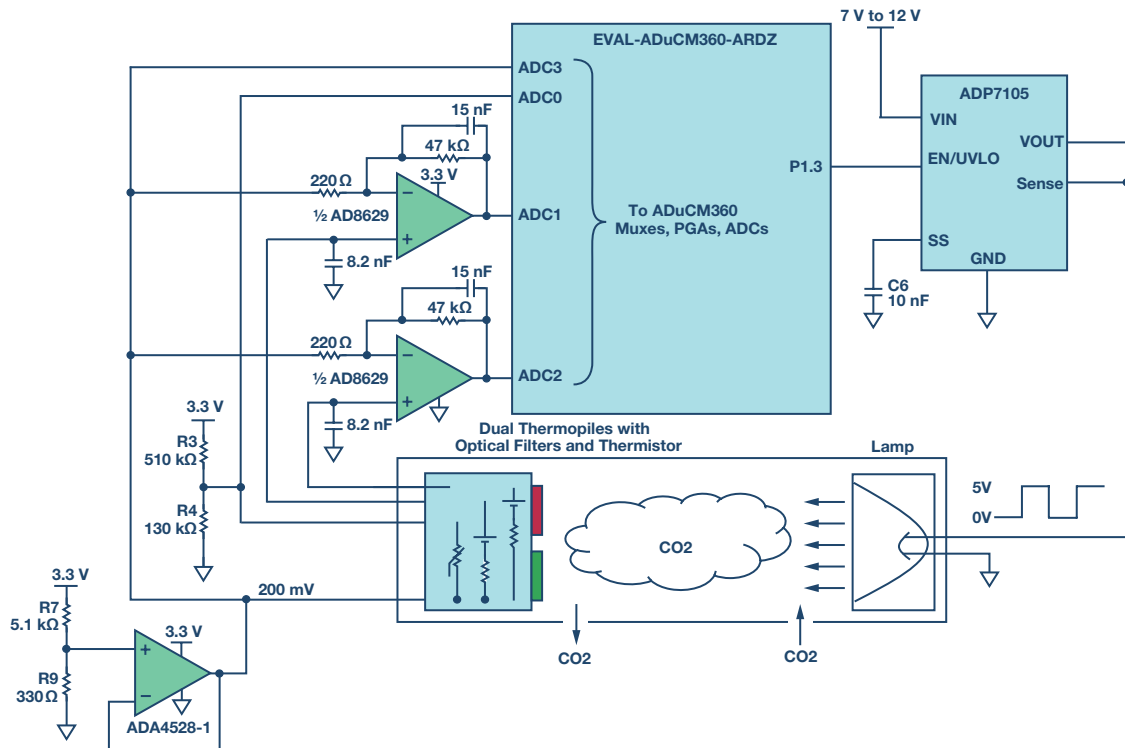


图1. NDIR气体检测电路(原理示意图:未显示所有连接和去耦)

采用低噪声放大器ADA4528-1作为缓冲的传感器共模电压为200 mV, 因此NTC和热电堆信号输出满足ADuCM360缓冲模式输入的要求; ADuCM360 ADC缓冲模式输入为AGND+0.1 V至约AVDD-0.1 V。CN-0338 Arduino扩展板兼容其它类型的仅有单端输入ADC的Arduino兼容平台。

该电路的斩波频率范围为0.1 Hz至5 Hz, 可通过软件选择。低压差稳压器ADP7105生成稳定的5 V输出电压以驱动红外光源, 并由ADuCM360控制开关。ADP7105具有软启动功能, 可消除冷启动光源时产生的浪涌电流。

ADuCM360集成双通道、24位、 Σ - Δ 型ADC, 在3.5 Hz至3.906 kHz的可编程速率范围内可同步采样双热电堆单元。NDIR系统的数据采样速率范围限制在3.5 Hz至483 Hz之间, 以便具有最佳的噪声性能。

热电堆检测器工作原理

为了理解热电堆, 有必要回顾热电偶的基本理论。

如果在绝对零度以上的任意温度下连接两种不同的金属, 则两种金属之间会产生电位差(热电EMF或接触电位), 此电位差是结温的函数(参见图2中的热电EMF电路)。

如果两根导线在两处相连, 则形成两个结点(参见图2中连接负载的热电偶)。如果两个结点的温度不同, 则电路中产生净EMF, 并有电流流过, 电流由EMF和电路总电阻决定(参见图2)。如果其中一根导线断开, 则断点处电压等于电路的净热电EMF; 并且如果该电压可以测得, 便可利用其计算两个结点之间的温度差(参见图2中的热电偶电压测量)。记住, 热电偶测量两个结点之间的温度差, 而非一个结点处的绝对温度。只有当另一个结点(通常称为基准结点或冷结)已知的情况下, 测量结点处的温度才可测得。

但是, 要测量热电偶产生的电压却很困难。假设电压表连接第一个热电偶测量电路(参见图2中显示冷结的实际热电偶电压测量)。连接电压表的导线在连接处形成了更多的热电偶。如果这些额外的结点温度相同(无论温度是多少), 则中间金属法则表明它们对系统的总EMF没有净贡献。如果它们的温度不同, 则产生误差。由于每一对不同的接触金属都会产生热电EMF——包括铜片/焊点、可伐/铜片(可伐是一种用于IC引线框架的合金)和铝/可伐(IC内的焊接)——在实际电路中, 问题更为复杂, 有必要极其谨慎地确保热电偶周边电路的所有结点对(除测量结点和基准结点本身)的温度相同。

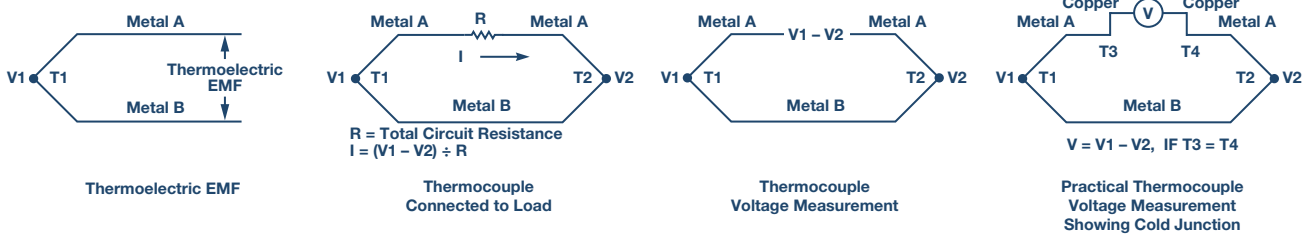


图2. 热电偶原理

热电堆由大量热电偶串联而成, 如图3所示。与单个热电偶相比, 热电堆产生的热电电压要高得多。

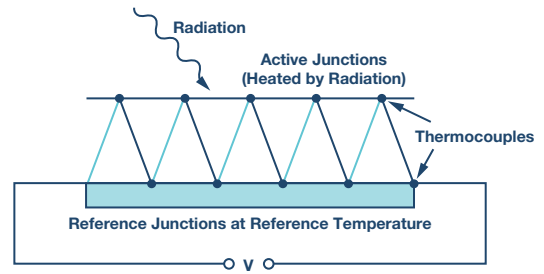


图3. 多个热电偶组成热电堆

在NDIR应用中, 经过滤波的脉冲红外光施加于串联有源结点; 因此, 结点加热, 产生较小的热电电压。基准结点的温度由热敏电阻测量。

很多气体的正负电荷中心瞬态或稳态不重合。在红外频谱, 气体可吸收特定频率, 这种特性可以用来进行气体分析。当红外辐射射入气体中, 并且当分子的自谐振频率与红外波长相匹配时, 气体分子会根据原子的能级跃迁而与入射红外线产生谐振。

对于大部分红外气体检测应用而言, 目标气体的成分是已知的, 因此不需要气相色谱分析。然而, 如果不同气体的吸收线重叠, 那么系统就必须处理这些气体之间的相互干扰。

二氧化碳在4200 nm和4320 nm之间存在吸收峰值, 如图4所示。

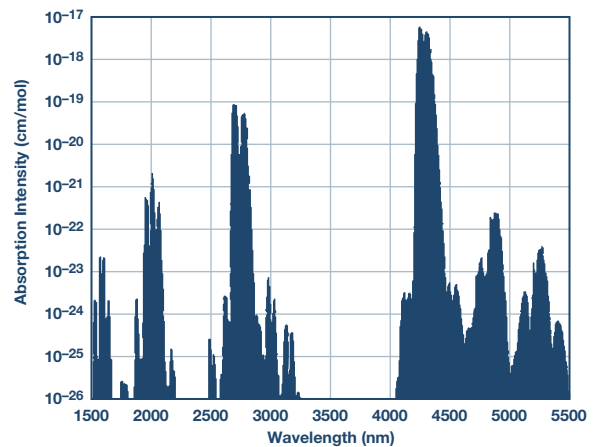


图4. 二氧化碳(CO₂)的吸收频谱

红外光源的输出波长范围 and 水的吸收频谱同样决定了检测波长的选择。在3000 nm以下, 以及4500 nm和8000 nm之间, 水具有较强的吸收性。如果目标气体中有湿气(湿度高), 则在这些范围内, 检测

气体会受到较强的干扰影响。图5显示了二氧化碳吸收频谱与水的吸收频谱重叠。(所有吸收数据均来自HITRAN数据库)。

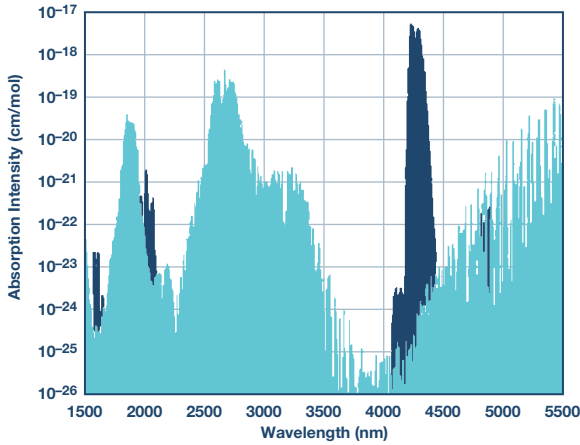


图5. 二氧化碳与水的吸收频谱重叠

如果将红外光施加在双热电堆传感器上,并安装一对滤光器,使其中一个滤光器中心波长在4260 nm,而另一个中心波长在3910 nm,则通过测量两个热电堆的电压之比即可测得二氧化碳浓度。中心波长与二氧化碳吸收波长重叠的滤光器用作测量通道,中心波长在二氧化碳吸收波长以外的滤光器用作基准通道。使用基准通道后,可消除灰尘或辐射强度衰减引起的测量误差。二氧化碳和水蒸汽对3910nm的红外线几乎都没有吸收,注意这一点很重要;这使得该区域成为基准通道的理想地点。

NDIR检测中使用的热电堆具有相对较高的内阻,而50 Hz/60 Hz电源线噪声会耦合进入信号路径。热电堆的内阻可能为100 kΩ左右,导致热噪声成为系统内的主要噪声。例如,图1系统中选用的热电堆传感器电压噪声密度为37 nV/√Hz。为了使系统拥有最好的性能,应该使传感器输出尽可能大的信号,并且在电路中使用较低的增益。

使来自热电堆传感器的信号最大化的最佳方法是使用具有高反射特性的腔室,这样做可以确保尽可能多的辐射进入检测器而不被腔室吸收。使用反射腔室来减少腔室吸收辐射量还可降低系统功耗,因为这样可以使小功率的辐射源。

NDIR气体吸收的比尔-朗伯定律

测量通道传感器的红外强度以指数关系递减,此关系称为比尔-朗伯定律:

$$I = I_0 e^{-klx}$$

其中:

I表示出射光强。

I₀表示入射光强。

k表示特定气体和滤光器组合的吸收系数。

l表示光源与检测器之间的等效光学路径长度。

x表示气体浓度。

对于测量通道传感器输出,存在相应的输出电压变化V₀-V:

$$FA = \frac{(V_0 - V)}{V_0} = \frac{(I_0 - I)}{I_0} = 1 - \frac{I}{I_0}$$

其中:

FA表示相对吸收率。

V₀表示入射光强对应传感器输出。

V表示出射光强对应传感器输出。

整理公式,并结合前面两个公式,可得:

$$FA = 1 - e^{-klx}$$

如果k和l保持不变,FA可相对于x进行绘图,如图6所示(其中,kl = 115、50、25、10和4.5)。FA值随c增加,但最终在高气体浓度下饱和。

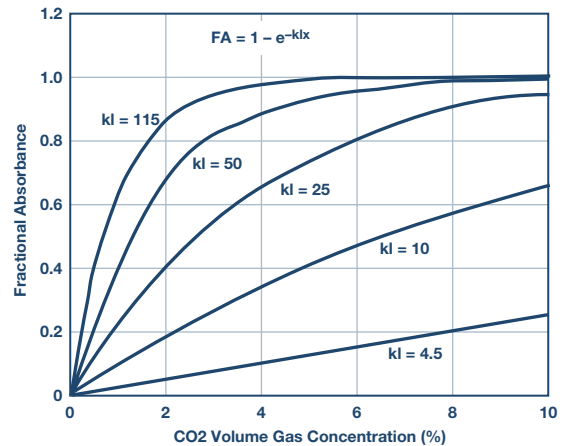


图6. 典型相对吸收率 (kl = 4.5、10、25、50、115)

这一关系表明,对于任意固定的设置,低浓度时气体对相对吸收率的影响要高于高浓度;但是,可以调节k和l,以便针对所需的气体浓度范围提供最佳吸收。这意味着较长的光学路径更适合于低气体浓度,而较短的光学路径更适合于高气体浓度。

下文描述了两点校准步骤,这在使用理想比尔-朗伯公式确定kl常数的情况下是必需的。如果b = kl,则

$$FA = 1 - \left(\frac{I}{I_0} \right)$$

$$FA = 1 - e^{-bx}$$

校准的第一步要求对传感器组件施加低浓度的二氧化碳气体(或纯氮气,即0%浓度的二氧化碳气体)。

- ▶ ACT_{Low}表示低浓度气体环境中测量通道传感器的峰峰值输出。
- ▶ REF_{Low}表示低浓度气体环境中基准通道传感器的峰峰值输出。
- ▶ T_{Low}表示低浓度气体的温度。

校准的第二步要求将已知浓度(x_{CAL})的二氧化碳气体施加到组件上。通常, x_{CAL} 浓度水平选择浓度范围内的最大值(比如针对工业空气质量范围, 选择0.5%体积浓度)。

- ▶ ACT_{CAL} 表示校准气体浓度为 x_{CAL} 时, 测量通道传感器的峰峰值输出。
 - ▶ REF_{CAL} 表示校准气体浓度为 x_{CAL} 时, 基准通道传感器的峰峰值输出。
- 这样就可以写出以下含有两个未知数 (I_0 和 b) 的联立方程:

$$I_{LOW} = I_0 e^{-b(x_{LOW})}$$

$$I_{CAL} = I_0 e^{-b(x_{CAL})}$$

求解两个方程的 I_0 和 b :

$$I_0 = ZERO = \frac{ACT_{LOW}}{REF_{LOW}} \times \left(\frac{ACT_{LOW}}{REF_{LOW}} \times \frac{REF_{CAL}}{ACT_{CAL}} \right)^{\frac{x_{LOW}}{x_{CAL} - x_{LOW}}}$$

$$b = \left[\frac{\ln \left(\frac{ACT_{LOW}}{REF_{LOW}} \times \frac{REF_{CAL}}{ACT_{CAL}} \right)}{CAL - x_{LOW} \quad x} \right]$$

然后, 对于未知浓度(x)的气体, 其中:

ACT 表示未知气体环境中测量通道传感器的峰峰值输出。

REF 表示未知气体环境中基准通道传感器的峰峰值输出。

T 表示未知气体的温度, 单位为K。

$$FA = 1 - \left(\frac{I}{I_0} \right) = 1 - \frac{ACT}{REF \times ZERO}$$

$$x = \frac{T}{T_{LOW}} \left[\frac{\ln(1-FA)}{-b} \right]$$

$$x = \frac{T}{T_{LOW}} \left[\frac{\ln \left(\frac{ACT}{REF \times ZERO} \right)}{-b} \right]$$

系数 T/T_{LOW} 补偿温度变化对气体浓度的影响(在此使用了理想气体定律)。

修正比尔-朗伯定律

出于实际考虑, 在使用NDIR时, 需要修改比尔-朗伯定律以得到精确的读数, 如下所示:

$$FA = SPAN (1 - e^{-bx^c})$$

因为并非所有达到热电堆的红外辐射都经历过理想的气体吸收(哪怕气体浓度较高), 因而引入SPAN系数。由于滤光器带宽和吸收频谱的精细结构, SPAN小于1。

光学路径长度的变化和光的散射要求增加指数项 c , 以便使方程精确吻合实际吸收数据。

b 和SPAN常数同样取决于测量的浓度范围。典型浓度范围如下所示:

- ▶ 工业气体质量(IAQ): 0至0.5% vol. (5000 ppm)。注意, 环境空气中的二氧化碳浓度约为0.04% vol., 或400 ppm。
- ▶ 安全防护: 0至5% vol.。
- ▶ 燃烧: 0至20% vol.。
- ▶ 过程控制: 0至100% vol.。

特定系统的 b 和 c 实际值通常使用曲线拟合程序从FA与浓度 x 的关系曲线上的一个数据点求得。

对于 b 和 c 常数已确定的给定系统, ZERO和SPAN的数值可以使用两点校准法计算得到。

此过程的第一步是注入低浓度 x_{LOW} 气体, 并记录以下内容:

- ▶ ACT_{LOW} : 低浓度气体环境中测量通道传感器的峰峰值输出。
- ▶ REF_{LOW} : 低浓度气体环境中基准通道传感器的峰峰值输出。
- ▶ T_{LOW} : 低浓度气体的温度, 单位为K。

校准的第二步要求将已知浓度(x_{CAL})的二氧化碳气体施加到组件上。通常, x_{CAL} 浓度水平选择浓度范围内的最大值(比如针对工业空气质量范围, 选择0.5%体积浓度)。记录以下内容:

- ▶ ACT_{CAL} : 校准气体浓度为 x_{CAL} 时, 测量通道传感器的峰峰值输出。
- ▶ REF_{CAL} : 校准气体浓度为 x_{CAL} 时, 基准通道传感器的峰峰值输出。

这样就可以写出以下含有两个未知数 (I_0 和SPAN) 的联立方程:

$$1 - \frac{I_{LOW}}{I_0} = SPAN \left(1 - e^{-b(x_{LOW})^c} \right)$$

$$1 - \frac{I_{CAL}}{I_0} = SPAN \left(1 - e^{-b(x_{CAL})^c} \right)$$

求解两个方程中的ZERO和SPAN:

$$I_0 = ZERO = \frac{ACT_{LOW} \left(e^{-b(x_{CAL})^c} - 1 \right) REF_{CAL} + ACT_{CAL} \left(1 - e^{-b(x_{LOW})^c} \right) REF_{LOW}}{\left(e^{-b(x_{CAL})^c} - e^{-b(x_{LOW})^c} \right) \times REF_{CAL} \times REF_{LOW}}$$

$$SPAN = \frac{ACT_{CAL} \times REF_{LOW} - ACT_{LOW} \times REF_{CAL}}{ACT_{LOW} \left(e^{-b(x_{CAL})^c} - 1 \right) REF_{CAL} + ACT_{CAL} \left(1 - e^{-b(x_{LOW})^c} \right) REF_{LOW}}$$

然后, 对于未知浓度(x)的气体, 其中:

ACT表示未知气体环境中测量通道传感器的峰峰值输出。

REF表示未知气体环境中基准通道传感器的峰峰值输出。

T表示未知气体的温度, 单位为K。

$$FA = SPAN(1 - e^{-bx^c})$$

$$FA = 1 - \frac{ACT}{REF \times ZERO}$$

$$x = \frac{T}{T_{LOW}} \left[\frac{\ln\left(1 - \frac{FA}{SPAN}\right)}{-b} \right]^{\frac{1}{c}}$$

此方程假定 $T_{LOW} = T_{CAL}$ 。

环境温度的影响

热电堆传感器通过吸收辐射来检测温度, 但也会对环境温度变化作出响应, 导致杂散和干扰信号增加。由于这个原因, 很多热电堆传感器都在封装内集成了热敏电阻。

辐射吸收与腔室中的目标分子数量有关, 而非目标气体的绝对百分比。因此, 吸收采用标准大气压力下的理想气体定律表述。

有必要同时记录校准状态和测量状态下的温度数据:

$$x_T = \frac{T}{T_{LOW}} x$$

其中:

x 表示无温度补偿时的气体浓度。

T_{LOW} 表示校准时的气体温度, 单位为K。

T 表示采样时的温度, 单位为K。

x_T 表示温度为 T 时的气体浓度。

理想气体定律下除了浓度会随温度而变之外, SPAN和FA也会随温度而产生轻微变化, 在进行精度极高的浓度测量时可能需要校正。

本文不涉及SPAN和FA温度校正, 但可以从SGX Sensortech的应用笔记1、应用笔记2、应用笔记3、应用笔记4和应用笔记5, 以及Alphasense Limited的应用笔记AAN-201、AAN-202、AAN-203、AAN-204和AAN-205中获取详情。

热电堆驱动器

HTS-E21-F3.91/F4.26热电堆(Heimann Sensor, GmbH)的每一个通道都有84 kΩ内阻。单通道等效驱动电路如图7所示。内部84 kΩ热电堆内阻和外部8.2 nF电容组成RC低通噪声滤波器, -3 dB截止频率为:

$$f_{-3dB} = \frac{1}{2 \times \pi \times 84 \text{ k}\Omega \times 8.2 \text{ nF}} \approx 231 \text{ Hz}$$

改变不同热电堆的C11和C15也就改变了噪声性能和响应时间。

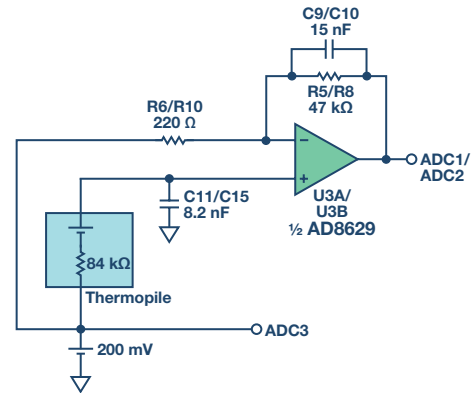


图7. 热电堆驱动器等效电路, $G = 214.6$

84 kΩ/8.2 nF滤波器的阶跃函数 22位建立时间约为:

$$\tau = 84 \text{ k}\Omega \times 8.2 \text{ nF} \times \ln 2^{22} \approx 10.5 \text{ ms}$$

AD8629同相放大器增益设置为214.6, -3 dB截止频率为:

$$f_{-3dB} \approx \frac{1}{2 \times \pi \times 47 \text{ k}\Omega \times 15 \text{ nF}} \approx 225.75 \text{ Hz}$$

22位建立时间约为:

$$\tau = 47 \text{ k}\Omega \times 15 \text{ nF} \times \ln 2^{22} \approx 10.75 \text{ ms}$$

NDIR最大斩波频率为5 Hz, 因此半周期脉冲宽度最小值为100 ms。22位建立时间约为0.1倍最小斩波脉冲宽度。

AD8629的0.1 Hz至10 Hz输入电压噪声为0.5 μV p-p。忽略传感器电压噪声和AD8629电流噪声, 则热电堆的1 mV p-p信号输出具有如下信噪比(SNR):

$$SNR = 20 \log \frac{1 \text{ mV}}{0.5 \mu\text{V}} \approx 66 \text{ dB}$$

其中一个热电堆以伪差分输入方式连接ADuCM360 ADC1/ADC3输入引脚, 另一个连接ADC2/ADC3输入引脚。ADC3输入引脚连接200 mV共模电压, 由低噪声放大器ADA4528-1驱动。ADA4528-1的0.1 Hz至10 Hz输入电压噪声为99 nV p-p。若要使ADC输入引脚保持在0.1 V以上, 则需使用200 mV共模电压。

AD8629级的增益为214.6, ADuCM360内部PGA增益通过软件自动设定, 范围为1至128, 确保输入信号匹配ADC输入的满量程范围(即±1.2 V)。来自热电堆的峰峰值信号范围为几百微伏至几毫伏。例如, 假设满量程热电堆信号为1 mV p-p, 则PGA增益4可产生860 mV p-p的ADC输入信号。

不同灵敏度的热电堆可能会要求AD8629级具有不同增益。如需将CN-0338 Arduino扩展板与其它ADC内部没有集成PGA的Arduino平台连接, 则可能需要更高的增益。

改变AD8629增益的最简单方法是改变R6和R10；这样不会影响由R5/R8和C9/C10决定的主极点频率。

软件可以选择热电堆输出数据处理算法。用户可以在峰峰值算法和均值算法之间作出选择。

更多有关信号采集、光源脉冲定时以及温度补偿处理算法的详细信息，请参阅CN-0338设计支持包和CN-0338用户指南中的CN-0338源代码。

NTC热敏电阻驱动器

热电堆中的集成式NTC温度传感器特性如下：

$$R_{TH} = 100 \text{ k}\Omega$$

$$\beta = 3940$$

热敏电阻驱动器的戴维宁等效电路参见图8。R3和R4分压器电阻提供670.3 mV电压源，并与103.6 kΩ电阻串联。驱动电压为670.3 mV - 200 mV = 470.3 mV。

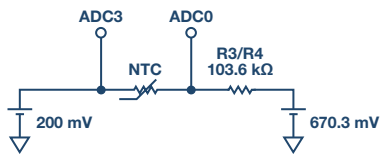


图8. NTC热敏电阻驱动器等效电路

当 $R_{TH} = 100 \text{ k}\Omega$ 时(25°C)，热敏电阻上的电压为231 mV，因此测量时，将PGA增益设为4。

ADuCM360中的灵活输入多路复用器和双通道ADC支持热电堆信号和温度传感器信号的同时采样，以补偿漂移。

红外光源驱动器

选用International Light Technologies MR3-1089作为红外光源，它具有抛光铝反射器，150 mA时所需驱动电压为5.0 V，以便使红外辐射最大化，并获得最佳系统性能。来自灯的热量使光反射器的温度保持在环境温度以上，有助于防止潮湿环境中出现冷凝。

温度较低（关灯）时，灯丝具有较低的电阻，这使其在开灯瞬间产生电流浪涌。带有软启动功能的稳压器对于解决这个问题很有用。

低压差稳压器ADP7105具有可编程使能引脚，将它连接到ADuCM360的通用输入/输出引脚，可以对光源进行开关控制。10 nF软启动电容C6具有12.2 ms的软启动时间，这约等于100 ms最小斩波阶跃时间的0.125倍。

灯的导电电流(~150 mA)较大，因此须仔细进行电路设计与布局，防止灯的开关脉冲耦合至微小的热电堆输出信号。

仔细确保灯的返回路径不会流经敏感的热电堆传感器接地返回路径。灯的电流回路不可以与处理器的电流回路重叠，否则可能会产生电压失调误差。强烈建议针对灯的驱动以及系统的信号调理部分采用单独的稳压器。

ADP7105光源驱动器直接采用连接EVAL-ADICUP360板的外部电源供电。

软件考虑因素

同步斩波和采样

如需测量气体浓度，就必须对基准和测量通道中的峰峰值信号值进行采样。ADuCM360集成两个24位、 Σ - Δ 型ADC，这些ADC在连续采样模式下工作。ADC由可编程增益放大器驱动，增益选项为1、2、4、8、16、32、64和128。

默认斩波频率设为0.25 Hz，默认采样速率设为10 Hz。但是，可以在软件中设置斩波频率，设置范围为0.1 Hz至5 Hz；还可以设置ADC采样速率，设置范围为3.5 Hz至483 Hz。软件保证采样速率至少是斩波频率的30倍。

对于0.25 Hz的默认斩波频率而言，热电堆数据在2秒半周期内的后1.5秒内以10 Hz采样率获得，保证信号完全建立。忽略前500 ms的数据（消隐时间）。消隐时间也可以在软件中设置，上升沿和下降沿可分别设置。注意，NTC热敏电阻数据在消隐期间获得。

校准程序：理想比尔-朗伯方程

由于灯和热电堆的特性不同，初次使用以及改变热电堆或灯时必须校准电路。

建议将整个组件放置在密封腔室中，并可向其中注入已知浓度的二氧化碳气体，直到腔室中一切原有气体均被排出。稳定数分钟后，便可开始进行测量。

理想比尔-朗伯方程的校准方式和算法如下步骤所示：

1. 输入下列命令：**sbllcalibrate**（标准比尔-朗伯校准）。
2. 注入低浓度(x_{LOW})或零浓度气体（氮气），并让腔室内的气体稳定。
3. 在终端输入二氧化碳浓度。
4. 系统测量 ACT_{LOW} ，它表示低浓度气体中测量通道传感器的峰峰值输出。
5. 系统测量 REF_{LOW} ，它表示低浓度气体中基准通道传感器的峰峰值输出。
6. 系统测量低浓度气体的温度 T_{LOW} 。
7. 向腔室中注入浓度为 x_{CAL} 的高浓度二氧化碳。
8. 在终端输入二氧化碳浓度。
9. 系统测量 ACT_{CAL} 、 REF_{CAL} 和校准温度 T_{CAL} 。
10. 系统计算ZERO和b值：

$$ZERO = \frac{ACT_{LOW}}{REF_{LOW}} \times \left(\frac{ACT_{LOW}}{REF_{LOW}} \times \frac{REF_{CAL}}{ACT_{CAL}} \right)^{\frac{x_{LOW}}{x_{CAL} - x_{LOW}}}$$

$$b = \left[\frac{\ln \left(\frac{ACT_{LOW}}{REF_{LOW}} \times \frac{REF_{CAL}}{ACT_{CAL}} \right)}{x_{CAL} - x_{LOW}} \right]$$

如需利用理想比尔-朗伯方程测量未知浓度的二氧化碳气体, 则请按下述步骤操作:

1. 向腔室注入未知浓度气体并使其稳定。
2. 测量ACT, 它表示测量通道传感器的峰峰值输出。
3. 测量REF, 它表示基准通道传感器的峰峰值输出。
4. 测量温度T, 单位K。
5. 使用校准后的ZERO值。
6. 使用校准后的b值。
7. 计算相对吸收率:

$$FA = 1 - \frac{ACT}{REF \times ZERO}$$

计算浓度, 应用理想气体定律下的温度补偿:

$$x = \frac{T}{T_{LOW}} \left[\frac{\ln\left(\frac{ACT}{REF \times ZERO}\right)}{-b} \right]$$

此步假定 $T_{LOW} = T_{CAL}$ 。

注意, CN-0338软件会自动执行第2到第7步。

校准程序: 修正比尔-朗伯方程

如果通过测量得到了常数b和c的值, 则使用下列步骤。

1. 输入下列命令: **mbilcalibrate** (修正后的比尔-朗伯校准)。
2. 输入b和c常数。
3. 注入低浓度(x_{LOW})二氧化碳气体 (氮气), 并让腔室内的气体稳定。
4. 在终端输入二氧化碳浓度。
5. 系统测量 ACT_{LOW} , 它表示低浓度气体中测量通道传感器的峰峰值输出。
6. 系统测量 REF_{LOW} , 它表示低浓度气体中基准通道传感器的峰峰值输出。
7. 系统测量温度 T_{LOW} 。
8. 向腔室中注入浓度为 x_{CAL} 的高浓度二氧化碳。
9. 在终端输入二氧化碳浓度。
10. 系统测量 ACT_{CAL} 、 REF_{CAL} 和校准温度 T_{CAL} 。
11. 系统计算ZERO和SPAN:

$$ZERO = \frac{ACT_{LOW} \left(e^{-b(x_{CAL}^c)} - 1 \right) REF_{CAL} + ACT_{CAL} \left(1 - e^{-b(x_{LOW}^c)} \right) REF_{LOW}}{\left(e^{-b(x_{CAL}^c)} - e^{-b(x_{LOW}^c)} \right) \times REF_{CAL} \times REF_{LOW}}$$

$$SPAN = \frac{ACT_{CAL} \times REF_{LOW} - ACT_{LOW} \times REF_{CAL}}{ACT_{LOW} \left(e^{-b(x_{CAL}^c)} - 1 \right) REF_{CAL} + ACT_{CAL} \left(1 - e^{-b(x_{LOW}^c)} \right) REF_{LOW}}$$

如需利用修正后的比尔-朗伯方程测量未知浓度的二氧化碳气体, 则请按下述步骤操作:

1. 向腔室注入未知浓度气体并使其稳定。
2. 测量ACT, 它表示测量通道传感器的峰峰值输出。
3. 测量REF, 它表示基准通道传感器的峰峰值输出。
4. 测量温度T, 单位K。
5. 使用校准后的ZERO和SPAN值。
6. 使用之前确定的b和c值。
7. 计算相对吸收率:

$$FA = 1 - \frac{ACT}{REF \times ZERO}$$

计算浓度, 应用理想气体定律下的温度补偿:

$$x = \frac{T}{T_{LOW}} \left[\frac{\ln\left(1 - \frac{FA}{SPAN}\right)}{-b} \right]^{\frac{1}{c}}$$

此步假定 $T_{LOW} = T_{CAL}$ 。

NTC热敏电阻算法与计算

NTC热敏电阻等效电路如图9所示。

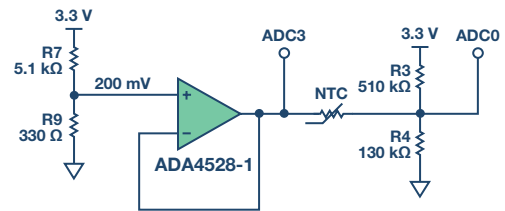


图9. NTC热敏电阻电路

热敏电阻上的电压为:

$$V_{NTC} = \frac{(R4 \times R7 - R3 \times R9) \times R_{NTC} \times VCC}{(R7 + R9) [R4 \times R_{NTC} + R3 (R4 + R_{NTC})]}$$

其中:

VCC为3.3 V。

R_{NTC} 为热敏电阻值。

NTC热敏电阻值可以表示为:

$$\frac{1}{T} = \frac{1}{T_0} + \frac{1}{\beta} \times \ln \frac{R_{NTC}}{R_{TH}}$$

其中:

R_{TH} 表示温度为 T_0 时的热敏电阻值。

β 是NTC热敏电阻数据手册中的参数。

R_{NTC} 表示温度T时的热敏电阻值。

合并以上两个方程可得：

$$T = \frac{T_0 \times \beta}{\beta + T_0 \times \ln \left[\frac{R3 \times R4 \times (R7 + R9) \times V_{NTC}}{(R4 \times R7 - R3 \times R9) \times R_{TH} \times VCC - (R3 + R4) \times (R7 + R9) \times R_{TH} \times V_{NTC}} \right]}$$

在每个灯的斩波时间间隔内，ADC切换至NTC采样，如图10所示。

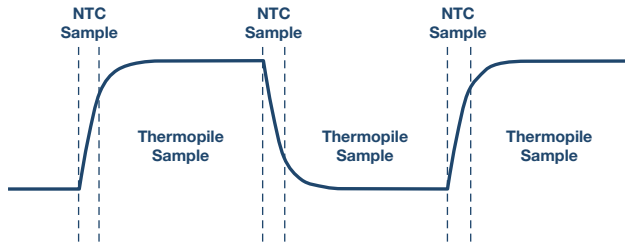


图10. NTC和热电堆采样时序以及灯的斩波

用户交互界面

EVAL-ADICUP360平台板通过USB端口连接PC。该板显示为一个虚拟COM设备。任意类型的串口终端均可与EVAL-ADICUP360板交互，用于开发和调试。关于软件操作的详细信息，请参阅电路笔记CN-0338。

图11显示了典型EVAL-CN0338-ARDZ板的相对吸收率(FA)与二氧化碳浓度的函数关系。

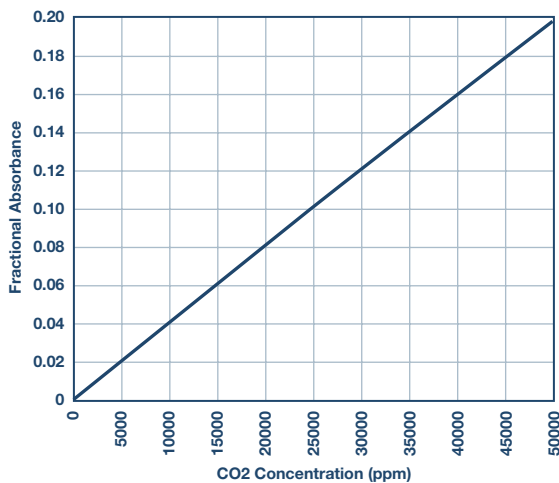


图11. 典型EVAL-CN0338-ARDZ板的相对吸收率与二氧化碳浓度的关系

EVAL-CN0338-ARDZ板的完整设计支持包括布局文件、物料清单、原理图和源代码，请参阅www.analog.com/CN0338-DesignSupport。

测试设置的功能框图如图12所示，EVAL-CN0338-ARDZ Arduino扩展板和EVAL-ADICUP360 Arduino兼容平台板的照片如图13所示。

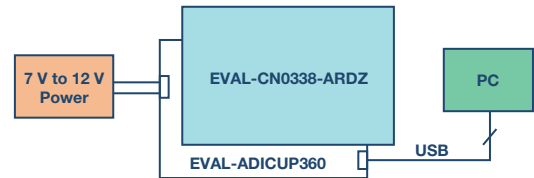


图12. 测试设置功能框图

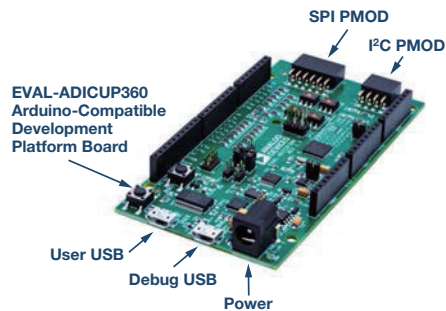
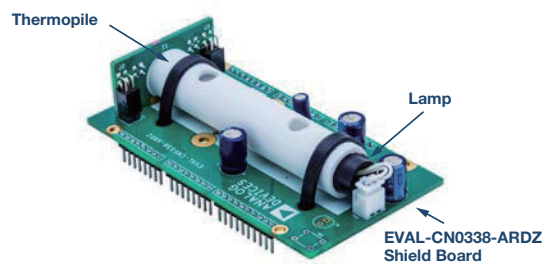


图13. EVAL-CN0338-ARDZ板和EVAL-ADICUP360板照片

总结

实现NDIR测量所需的模拟电子器件包括精密低噪声放大器和高分辨率模数转换器。本文所述的电路是高集成度解决方案，其利用精密模拟微控制器ADuCM360来执行精密PGA功能、精密Σ-Δ ADC转换以及数字控制和处理。

Arduino扩展兼容能力支持快速开发NDIR设计原型，以及根据具体应用要求定制软件。

参考文献

应用笔记1, 非分散红外气体检测技术背景。SGX Sensortech, 2007年。

应用笔记2, 红外气体传感器信号处理。SGX Sensortech, 2007年。

应用笔记3, 用于红外气体传感器的微控制器软件设计。SGX Sensortech, 2007年。

应用笔记4, 红外气体传感器的电子设计。SGX Sensortech, 2009年。

应用笔记5, 确定线性化和温度补偿的系数。SGX Sensortech, 2009年。

应用笔记AAN-201, NDIR: 气体浓度计算概述。Alphasense Limited, 2014年。

应用笔记AAN-202, NDIR: 热电传感器的电子接口和信号提取。Alphasense Limited, 2016年。

应用笔记AAN-203, NDIR: 线性化和温度校正系数的确定。Alphasense Limited, 2009年。

应用笔记AAN-204, NDIR: 非线性和SPAN的来源。Alphasense Limited, 2009年。

应用笔记AAN-205, NDIR: 以降低的灯电压运行IRC-A1。Alphasense Limited, 2009年。

电路笔记CN-0338, 基于热电堆的NDIR气体检测电路。ADI公司,

2016年。

CN-0338设计支持包: www.analog.com/CN0338-DesignSupport。
HITRAN目录。

Micro-Hybrid, 热电堆的结构和功能。

教程MT-004, ADC输入噪声面面观——无噪声是利还是弊? ADI公司, 2009年。

教程MT-031, 实现数据转换器的接地并解开AGND和DGND的谜团。ADI公司, 2009年。

教程MT-035, 运算放大器输入、输出、单电源和轨到轨问题。ADI公司, 2009年。

教程MT-037, 运算放大器输入失调电压。ADI公司, 2009年。

教程MT-101, 去耦技术。ADI公司, 2009年。

数据手册和评估板

ADP7105数据手册。

ADuCM360数据手册。

EVAL-CN0338-ARDZ Arduino扩展板。

EVAL-ADICUP360 Arduino兼容平台板。

Robert Lee [robert.lee@analog.com]自2013年一月起担任ADI公司应用工程师。Robert于2004年获得中国电子科技大学(UESTC)电气工程学士学位(BSEE), 于2009年获得硕士学位(MSEE)。他拥有超过10年的嵌入式系统设计经验。



Robert Lee

Walt Kester [walt.kester@analog.com]是ADI公司企业应用工程师。在其多年任职期间, 他设计、开发了高速ADC、DAC、SHA、运算放大器和模拟多路复用器并提供应用支持。他撰写了许多论文和技术文章, 并为ADI公司全球技术研讨会系列准备和编辑了11本重要应用书籍, 涉及的主题包括运算放大器、数据转换、电源管理、传感器信号调理、混合信号电路以及实用模拟电路涉及技巧。他的最新著作数据转换手册(Newnes)有近1000页, 是一本关于数据转换的综合指南。Walt拥有北卡罗来纳州立大学电气工程学士学位(BSEE)和杜克大学电气工程硕士学位(MSEE)。



Walt Kester

运算放大器电源上电时序导致的风险分析

作者: David Guo

共享    

简介

在有多供电电源的系统中, 运算放大器电源必须在施加输入信号的同时或之前建立。否则, 便可能发生过压和闩锁状况。

然而, 在实际应用中, 这个要求有时候可能难以满足。本文讨论运算放大器在不同上电时序情况下的行为表现 (参见表2), 分析可能的问题及原因, 并提出一些建议。

上电时序问题多种多样

上电时序问题可能现于多种不同情况。例如, 在一个客户应用中, AD8616配置为缓冲器, 在电源建立之前输入为0 V (图1), 负电源先于正电源上电 (负电源有而正电源无)。

表1显示了这种情况下AD8616所有引脚的结果。在正电源管脚V+上的信号建立之前, V+引脚和OUT引脚上的电压为负值。这可能不会

损害运算放大器, 但若这些信号连接到其他尚未完全供电的芯片上的引脚 (例如, 假设ADC使用同一V+, 其电源引脚一般只能承受最小-0.3 V电压), 则这些芯片可能会受损。如果V+先于V-上电, 会发生同样的问题。

表2列出了上电时序的一些可能情况。

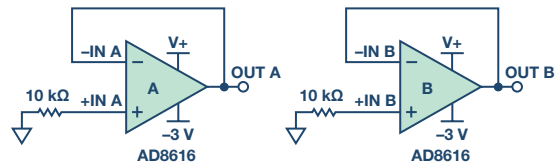


图1. AD8616测试电路, 施加-3 V V-, V+没有连接电源

表1. 施加-3 V V-而V+没有连接电源时的AD8616引脚电压

引脚1: OUTA	引脚2: -INA	引脚3: +INA	引脚4: V-	引脚5: +INB	引脚6: -INB	引脚7: OUTB	引脚8: V+
-1.627	-1.627	-0.959	-3.000	-0.959	-1.627	-1.627	-1.627

表2. 上电时序的可能情况

	IN	V+	V-	放大器电源有其它负载	放大器输出有负载
情形1	浮空 浮空	有 无	无 有	否 否	否 否
情形2	0 V 0 V	有 无	无 有	否 否	否 否
情形3	正或负 正或负	有 无	无 有	否 否	否 否
情形4	正或负 正或负 正或负 正或负	有 有 无 无	无 无 有 有	是 否 是 否	否 是 否 是

运算放大器内部的静电放电(ESD)二极管

静电放电可能引起过压事件。大部分运算放大器内置ESD二极管以防止静电ESD事件。当V+或V-不存在时，ESD二极管是分析放大器相关行为的重要工具。图2为ADA4077/ADA4177的简化框图。表3显示了ADA4077-2/ADA4177-2内部ESD二极管和背靠背二极管的典型压降。注意，背靠背二极管位于运算放大器的两个输入引脚之间，用来箝位放大器允许输入的最大差分信号。

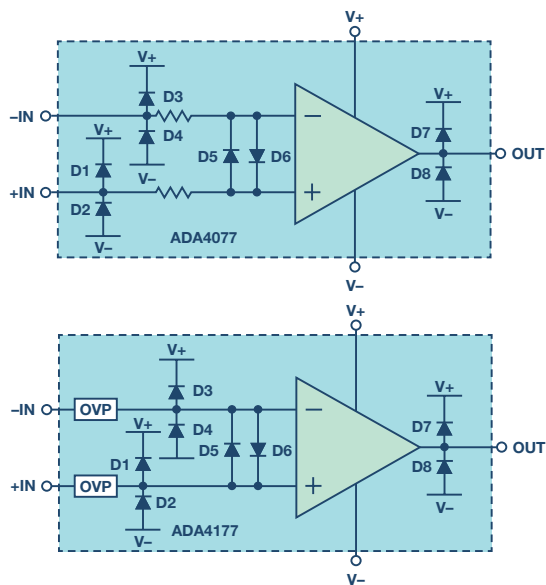


图2. ADA4077/ADA4177简化框图

表3. 运算放大器内部二极管

	ADA4077	ADA4177
D1	0.838	未知
D2	0.845	未知
D3	0.837	未知
D4	0.844	未知
D5	未知	未知
D6	未知	未知
D7	0.841	0.849
D8	0.842	0.849

表4. ADA4077-2/ADA4177-2输入悬空时的结果

	条件	V+	V-	ISY+ (mA)	ISY- (mA)	IB+ (mA)	IOUT (mA)	IN (V)	OUT (V)
ADA4077-2	正负电源都上电	15	-15	1.02	1.01	-0.00005	0.00007	0.001	-0.008
	V+无	-13.1	-15	0	0.12	-0.00001	0.001	-13.73	-14.42
	V-无	15	13.06	0.15	0	-0.00001	0.001	12.93	13.62
ADA4177-2	正负电源都上电	15	-15	0.98	0.96	-0.00001	0.00002	0	0.001
	V+无	-14.26	-15	0	0.14	-0.00002	0.00137	-13.77	-13.78
	V-无	15	12.96	0.14	0	-0.00001	-0.00039	12.26	12.31

表5. ADA4077-2/ADA4177-2输入接地时的结果

	条件	V+	V-	ISY+(mA)	ISY-(mA)	IB+(mA)	IOUT(mA)	IN(V)	OUT(V)
ADA4077-2	正负电源都上电	15	-15	1.01	1	-0.00005	0.00001	0	-0.019
	V+无	-0.846	-15	0	2.30	2.300	-1.60	-0.017	-2.68
	V-无	15	0.847	1.78	0	-1.758	1.064	0.012	2.116
ADA4177-2	正负电源都上电	15	-15	0.98	0.96	-0.00001	0.00002	0	0
	V+无	-11.99	-15	0	9.3	9.300	-0.200	-0.068	-11.98
	V-无	15	1.848	1.84	0	-1.823	0.067	0.013	1.851

还要注意，当利用DMM测量ADA4077-2的D5/D6时，结果显示两个输入引脚之间无二极管。事实上，背靠背二极管之前有两个串联电阻，用来将输入电流限制在 ± 10 mA以下。内部电阻和背靠背二极管将差分输入电压限制在 $\pm V_s$ ，以防止基极-发射极结击穿。

ADA4177集成了OVP单元以提高鲁棒性。它们位于ESD二极管和背靠背二极管之前，因此很难用DMM测量这些二极管的管压降。ADA4177的输出ESD二极管的管压降是可以测量的。

建立评估系统

图3用于测量运算放大器电路的电流流向等行为。通道A和通道B各自配置为缓冲器，通道B同相输入端经由100 k Ω 电阻连接到GND。让V+不供电（V-供电）或V+供电（V-不供电），便可利用安培表和电压表测量输入及电源相关变量（电压值和电流值）。通过分析这些变量，可以确定电流流动的路径。

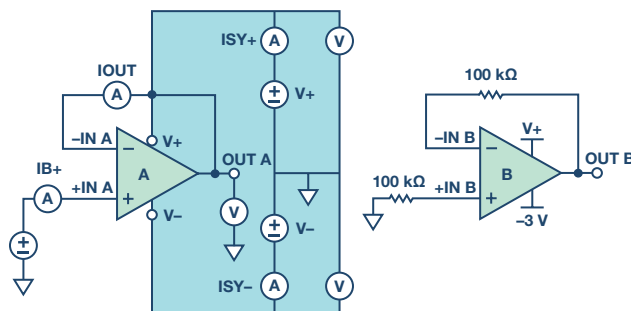


图3. 放大器电流路径评估系统建立

情形1: 输入悬空

表4显示了一个输入悬空和一个电源未供电时的结果。当V-供电而V+不供电时，V+引脚上有一个负电压。当V+供电而V-不供电时，V-引脚上有一个正电压。

测试ADA4077-2和ADA4177-2得到类似的结果。输入引脚和电源引脚上没有观测到大电流，输入悬空的运算放大器在一个供电轨没有供电时仍然是安全的。

情形2: 输入接地

表5显示了输入接地时的结果。注意，对于IB+，负值意味着电流流出+IN引脚。对于IOUT，负值意味着电流流出-IN引脚。

以ADA4077-2 V+未上电的情况为例, ESD二极管将V+箝位于VIN电压。

- ▶ VIN通过ESD箝位二极管连接到V+, 因此当VIN为0 V时, V+为-0.846 V。
- ▶ 电流流动路径: 如图4中的红色路径所示, 0.7 mA电流从GND (+IN)流到V+。1.6 mA电流从GND (+IN)经过内部电阻、D5以及-IN和OUT之间的反馈路径, 流入输出端。最后, 这两个电流 (0.7 mA和1.6 mA) 汇合流至-15 V, 合并后的电流流回GND (+IN)。

ADA4177-2和ADA4077-2的结果类似。注意, ADA4177-2中的D1是通过横向PNP晶体管的发射极基极实现的。该晶体管将过压电流从V+带走到V-。图4中的ADA4177电路显示有9.1 mA电流从V+流回V-, 并

与反馈路径中的0.2 mA电流汇合, 产生9.3 mA电流流至-15 V, 然后该电流流回GND。

ADA4077-2或ADA4177-2的输入引脚和电源引脚均未观测到大电流 (表5)。增益为+1且+IN接地时, 这些运算放大器可承受任何时序的PU上电。

情形3: 有输入

在一个电源未上电的情况下, 将一个正信号或负信号 (+10 V或-10 V) 施加于+IN端。表6显示没有大电流, 因此当增益为+1且+IN有输入时, 这些运算放大器可承受任何顺序的PU上电。

电流流动路径分析与情形2 (0 V输入) 相似, 参见图5。

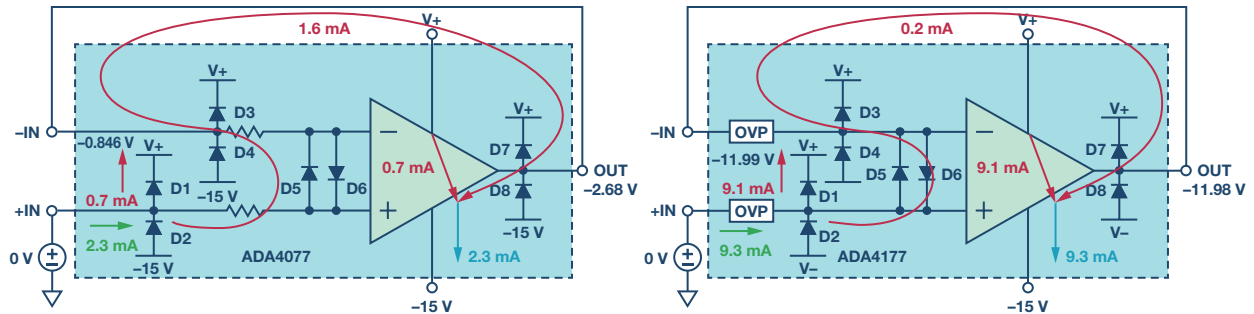


图4. V+未上电时ADA4077/ADA4177电流路径 (输入接地)

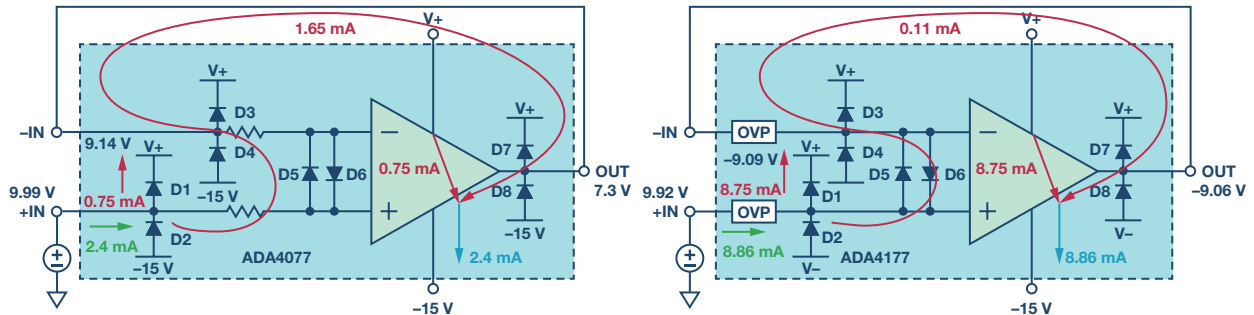


图5. V+未上电时ADA4077/ADA4177电流路径 (10 V输入)

表6

	条件	V+	V-	ISY+ (mA)	ISY- (mA)	IB+ (mA)	IOUT (mA)	IN (V)	OUT (V)
ADA4077-2	正负电源均上电	15	-15	1.03	1.01	0.00098	-0.00003	10	9.97
	V+不存在, 正输入	9.14	-15	0	2.4	2.396	-1.653	9.99	7.3
	V+不存在, 负输入	-10.83	-15	0	2.41	2.308	-1.651	-10.02	-12.66
	V-不存在, 正输入	15	10.83	1.81	0	-1.689	1.055	10.02	12.09
	V-不存在, 负输入	15	-9.15	1.77	0	-1.759	1.031	-9.99	-7.88
ADA4177-2	正负电源均上电	15	-15	1.02	1	-0.00099	-0.00009	9.99	9.97
	V+不存在, 正输入	-9.09	-15	0	8.86	8.866	-0.113	9.92	-9.06
	V+不存在, 负输入	-12.33	-15	0	4.31	4.18	-0.039	-10.02	-12.32
	V-不存在, 正输入	15	11.42	1.33	0	-1.2	0.056	9.99	11.43
	V-不存在, 负输入	15	-8.33	1.51	0	-1.492	0.062	-9.97	-8.32

情形4: 有输入且电源/输出有负载

在实际应用中, 运算放大器电路可能要与其他电路一起工作。例如, 运算放大器的输出可能会驱动一个负载, 或者运算放大器的电源会为其其他电路供电。这会引起问题。

在该测试中, 一个47 Ω电阻连接在输出与GND之间, 或连接在未上电的电源引脚与GND之间。图7显示了ADA4077的测试结果。三种可能情况会带来风险 (假定V+未上电):

- ▶ 情况1: 当输入为10 V且OUT负载为47 Ω时, 输出为1.373 V。有23 mA电流从运算放大器的输出引脚流出 (参见图6), 电流路径为:
 - 输入信号源提供30.2 mA电流

- 24 mA电流流经D1至V+, 6.2 mA电流流经D5和反馈路径至OUT
- 来自V+的24 mA电流分为1 mA (至V-) 和23 mA (至OUT)
- 29.2 mA电流流经47 Ω负载至GND

ADA4077-2允许的输入电流最大为10mA, 所以需要限流。在+IN端增加一个1 kΩ电阻, 可使输入电流降至6.8 mA。

- ▶ 情况2: 当输入为10 V且V+负载为47 Ω时, 170 mA电流会流入ADA4077-2, 并从V+引脚流出到47 Ω电源负载。170 mA电流会烧毁内部二极管, 损坏芯片。在+IN端增加一个1 kΩ电阻, 可使输入电流降至8.9 mA。图7显示了电流流动路径。

表7.ADA4077的输出引脚或无电源的电源引脚上有负载

ADA4077-2	条件	IN (V)	V+	V-	ISY+ (mA)	ISY- (mA)	IB+ (mA)	IOUT (mA)	OUT (V)
V+无	Vo或V+无负载/正输入	9.99	9.14	-15	0	2.4	2.396	-1.653	7.3
	Vo 47 Ω至GND	9.98	8.77	-15	0	1.00	30.22	-6.174	1.373
	Vo 47 Ω至GND和1 kΩ	9.98	2.389	-15	0	0.76	6.828	-2.104	0.284
	V+ 47 Ω至GND	9.59	8.01	-15	170	5.05	175	-5.0	6.06
	V+ 47 Ω至GND和1 kΩ	9.94	0.295	-15	6.27	2.69	8.96	-2.69	-1.876
	Vo或V+无负载/负输入	-10.02	-10.83	-15	0	2.41	2.308	-1.651	-12.66
	Vo 47 Ω至GND	-9.97	-3.226	-15	0	48.6	-4.65	4.885	-2.501
	Vo 47 Ω至GND和1 kΩ	-10.02	-10.83	-15	0	14.30	2.284	-1.629	-0.563

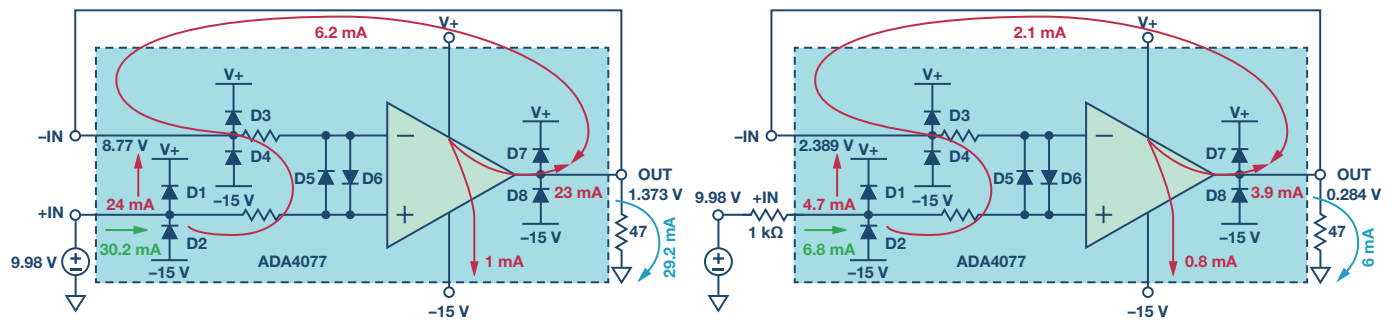


图6. V+未上电时ADA4077的电流路径 (10 V输入和47 Ω输出负载)

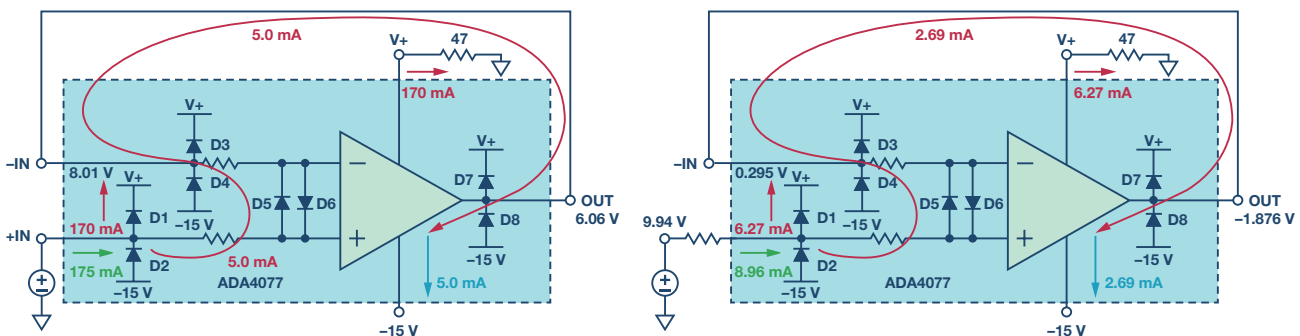


图7. V+未上电时ADA4077的电流路径 (10 V输入和47 Ω电源负载)

- ▶ 情况3: 当输入为负(-10 V)且OUT负载为47 Ω时(参见图8), 有48 mA电流流经芯片。由此产生的功耗为 $48 \text{ mA} \times (-2.5 \text{ V} + 15 \text{ V}) = 0.6 \text{ W}$ 。ADA4077-2的 θ_{JA} 为 $158^\circ\text{C}/\text{W}$, 因此结温比环境温度高出 94.8° 。若有两个通道或负载更重, 结温可能高于 150° , 致使芯片受损。
- ▶ 不应在输入端增加限流电阻, 而应在输出端增加限流电阻。
- ▶ 当V+上电而V-未上电时, 会发生同样的现象。通过增加外部电阻来限制电流, 电路鲁棒性可以变得更好。

对于ADA4177-2, 仅情况3适用。当有很大的负输入, 同时输出端有很重的负载, 且V+未上电时, 有53 mA电流流经芯片, 功耗可能会增加, 结温随之提高(参见图9)。通过在输出端增加一个1 kΩ电阻, 可以避免这种风险。

在这两款运算放大器中, ADA4177-2比ADA4077-2更鲁棒。在同时要求高精度和鲁棒性的应用中, 前者是不错的选择。

其他运算放大器在不同上电时序下的表现

在运算放大器内部, 二极管、电阻和OVP单元有各种各样的实施方式。有些运算放大器没有内部OVP单元, 有些没有背靠背二极管, 有些没有内部限流电阻。如果一个电源未上电, 放大器不同的内部结构会产生不同的结果。此外, 不同的运算放大器设计也会产生不同的结果。

例如, ADA4084-2没有内部限流电阻和OVP单元, 其ESD二极管连接到电源和背靠背二极管。表9和图10显示了V+未上电且有10 V输入时的结果。ADA4084的电流路径与ADA4077-2和ADA4177-2相似(上文中的情形3已讨论)。然而, ADA4084没有内部电阻或OVP单元来限制电流, 60 mA电流会流入芯片, 可能引起损害。

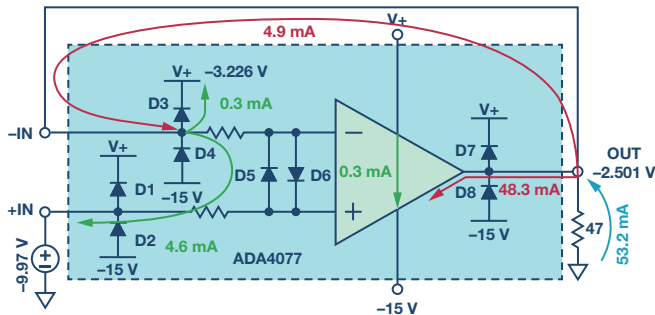


图8. V+未上电时ADA4077的电流路径(-10 V输入和47 Ω输出负载)

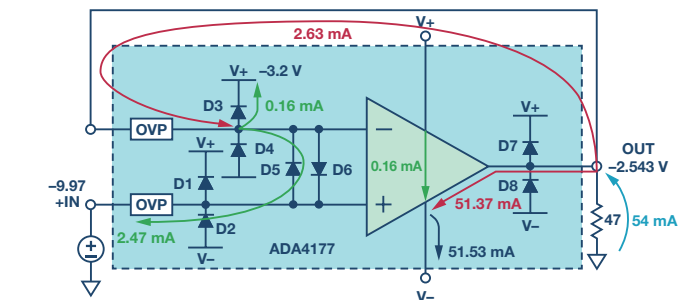
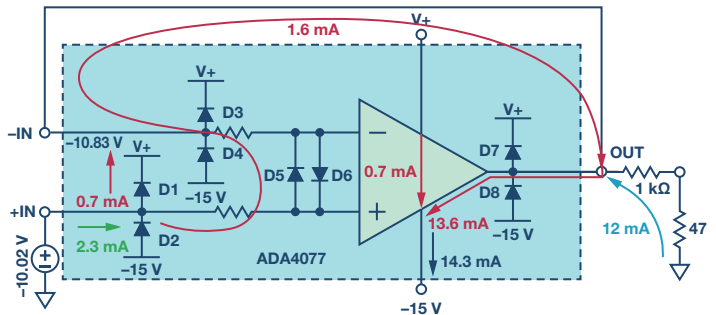


图9. V+未上电时ADA4177的电流路径(-10 V输入和47 Ω输出负载)

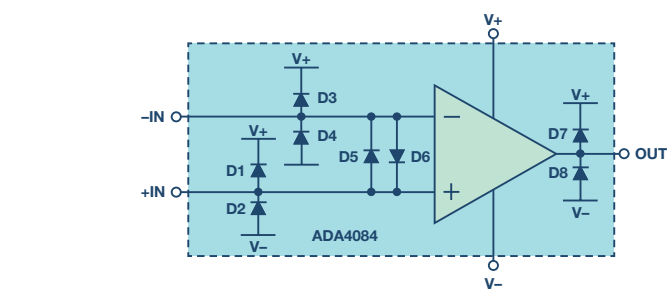
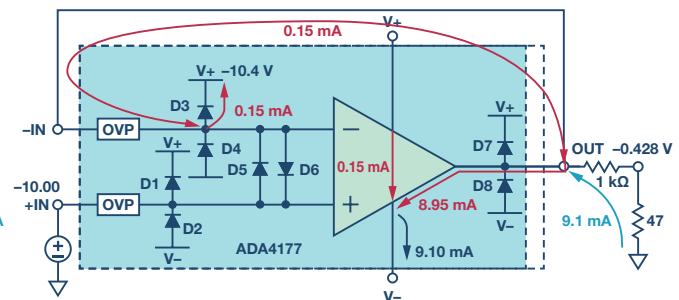


图10. V+未上电时ADA4084的电流路径(10 V输入)

表8. ADA4177的输出引脚或无电源的电源引脚上有负载

ADA4177-2	条件	IN (V)	V+	V-	IS _{Y+} (mA)	IS _{Y-} (mA)	IB ₊ (mA)	IOUT (mA)	OUT (V)
V+无	V _o 或V ₊ 浮空和负输入	-10.02	-12.33	-15	0	4.31	4.18	-0.039	-12.32
	V _o 47 Ω至GND	-9.97	-3.218	-15	0	51.53	-2.473	2.632	-2.543
	V _o 47 Ω至GND和1 kΩ	-10	-10.4	-15	0	9.10	-0.003	0.147	-0.428

表9

ADA4084-2	条件	V+	V-	I ₊ (mA)	I ₋ (mA)	IB ₊ (mA)	IOUT (mA)	IN (V)	OUT (V)
	正负电源均上电	15	-15	1.38	1.37	-0.001	-0.0001	10	9.98
	V+未上电, 正输入	8.71	-15	0	60.1	60.102	-51.89	9.56	7.99

在系统应用中，不同的运算放大器、不同的拓扑结构（如同相放大、反相放大、差动放大等）、不同的负载和外部连接都可能存在。如果存在有某个电源未上电的情况，需要对风险进行评估。本文介绍了如何搭建评估风险的电路（图2）、如何分析电流路径以及评估潜在的风险。

总结

为了避免过压或闩锁情况，必须同时建立运算放大器电源。一般指南如下：

- ▶ 上电时，先接通电源，再在输入端施加信号
- ▶ 关断时，先关闭输入信号，再关闭电源

在实际应用中，可能难以遵守这些指导原则。这可能会引起问题，尤其是当有输入信号时，设计人员需要适当评估风险。一种有效的解决方案是限制运算放大器的输入电流，使它在数据手册给出的规格以内。在无法同时上电的应用中，输入端和输出端增加限流电阻会有帮助。

我们在电源未上电的应用中测试了三款ADI运算放大器（ADA4084-2、ADA4077-2和ADA4177-2）。集成内部电阻的ADA4077-2表现不错。集成OVP电路的ADA4177的鲁棒性最好。在某个电源在某个时间段可能未上电且无法增加外部限流电阻的应用中，推荐使用ADA4177以避免精度性能下降。

参考文献

[ADA4077](#)。ADI公司。

[ADA4177](#)。ADI公司。

Michael Arkin和Eric Modica。“[鲁棒的放大器提供集成过压保护](#)。”《模拟对话》，第46卷，第1期，2012年。

Paul Blanchard和Brian Pelletier。“[ESD二极管用于电压箝位](#)。”《模拟对话》，第49卷，第10期，2015年。

欲了解更多有关ADA4177和ADA4077的信息，请参见产品页面和数据手册：[ADA4177](#)和[ADA4077](#)。

David Guo [david.guo@analog.com]是ADI公司线性产品部门的产品应用工程师。他于2007年加入ADI公司中国应用中心，担任应用工程师，后于2011年6月转任精密放大器部门担任应用工程师。自2013年1月起，David担任ADI公司线性产品部门应用工程师，负责精密放大器、仪表放大器、高速放大器、电流检测放大器、乘法器、基准源、RMS-DC转换器等产品的技术支持工作。David拥有北京理工大学机电工程学士学位和硕士学位。



David Guo

该作者的其它文章：

[利用低功耗、单位增益差动放大器实现低成本电流源](#)

第45卷，第2期

全自动自校准电导率测量系统

作者：Wyatt Taylor和David Brown

共享    

简介

随着水质监测变得日益重要，人们开发了多种相关传感器和信号调理电路。水质的测量指标包括细菌数、pH值、化学成分、浊度和电导率。所有水溶液都在一定程度上导电。向纯水中添加电解质，例如盐、酸或碱，可以提高电导率并降低电阻率。本文重点讨论电导率测量。

纯水中不包含大量电解质，当样本处于一定的电压下时，只能传导很小的电流—因此它的电导率很低。相反，如果样本中存在大量电解质，将会传导更多电流—它的电导率更高。

我们更多从电阻而不是电导的角度来看待导电能力，但两者互为倒数。材料或液体的电阻率 ρ 定义为：当立方体形状的材料相对面完全导电接触时，该材料的电阻。其他形状材料的电阻 R 可按以下方式计算：

$$R = \rho L/A \quad (1)$$

其中：

L 是接触面间距。

A 是接触面积。

电阻率的测量单位为 $\Omega \text{ cm}$ 。当接触 $1 \text{ cm} \times 1 \text{ cm} \times 1 \text{ cm}$ 立方体的相对面时， $1 \Omega \text{ cm}$ 材料的电阻为 1Ω 。

电导是电阻的倒数，电导率是电阻率的倒数。电导的测量单位为西门子(S)，电导率的测量单位为 S/cm 、 mS/cm 或 $\mu\text{S/cm}$ 。

在本文中， Y 为电导率的通用符号，测量单位为 S/cm 、 mS/cm 或 $\mu\text{S/cm}$ 。但在很多情况下，为方便起见，我们会省略距离项，电导率仅表示为 S 、 mS 或 μS 。

使用电导池测量电导率

电导率测量电路通过连接到沉浸在溶液中的传感器（称为电导池）来测量电导率，如图1所示。

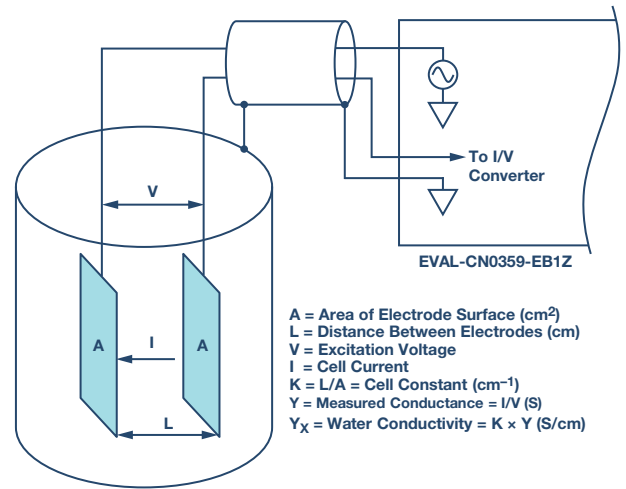


图1. 电导池与电导率测量电路的连接(EVAL-CN0359-EB1Z)。

测量电路对传感器施加交流电压，并测量产生的电流大小，电流与电导率相关。由于电导率具有很大温度系数（最高达到 $4\%/^{\circ}\text{C}$ ），因此电路中集成了必需的温度传感器，用于将读数调整为标准温度，通常为 25°C (77°F)。对溶液进行测量时，必须考虑水本身的电导率的温度系数。为了精确地补偿温度，必须使用额外的温度传感器和补偿网络。

接触型传感器通常包括相互绝缘的两个电极。电极通常为316型不锈钢、钛钽合金或石墨，具有特定的大小和间距，以提供已知的电极常数。从理论上说， $1.0/\text{cm}$ 的电极常数表示两个电极，每个电极面积为 1 cm^2 ，间距为 1 cm 。对于特定的工作范围，电极常数必须与测量系统相匹配。例如，如果在电导率为 $1 \mu\text{S/cm}$ 的纯水中使用电极常数为 $1.0/\text{cm}$ 的传感器，则电导池的电阻为 $1 \text{ M}\Omega$ 。相反，相同电导池在海水中的电阻为 30Ω 。由于电阻变化范围过大，普通仪器很难在单一电极常数情况下精确测量此类极端情况。

对 $1\mu\text{S}/\text{cm}$ 溶液进行测量时，电导池配置了大面积电极，相距很小的电极间距。例如，对于电导池常数为 $0.01/\text{cm}$ 的电导池，其电导池电阻测量值约为 $10\text{ k}\Omega$ ，而非 $1\text{ M}\Omega$ 。精确测量 $10\text{ k}\Omega$ 比测量 $1\text{ M}\Omega$ 更加容易；因此，对于超纯水和高电导率海水，使用具有不同电极常数的电导池，测量仪表可在相同的电导池电阻范围内工作。

电极常数 K 定义为电极之间距离 L 与电极面积 A 的比值：

$$K = L/A \quad (2)$$

然后，仪器测量电导池电导 Y ：

$$Y = I/V \quad (3)$$

液体电导率 Y_X 可计算如下：

$$Y_X = K \times Y \quad (4)$$

有两类电导池：一类采用两个电极，另一类采用四个电极，如图2所示。电极通常称为极。

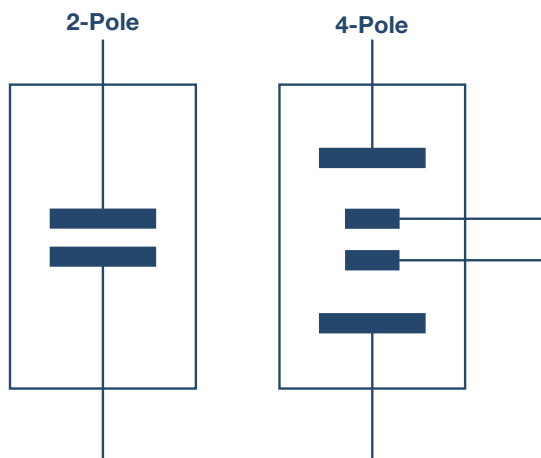


图2. 双极和四极电导池。

双极传感器比较适合低电导率测量时使用，比如纯净水和各种生物与医药液体。四极传感器更适合高电导率测量，比如废水和海水分析。

双极电导池的电极常数范围大致是从 $0.1/\text{cm}$ 到 $1/\text{cm}$ ，而四极电导池的电极常数范围是从 $1/\text{cm}$ 到 $10/\text{cm}$ 。

四极电导池可以消除电极极化和电场效应引起的误差；这些误差可能会干扰测量。

电极的实际配置可以是平行环、同轴导体等，而不会是如图2所示的简单平行板。

无论电导池为何种类型，都不可在电极上施加直流电压，因为液体中的离子会在电极表面聚集，从而导致极化效应并产生测量误差，更有可能损坏电极。

若采用同轴传感器，则应当注意传感器的屏蔽。屏蔽电极必须连接与盛放液体的金属容器相同的电位。如果容器接地，则屏蔽电极必须连接电路板的接地端。

另外需要保证激励信号不要超过电导池激励电压或激励电流的额定值。电路允许的可编程激励电压范围为 100 mV 至 10 V ，并且 $R23$ ($1\text{ k}\Omega$)串联电阻将最大电导池电流限制为 10 mA 。

电路描述

图3中的电路是一个完全独立运行、微处理器控制的高精度电导率测量系统，适用于测量液体的离子含量、水质分析、工业质量控制以及化学分析。

经过仔细选择的精密信号调理元件组合可在 $0.1\mu\text{S}$ 至 10 S ($10\text{ M}\Omega$ 至 0.1Ω)电导率范围内提供优于 0.3% 的精度，且无需校准。

针对 100Ω 或 1000Ω 铂(Pt)电阻温度传感器(RTD)提供自动检测功能，允许以室温为参考测量电导率。

系统支持双线式或四线式电导池以及双线式、三线式或四线式RTD，以提高精度和灵活性。

该电路能以极小的直流失调产生精确交流激励电压，从而避免电导电极上的极化电压造成损害。用户可编程控制交流激励信号的幅度和频率。

创新的同步采样技术可将激励电压和电流的峰峰值幅度转化为直流值，这样不仅提升了精度，同时简化了内置于精密模拟微控制器的双通道24位 Σ - Δ 型ADC对于信号的处理。

采用LCD显示器和编码器按钮实现直观的用户界面。该电路可以按需使用RS-485接口实现与PC的通信，并采用 4 V 至 7 V 单电源供电。

电导池的激励方波通过使用ADuCM360微控制器的PWM输出在+VEXC和-VEXC电压之间切换ADG1419产生。方波必须具有精确的 50% 占空比和极低的直流失调电压。哪怕很小的直流失调电压都会在一时间之后损坏电导池。

U15和U18采用AD8253 10MHz、20V/μs、可编程增益 (G=1、10、100、1000) 仪表放大器，增益误差低于0.04%。AD8253压摆率为20 V/μs，0.001%建立时间为1.8 μs (G=1000)。其共模抑制典型值为120 dB。

U19(ADA4627-1)级是一个精密电流-电压转换器，可将流过传感器的电流转换为电压。ADA4627-1失调电压为120 μV (典型值，A级)，偏置电流为1 pA (典型值)，压摆率为40 V/μs，0.01%建立时间为550 ns。这款器件的低偏置电流和低失调电压性能使其成为该级的理想选择。120 μV失调误差产生的对称误差仅为120 μV/10 V = 12 ppm。

U22A和U22B(AD8542)缓冲器分别为U18和U15仪表放大器提供1.65V基准电压。

下面介绍电压通道信号路径上的其余器件 (U17A、U17B、U10、U13、U12A和U12B)。电流通道 (U17C、U17D、U16、U21、U20A和U20B) 的工作情况相同。

ADuCM360能产生PWM0方波开关信号以供ADG1419开关使用，并且还能产生PWM1和PWM2同步信号供同步采样级使用。电导池的电压和三个时序波形如图5所示。

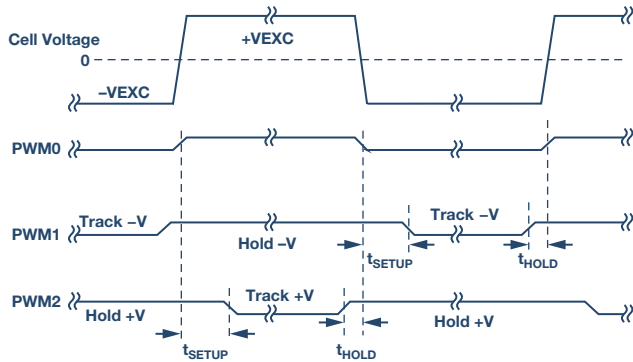


图5. 电导池电压和采样保持时序信号。

AD8253仪表放大器(U15)输出驱动两个并行的采样保持电路；这两个电路由ADG1211开关(U17A/U17B)、串联电阻(R34/R36)、保持电容(C50/C73)以及单位增益缓冲器(U10/U13)组成。

ADG1211是一个低电荷注入、四通道单刀单掷模拟开关，工作电源电压为±15 V，输入信号最高可达±10 V。开关导致的最大电荷注入为4 pC，产生的电压误差仅为4 pC÷4.7 μF = 0.9 μV。

PWM1信号使U10采样保持缓冲器可在传感器电压的负周期采样，然后保持直至下一个采样周期。因此，U10采样保持缓冲器输出等于传感器电压方波负幅值对应的直流电平。

类似地，PWM2信号使U13采样保持缓冲器可在传感器电压的正周期采样，然后保持直至下一个采样周期。因此，U13采样保持缓冲器输出等于传感器电压方波正幅值对应的直流电平。

采样保持缓冲器(ADA4638-1)的偏置电流典型值为45 pA，而ADG1211开关的漏电流典型值为20 pA。因此，4.7 μF保持电容

的最差情况漏电流为65 pA。对于100 Hz激励频率而言，周期为10 ms。由于65 pA漏电流而导致的半周期(5 ms)内压降为(65 pA × 5 ms) ÷ 4.7 μF = 0.07 μV。

ADA4638-1零漂放大器的失调电压典型值仅为0.5 μV，其误差贡献可以忽略不计。

信号链上位于ADC前面的最后一级是ADA4528-2反相衰减器 (U12A和U12B)，其增益为-0.16，共模输出电压为+1.65 V。ADA4528-2的失调电压典型值为0.3 μV，因此误差贡献可以忽略不计。

衰减器级可将±10 V最大信号降低为±1.6 V，共模电压为1.65 V。该范围为与ADuCM360 ADC输入范围相当，即采用3.3 V AVDD电源时为0 V至3.3 V (1.65 V ± 1.65 V)。

衰减器级同样提供噪声过滤功能，其-3 dB频率约为198 kHz。

电压通道VOUT1的差分输出施加到ADuCM360的AIN2和AIN3输入端。电流通道VOUT2的差分输出施加到ADuCM360的AIN0和AIN1输入端。

计算输出的两个等式如下所示：

$$VOUT1 = G1 \times 0.16 \times V1_{P-P} \quad (5)$$

$$VOUT2 = G2 \times 0.16 \times V2_{P-P} \quad (6)$$

电导池电流由下式确定：

$$I_{P-P} = V1_{P-P} \times Y_X \quad (7)$$

V2_{P-P}电压由下式确定：

$$V2_{P-P} = I_{P-P} \times R47 \quad (8)$$

求解等式8的I_{P-P}，然后代入等式7，求得Y_X：

$$Y_X = \frac{V2_{P-P}}{V1_{P-P} \times R47} \quad (9)$$

求解等式5和等式6的V1_{P-P}和V2_{P-P}，然后代入等式9，求得：

$$Y_X = \frac{G2 \times VOUT2}{G1 \times VOUT1 \times R47} \quad (10)$$

$$Y_X = \frac{G2 \times VOUT2}{G1 \times VOUT1} \times 1 \text{ mS} \quad (11)$$

等式11显示电导率测量取决于G1、G2和R47，以及VOUT2和VOUT1的比值。因此，ADuCM360内置的ADC无需使用精密基准电压源。

AD8253增益误差 (G1和G2) 最大值为0.04%，并且R47选择0.1%容差的电阻。

从该点开始，VOUT1和VOUT2信号链的电阻便决定了总系统精度。

软件对每个AD8253的增益按如下所述进行设置：

- ▶ 如果ADC代码超过满量程的94%，则AD8253的增益在下次采样减少10倍。
- ▶ 如果ADC代码低于满量程的8.8%，则AD8253的增益在下次采样增加10倍。

系统精度测量

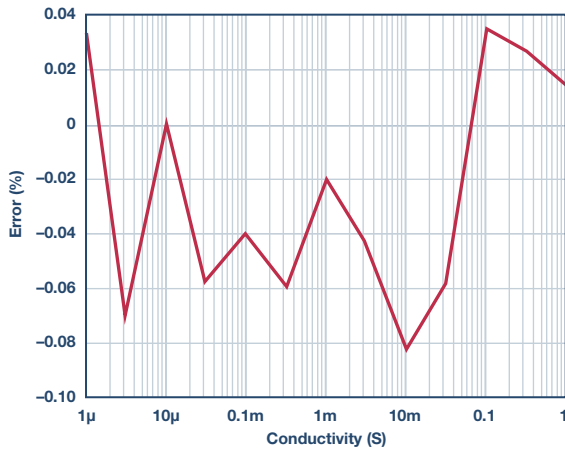
下列4个电阻影响VOUT1电压通道的精度：R19、R20、R29和R31。

下列5个电阻影响VOUT2电流通道的精度：R47、R37、R38、R48和R52。

假设所有9个电阻均为0.1%容差并包括AD8253的0.04%增益误差，则最差情况下的误差分析表明误差约为0.6%。分析内容在CN-0359设计支持包中。

在实际应用中，电阻误差更有可能采取RSS方式进行组合，且正或负信号链上的电阻容差导致的RSS误差为 $\sqrt{5} \times 0.1\% = 0.22\%$ 。

使用1 Ω至1 MΩ（1 S至1 μS）精密电阻进行精度测量，以仿真电



导池。图6显示了结果，最大误差不到0.1%。

图6. 系统误差(%)与电导率(1 μS至1 S)的关系。

RTD测量

电导率测量系统精度只有经过温度补偿才能达到最佳。由于常见溶液温度系数在1%/°C至3%/°C或更高值之间变化，因此必须使用带有可调温度补偿的测量仪器。溶液温度系数在某种程度上是非线性的，通常还随着实际电导率变化。因此，在实际测量温度下进行校准可以达到最佳精度。

ADuCM360内置两个匹配的软件可配置激励电流源。它们可单独配置，提供10 μA至1 mA电流输出，匹配优于0.5%。电流源允许ADuCM360针对Pt100或Pt1000 RTD轻松执行双线式、三线式或四线式测量。软件还能自动检测RTD是否为Pt100或Pt1000。

下文给出了不同RTD配置如何工作的简化原理图。所有模式切换均通过软件实现，无需改变外部跳线设置。

图7显示了四线式RTD配置。

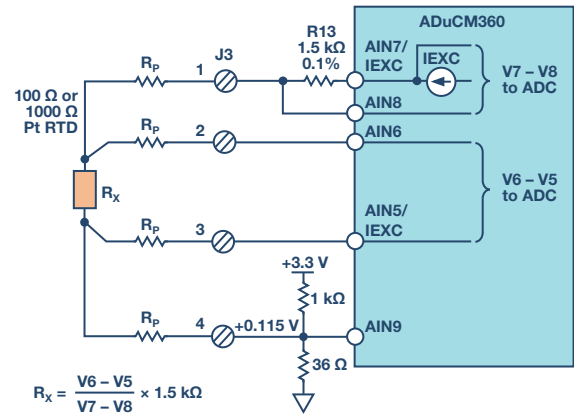


图7. 4线RTD连接配置。

每个连接远程RTD的引脚寄生电阻以R_p表示。激励电流(IEXC)流过1.5 kΩ精密电阻和RTD。片上ADC测量RTD(V6-V5)两端的电压，并使用R13(V7-V8)两端的电压作为基准电压。

选择R13电阻和IEXC激励电流值，使得AIN7上的ADuCM360最大输入电压不超过AVDD-1.1 V，这一点非常重要；否则，IEXC电流源会工作异常。

RTD电压可以使用两个连接AIN6和AIN5的检测引脚进行精确测量。输入阻抗约为2 MΩ（无缓冲模式，PGA增益=1），并且流过检测引脚电阻的电流引起的误差极小。然后，ADC测量RTD电压(V6-V5)。

随后便可按如下所示计算RTD电阻：

$$R_x = \frac{V6 - V5}{V7 - V8} \times 1.5 \text{ k}\Omega \quad (12)$$

测量值是一个比例值，且与精确的外部基准电压无关，而仅与1.5 kΩ电阻容差有关。此外，四线式配置可消除引脚电阻相关的误差。

ADuCM360提供带缓冲与不带缓冲的输入选项。如果激活内部缓冲器，则输入电压必须大于100 mV。1 kΩ/36 Ω电阻分压器能为RTD提供115 mV偏置电压，允许以缓冲方式工作。在无缓冲模式下，J3引脚4可以接地，并连接接地屏蔽，以减少噪声。

三线式连接是另一种使用广泛的RTD配置，可消除引脚电阻误差，如图8所示。

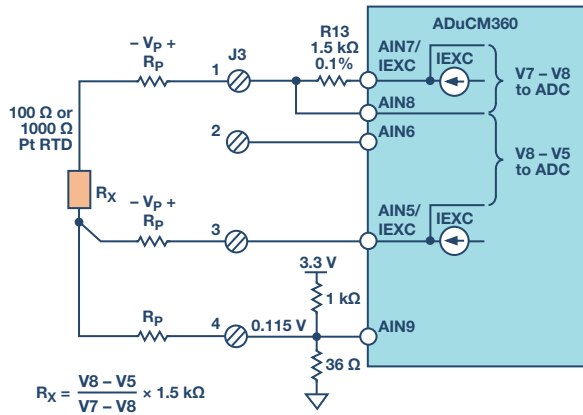


图8. 3线RTD连接配置。

第二个匹配的IEXC电流源(AIN5/IEXC)在引脚电阻上形成一个电压，并与端点3串联，消除与端点1串联的引脚电阻上的压降。因此，测得的V8 - V5电压不存在引脚电阻误差。

图9显示了双线式RTD配置，无引脚电阻补偿。

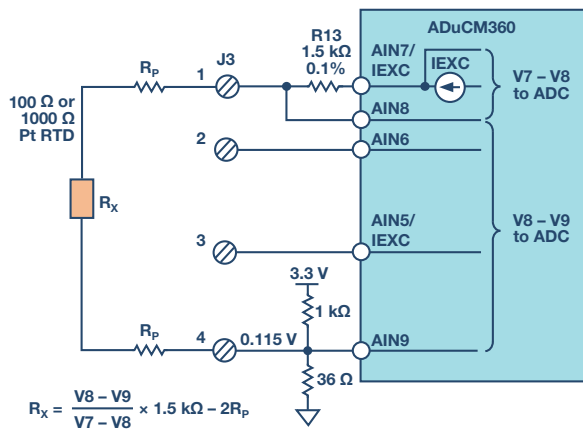


图9. 双线RTD连接配置。

双线式配置是成本最低的电路，适用于非关键型应用、短引线RTD连接以及较高电阻RTD（比如Pt1000）等。

电源电路

为了简化系统要求，所有必需的电压（±15 V和+3.3 V）均由4 V至7 V单电源产生，如图10所示。

ADP2300降压调节器产生电路板所需的3.3V电源电压。该设计基于可供下载的ADP230x降压稳压器设计工具。

ADP1613升压调节器产生+15V稳压电源电压以及-15V未稳压电源电压。-15 V电源电压采用电荷泵产生。该设计基于可供下载的ADP161x升压稳压器设计工具。

有关电源的选择与设计详情请参阅www.analog.com/ADIsimPower。

采用正确的布局和接地技术以避免开关调节器噪声耦合至模拟电路。有关更多详细信息，请参阅《线性电路设计手册》、《数据转换手册》、《MT-031指南》、《MT-101指南》。

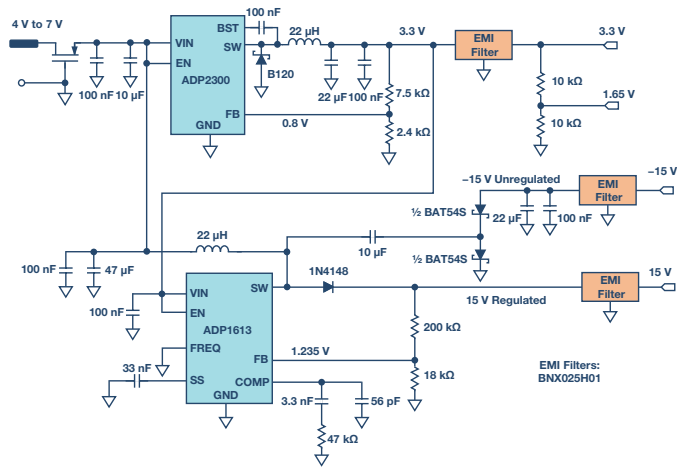


图10. 电源电路。

图11显示LCD背光驱动器电路。

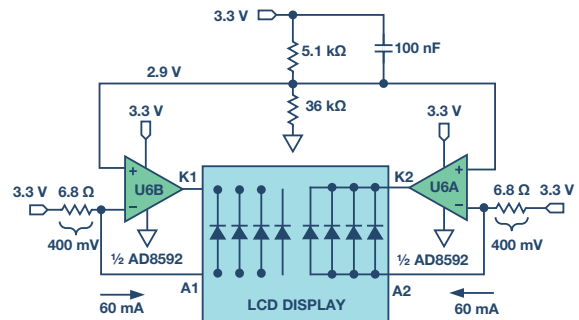


图11. LCD背光驱动器。

AD8592内置的两个运算放大器均用作60mA电流源，为LCD背光电流供电。AD8592的源电流和吸电流最大值为250mA，内置100nF电容以确保软启动。

硬件、软件 and 用户界面

完整电路（包括软件）可以在[Circuits from the Lab](#)参考设计的CN-0359设计包中找到。EVAL-CN0359-EB1Z电路板预加载了进行电导率测量所需的程序。代码在CN-0359设计支持包的CN0359-SourceCode.zip文件中。

具有直观且易于使用的用户界面。所有用户输入均来自双功能按钮/旋转编码器旋钮。编码器旋钮可顺时针旋转或逆时针旋转（无机械限位），也可用作按钮。

图12是EVAL-CN0359-EB1Z板的照片，显示了LCD显示器和编码器旋钮位置。



图12. EVAL-CN0359-EB1Z板照片，显示测量模式下的主画面。

连线后，板上的电导池和RTD上电。LCD屏幕如图12所示。

编码器旋钮用于输入激励电压、激励频率、电导池温度系数、电导池常数、建立时间、保持时间、RS-485波特率和地址、LCD对比度等。图13显示了一些LCD显示截屏。

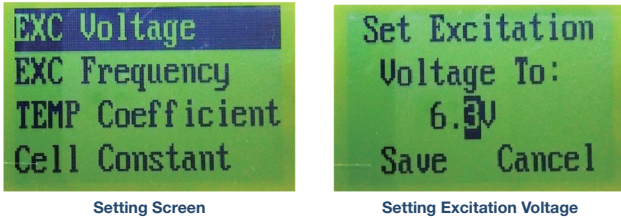


图13. LCD显示屏幕。

根据设计，EVAL-CN0359-EB1Z需采用EVAL-CFTL-6V-PWRZ 6 V电源供电。EVAL-CN0359-EB1Z仅需电源、外部电导池和RTD即可工作。

EVAL-CN0359-EB1Z还提供RS-485连接器J2，允许外部PC与此板实现接口。连接器J4是一个JTAG/SWD接口，可用于为ADuCM360编程和调试。

图14为典型PC连接示意图，显示RS-485至USB适配器。

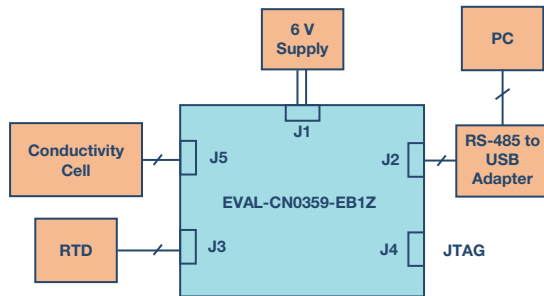


图14. 测试设置功能框图。

Robert Lee [robert.lee@analog.com]自2013年一月起担任ADI公司应用工程师。Robert于2004年获得中国电子科技大学(UESTC)电气工程学士学位(BSEE)，于2009年获得硕士学位(MSEE)。他拥有超过10年的嵌入式系统设计经验。



Robert Lee

该作者的其它文章：
运用非色散红外(NDIR)实现完备的气体传感器电路
第50卷，第4期

Walt Kester [walt.kester@analog.com]是ADI公司企业应用工程师。在其多年任职期间，他设计、开发了高速ADC、DAC、SHA、运算放大器和模拟多路复用器并提供应用支持。他撰写了许多论文和技术文章，并为ADI公司全球技术研讨会系列编撰了11本重要应用书籍，涉及的主题包括运算放大器、数据转换、电源管理、传感器信号调理、混合信号电路以及实用模拟电路涉及技巧。他的最新著作数据转换手册(Newnes)有近1000页，是一本关于数据转换的综合指南。Walt拥有北卡罗来纳州立大学电气工程学士学位(BSEE)和杜克大学电气工程硕士学位(MSEE)。



Walt Kester

该作者的其它文章：
运用非色散红外(NDIR)实现完备的气体传感器电路
第50卷，第4期

总结

本文中所述的电路基于ADI公司的CN-0359参考设计。完整文档包括完整电路笔记、详细原理图、MCU源代码、物料清单、布局图、Gerber文件和源代码，请参见<http://www.analog.com/CN0359-DesignSupport>。

参考文献

仪表放大器应用工程师指南（第三版）。ADI公司。

ADIsimPower设计工具。ADI公司。

CN-0359电路说明，全自动高性能电导率测量系统。ADI公司。

CN-0359设计支持包：www.analog.com/CN0359-DesignSupport。ADI公司。

线性电路设计手册。ADI公司/Elsevier。

指南MT-031。实现数据转换器的接地并解开“AGND”和“DGND”的谜团。ADI公司。

指南MT-101。去耦技术。ADI公司。

运算放大器应用手册。ADI公司/Elsevier。

传感器信号调理的“第7部分：温度传感器”。ADI公司。

数据转换手册。ADI公司/Elsevier。

数据手册

AD8253数据手册。

AD8542数据手册。

AD8592数据手册。

ADA4000-1数据手册。

ADA4077-2数据手册。

ADA4528-2数据手册。

ADA4627-1数据手册。

ADA4638-1数据手册。

ADG1211数据手册。

ADG1419数据手册。

ADM3075数据手册。

ADP2300数据手册。

ADP1613数据手册。

ADuCM360数据手册。

数字下变频器的的发展和更新——第二部分

作者: Jonathan Harris

共享    

在本文第一部分《数字下变频器的的发展和更新——第一部分》中，我们讨论了在更高频率的RF频段中进行频率采样的行业趋势以及数字下变频器(DDC)如何支持此类无线电架构。文中对AD9680系列产品所含DDC的几个技术方面进行了探讨。其中一个方面就是，更高的输入采样带宽允许无线电架构在更高的RF频率下直接采样，并将输入信号直接转换为基带。DDC可使RF采样ADC对此类信号进行数字化，而无需处理大量的数据吞吐量。DDC中的调谐和抽取滤波机制可以用来调整输入频带和滤除干扰频率。在本部分中我们将进一步分析抽取滤波，并将其应用于第一部分所讨论的示例。此外，我们将讨论Virtual Eval，该产品在改良的新型软件仿真工具中融入了ADIsimADC引擎技术。Virtual Eval将用于验证仿真结果与实测数据的匹配程度。

在第一部分中我们分析了一个示例，利用DDC中的NCO和抽取滤波来观察DDC中频率折叠和转换效果的影响。现在我们进一步分析抽取滤波，以及ADC混叠如何影响抽取滤波的有效响应。同样，我们将以AD9680为例进行讨论。我们对抽取滤波器响应进行了归一化，使其便于查看和理解，并且可应用于每个速度等级。抽取滤波器响应仅与采样速率成比例。本文的滤波器响应图并没有确切具体地提供插入损耗与频率之间的关系，而是形象地描绘了该滤波器的近似响应情况。通过这些示例可以更好地了解抽取滤波器响应，以便大致了解滤波器通带和阻带所处的位置。

如前所述，AD9680具有四个DDC，各含一个NCO，多达四个级联的半带(HB)滤波器(亦称为抽取滤波器)，一个可选性6 dB增益模块以及一个可选复数转实数模块，如图1所示。我们曾在第一部分讨论过，信号首先通过NCO，使输入信号音的频率偏移，然后通过抽取模块，也可选择通过增益模块，以及选择通过复数转实数模块。

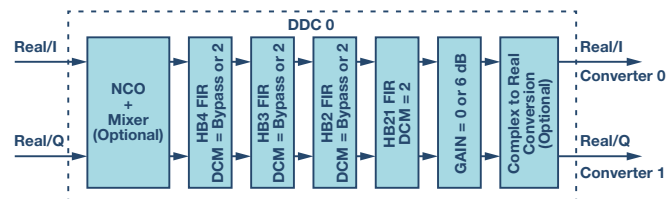


图1. AD9680中的DDC信号处理模块。

首先我们将讨论在AD9680中使能复数转实数模块时DDC抽取滤波器的情况。这意味着DDC将配置为接受实数输入和产生实数输出。在AD9680中，复数转实数模块会使输入频率自动向上偏移 $f_s/4$ 。图2所示为HB1滤波器的低通响应。这是HB1响应，显示了实数和复数域响应部分。若要了解滤波器的实际运作，首先要观察滤波器在实数域和复数域内的基本响应，从而可以观察到低通响应。HB1滤波器有一个通带占实数奈奎斯特区的38.5%。还有一个阻带也占实数奈奎斯特区的38.5%，其过渡带占剩余的23%。同样，在复数域，通带和阻带各占复数奈奎斯特区的38.5% (共77%)，而过渡带占剩余的23%。如图2所示，滤波器是位于实数域和复数域之间的一个镜像。

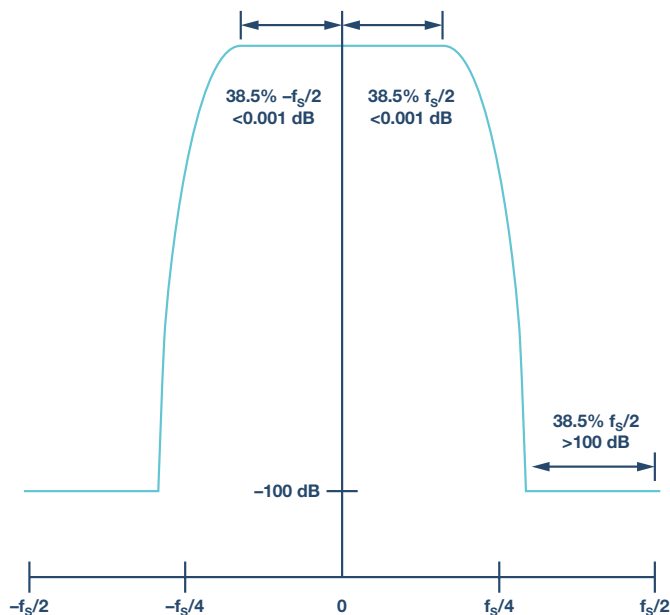


图2. HB1滤波器响应—实数域和复数域响应。

现在我们可以观察到，通过使能复数转实数模块将DDC置为实数模式时会发生什么情况。使能复数转实数模块会导致频域中出现 $f_s/4$ 的偏移。如图3所示，可看到频移和产生的滤波器响应。注意该滤波器响应的实线和虚线。实线和阴影区表示这是 $f_s/4$ 频移后新的滤波器响应(产生的滤波器响应不能跨越奈奎斯特边界)。虚线用来显示若未进入奈奎斯特边界本该存在的滤波器响应。

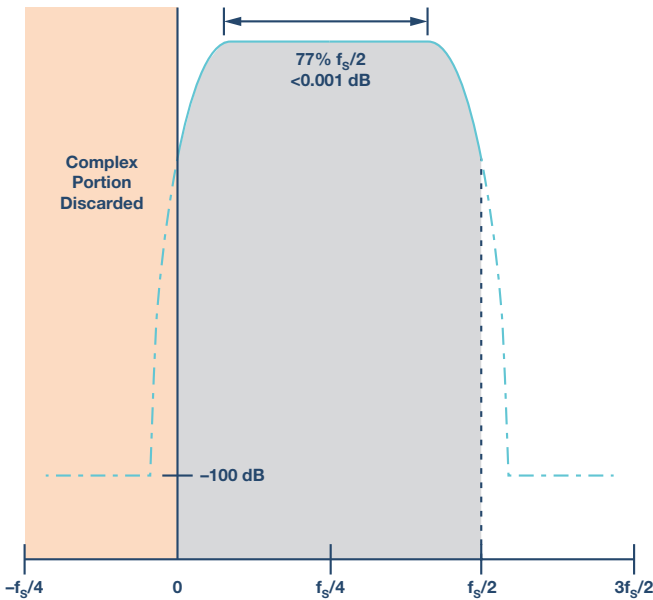


图3. HB1滤波器响应—DDC实数模式(复数转实数模块使能)。

注意，在图2和图3中，HB1滤波器的带宽保持不变。两者之间的区别是 $f_s/4$ 频移和第一奈奎斯特区内的中心频率。然而应注意，在图2中，我们将奈奎斯特区的38.5%用于信号的实数部分，另38.5%用于信号的复数部分。在图3中，复数转实数模块已使能，奈奎斯特区的77%均用于实数信号，而复数域已被丢弃。除了 $f_s/4$ 频移之外，过滤器响应保持不变。还应注意，该转换的一个结果是：抽取率此时等于1。有效采样率仍然是 f_s ，但奈奎斯特区内仅有77%的可用带宽，而不是整个奈奎斯特区均可用。这意味着，当HB1滤波器和复数转实数模块使能时，抽取率等于1（更多信息请参阅AD9680数据手册）。

下面我们来看看滤波器在不同抽取率(即，使能多个半带滤波器)的响应，以及ADC输入频率混叠对有效的抽取滤波器响应有何影响。图4中的蓝色实线表示HB1的实际频率响应。虚线则表示因ADC混叠效应所产生的HB1有效混叠响应。由于第二、第三、第四……奈奎斯特区的输入频率实际上混叠到ADC的第一奈奎斯特区，因此HB1滤波器响应有效地混叠到这些奈奎斯特区。例如，一个驻留在 $3f_s/4$ 的信号将混叠到第一奈奎斯特区的 $f_s/4$ 。HB1滤波器响应仅驻留在第一奈奎斯特区，并且是ADC混叠导致了HB1的有效响应看起来像是混叠到其他奈奎斯特区，理解这一点非常重要。

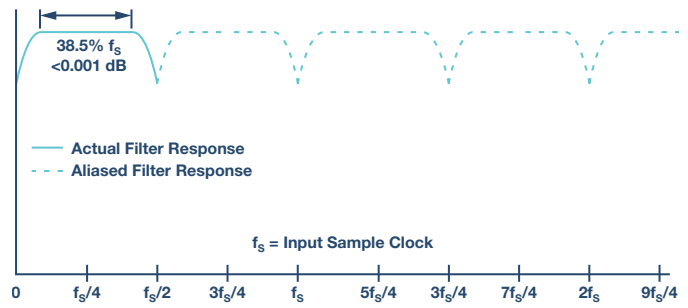


图4. ADC混叠导致的HB1有效滤波器响应。

现在我们来讨论HB1+HB2使能的情况。其结果会使抽取率为2。这里的蓝色实线也表示HB1+HB2滤波器的实际频率响应。滤波器通带的中心频率仍是 $f_s/4$ 。HB1+HB2使能会导致可用带宽占奈奎斯特区的38.5%。同样，请注意ADC的混叠效应及其对HB1+HB2滤波器组合的影响。一个出现在 $7f_s/8$ 的信号将混叠到第一奈奎斯特区的 $f_s/8$ 。类似的，一个 $5f_s/8$ 的信号将混叠到第一奈奎斯特区的 $3f_s/8$ 。这些复数转实数模块使能的示例可以从含有HB1+HB2很方便地扩展到含有HB3和HB4滤波器二者或其中之一。注意，当DDC使能时，HB1滤波器不可旁通，而HB2、HB3和HB4滤波器可选择使能。

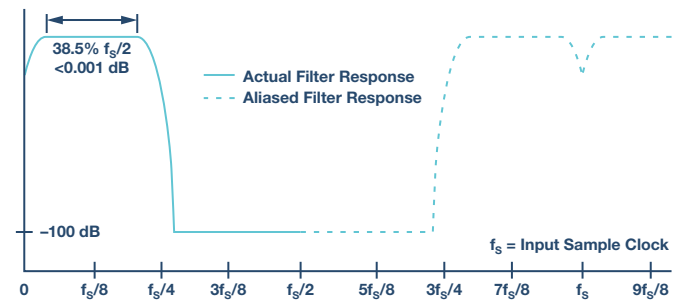


图5. ADC混叠导致的HB1+HB2有效滤波器响应(抽取率=2)。

我们已经讨论了抽取滤波器使能时的实数工作模式，现在我们可以探讨DDC的复数工作模式。仍以AD9680为例。与DDC的实数工作模式类似，这里将展示归一化的抽取滤波器响应。同样，示例滤波器响应图中没有确切表明插入损耗与频率之间的具体关系，而是形象地描绘了该滤波器的近似响应。这样做是为了便于更好地了解ADC混叠如何影响滤波器响应。

在复数模式中使用DDC时,它配置为具有一个复数输出,由实数和复数频域(通常称为I和Q)构成。回顾图2可知,HB1滤波器具有低通响应,通带为实数奈奎斯特区的38.5%。还有一个阻带也占实数奈奎斯特区的38.5%,其过渡带占剩余的23%。同样,在复数域,通带和阻带各占复数奈奎斯特区的38.5%(共77%),而过渡带占剩余的23%。

当HB1滤波器使能,在复数输出模式下操作DDC时,抽取率等于二,输出采样速率为输入采样时钟的二分之一。扩展图2中的曲线可显示出图6所示的ADC混叠的影响。其中的蓝色实线表示实际滤波器响应,蓝色虚线则表示因ADC混叠效应所产生的滤波器的有效混叠响应。 $7f_s/8$ 的输入信号将混叠到第一奈奎斯特区的 $f_s/8$,使其位于HB1滤波器的通带内。同一信号的复数镜像驻留于 $-7f_s/8$,并将在复数域混叠到 $-f_s/8$,使其位于复数域的HB1滤波器通带内。

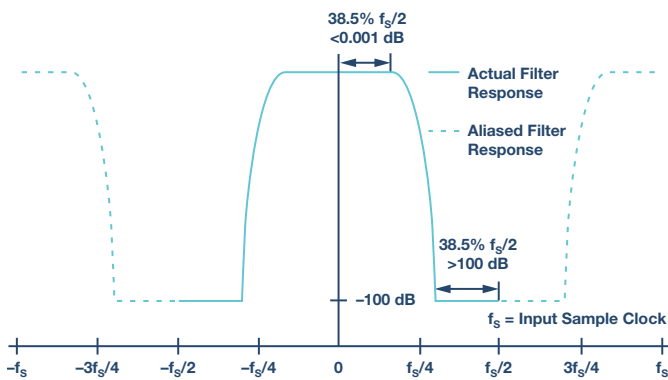


图6. ADC混叠导致的HB1有效滤波器响应(抽取率=2)—复数。

表1. DDC滤波器特性(AD9680)

抽取滤波器选择	复数输出		实数输出		混叠保护带宽	理想SNR改善
	抽取率	输出采样速率	抽取率	输出采样速率		
HB1	2	$0.5 \times f_s$	1	f_s	$0.385 \times f_s$	1
HB1 + HB2	4	$0.25 \times f_s$	2	$0.5 \times f_s$	$0.1925 \times f_s$	4
HB1 + HB2 + HB3	8	$0.125 \times f_s$	4	$0.25 \times f_s$	$0.09625 \times f_s$	7
HB1 + HB2 + HB3 + HB4	16	$0.0625 \times f_s$	8	$0.125 \times f_s$	$0.048125 \times f_s$	10

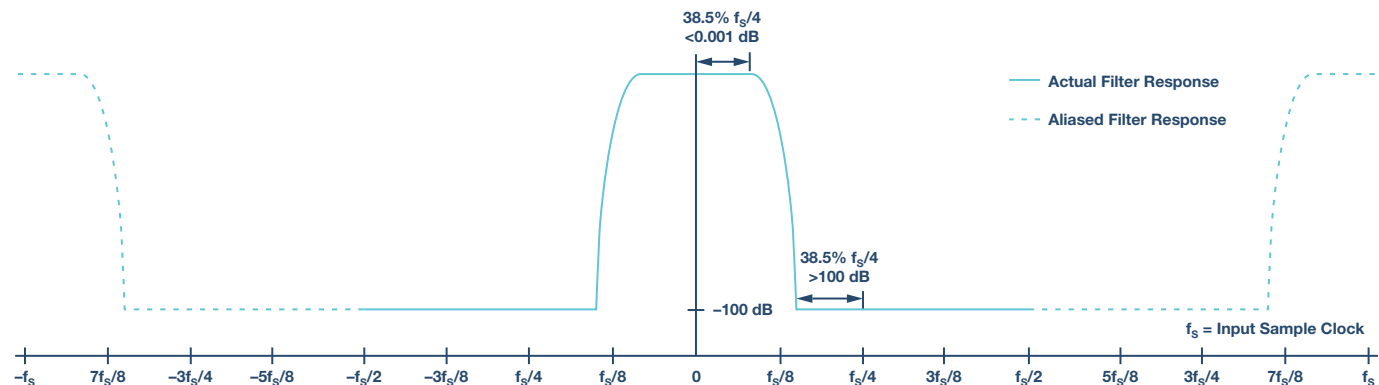


图7. ADC混叠导致的HB1 + HB2有效滤波器响应(抽取率=4)—复数。

接下来,我们将讨论HB1+HB2使能的情况,如图7所示。其结果会使得每个I和Q输出的抽取率为4。这里的蓝色实线也表示HB1+HB2滤波器的实际频率响应。HB1+HB2滤波器同时使能将导致每个实数和复数域中的可用带宽为抽取奈奎斯特区的38.5%($f_s/4$ 的38.5%,其中 f_s 为输入采样时钟)。请注意ADC的混叠效应及其对HB1+HB2滤波器组合的影响。一个出现在 $15f_s/16$ 的信号将混叠到第一奈奎斯特区的 $f_s/16$ 。该信号在复数域的 $-15f_s/16$ 有一个复数镜像,并将混叠到复数域第一奈奎斯特区的 $-f_s/16$ 。同理,这些示例也可以扩展到HB3和HB4均使能的情况。本文中并未显示这些内容,但根据图7所示的HB1+HB2响应很容易推算出来。

看到所有这些抽取滤波器响应,您的脑海里可能会有这样的问题:“我们为什么要抽取?”以及“这样做有什么好处?”不同的应用具有不同的要求,而这些要求可以从ADC输出数据的抽取中获利。其中一个原因是增大RF频带中某段狭窄频带上的信噪比。另一个原因是为了使处理带宽更小,这样可使JESD204B接口的输出通道速率降低,从而便于使用低成本的低成本的FPGA。通过使用全部四个抽取滤波器,DDC可实现处理增益,并使SNR改善达10 dB。在表1中,我们可以看到当DDC工作于实数模式和复数模式时,不同的抽取滤波器选择所提供的可用带宽、抽取率、输出采样速率和理想SNR改善情况。

关于DDC工作模式的讨论有助于深入了解AD9680中抽取滤波器的实数工作模式和复数工作模式。采用抽取滤波可提供多个好处。DDC可工作于实数模式或复数模式,允许用户根据特定应用的需求采用不同的接收器拓扑。结合第一部分所述的内容,还有助于探讨采用AD9680的一个真实实例。该实例将综合实测数据和Virtual Eval中导出的仿真数据,以便于比较结果。

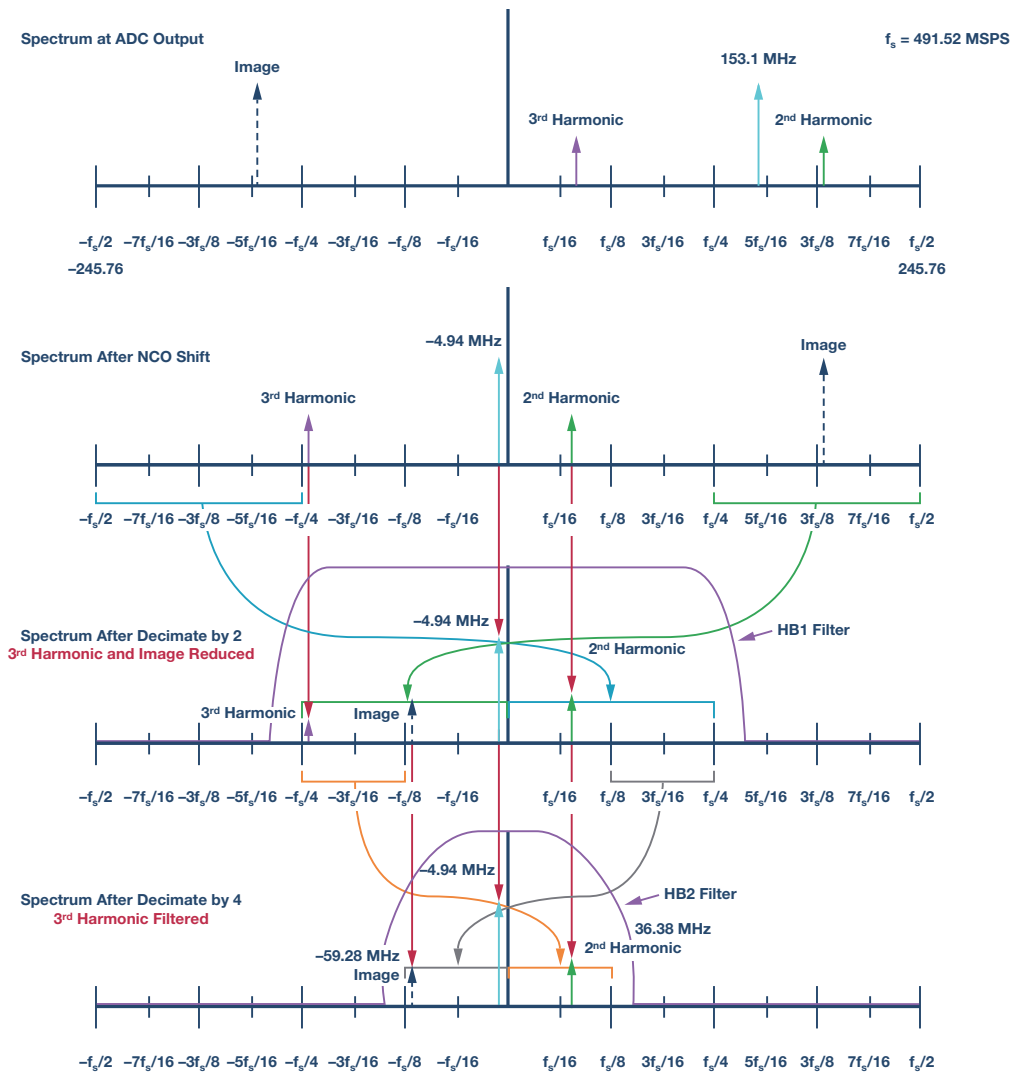


图8. 信号通过DDC信号处理模块—抽取滤波。

在此例中我们将采用在第一部分中曾使用的相同条件。输入采样速率为491.52 MSPS，输入频率为150.1 MHz。NCO频率为155 MHz，抽取率设为4（由于NCO分辨率，实际NCO频率为154.94 MHz）。因此，输出采样速率为122.88 MSPS。由于DDC进行复数混频，因此分析中包含复数频域。注意，图8中添加了抽取滤波器的响应，以深紫色曲线表示。

NCO偏移后的频谱：

1. 基频从+150.1 MHz下移至-4.94 MHz。
2. 基频镜像从-150.1 MHz开始偏移，并绕回至+186.48 MHz。
3. 二次谐波从191.32 MHz下移至36.38 MHz。
4. 三次谐波从+41.22 MHz下移至-113.72 MHz。

2倍抽取后的频谱：

1. 基频位于-4.94 MHz。
2. 基频镜像向下转换至-59.28 MHz，并由HB1抽取滤波器衰减。
3. 二次谐波位于36.38 MHz。
4. 三次谐波由HB1抽取滤波器衰减。

4倍抽取后的频谱：

1. 基频位于-4.94 MHz。
2. 基频镜像位于-59.28 MHz，并由HB2抽取滤波器衰减。
3. 二次谐波位于-36.38 MHz，并由HB2抽取滤波器衰减。
4. 三次谐波经过滤波，基本由HB2抽取滤波器完全消除。

AD9680-500的实测结果如图9所示。基频位于-4.94 MHz。基频镜像位于-59.28 MHz，幅度为-67.112 dBFS，意味着镜像衰减了大约66 dB。二次谐波位于36.38 MHz，并衰减了大约10至15 dB。三次谐波经过充分滤波，实测结果不高于噪声底。

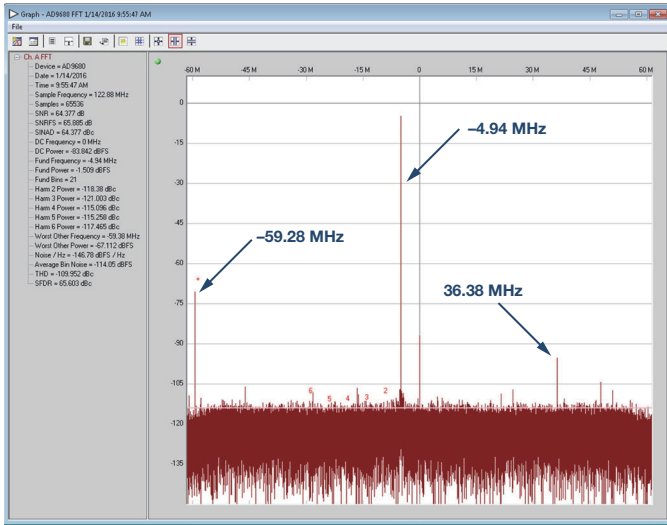


图9. 信号经过DDC后的FFT复数输出 (NCO = 155 MHz, 4倍抽取)。

现在可使用Virtual Eval来观察仿真结果与实测结果的对比情况。首先，从网站上打开该工具，并选择要仿真的ADC（见图10）。Virtual Eval工具在ADI网站的Virtual Eval下。Virtual Eval中的AD9680模型含有一项新开发的功能，允许用户仿真不同的ADC速度等级。由于此示例使用了AD9680-500，所以该功能很重要。Virtual Eval加载后，首先提示选择产品类别和产品。注意，Virtual Eval中不仅涵盖高速ADC，而且包含精密ADC、高速DAC以及集成/专用转换器这些产品。

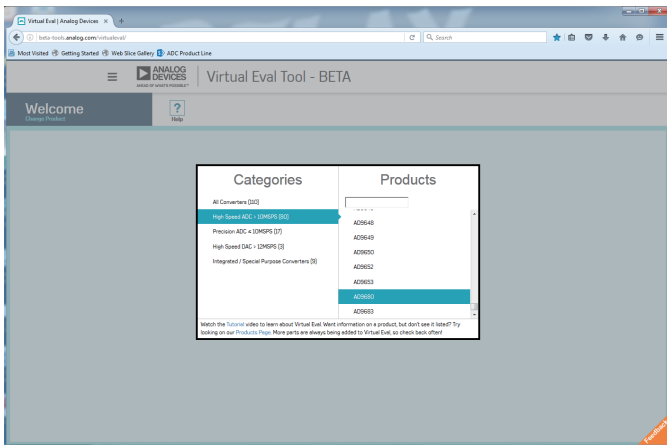


图10. Virtual Eval中的产品类别和选型。

从产品列表中选择AD9680。这将会打开AD9680仿真的主页。Virtual Eval中的AD9680模型还有一个框图，详细介绍了ADC模拟功能和数字功能的内部配置。该框图与AD9680数据手册中的框图相同。在此页面的左侧下拉菜单中选择所需的速度等级。对于本例，速度等级选择500 MHz，如图11所示。

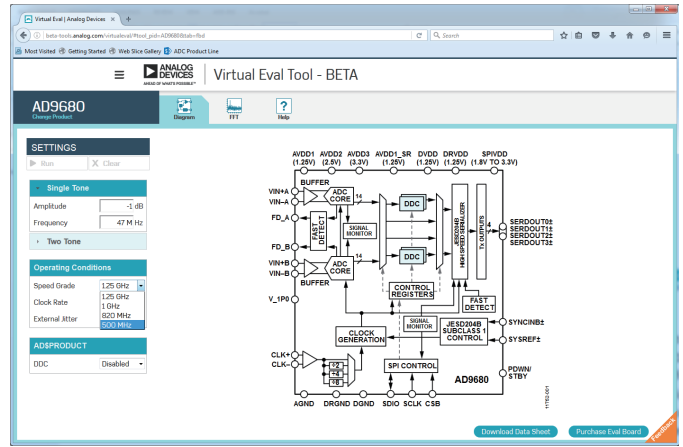


图11. Virtual Eval中的AD9680速度等级选择和框图。

然后，为了执行FFT仿真，必须设定输入条件（见图12）。回顾一下，本例的测试条件包含一个491.52 MHz的时钟速率和一个150 MHz的输入频率。DDC使能，NCO频率设为155 MHz，ADC输入设为Real（实数），复数转实数模块(C2R)为Disabled（禁用），DDC抽取率设为Four（4），DDC中的6 dB增益为Enabled（使能）。这意味着DDC将设为具有实数输入信号和复数输出信号，并且抽取率为4。DDC中的6 dB增益使能是为了补偿DDC中混频处理所导致的6 dB损耗。Virtual Eval每次只能显示噪声或失真其中一种结果，因此文中列出两个图表，分别用来显示噪声结果（图12）和失真结果（图13）。

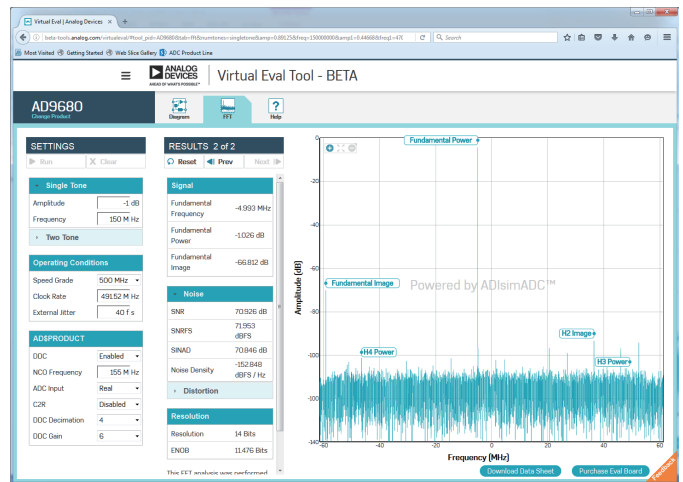


图12. Virtual Eval中的AD9680 FFT仿真一噪声结果。

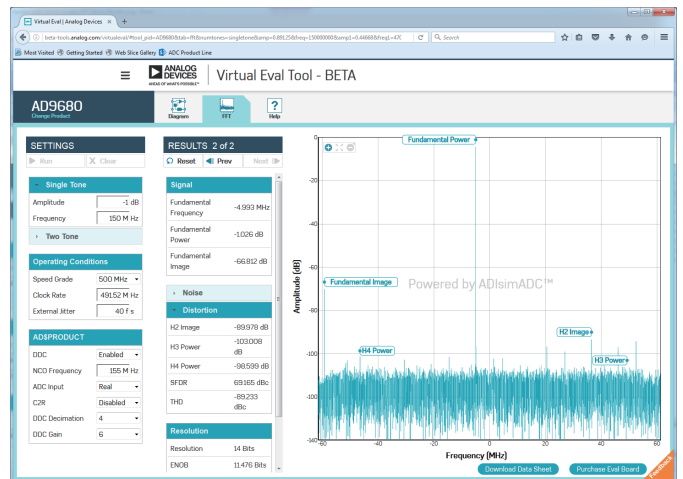


图13. Virtual Eval中的AD9680 FFT仿真一失真结果。

Virtual Eval中可显示许多性能参数。该工具可提供基频镜像的位置以及各谐波位置，这对于频率规划非常方便。还允许用户查看基频镜像或任何谐波信号音是否出现在所需的输出频谱内，从而使得频率规划更轻松。Virtual Eval仿真得出SNR值为71.953 dBFS，SFDR为69.165 dBc。但需考虑一下，基频镜像通常不会出现在输出频谱中，如果我们消除杂散信号，那么SFDR为89.978 dB（若参考的输入功率是-1 dBFS，则为88.978 dBc）。

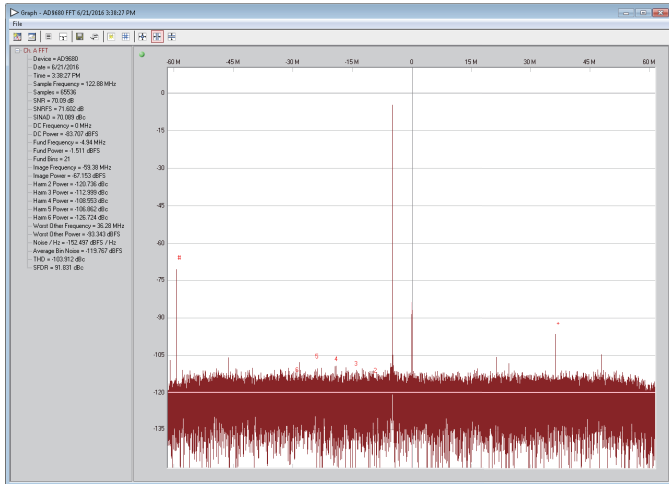


图14. AD9680 FFT测量结果。

Virtual Eval仿真器在计算SNR时不包括基频镜像。请务必调整VisualAnalog™中的设置，忽略测量结果中的基频镜像，以得到正确的SNR。该方法适用于对基频镜像不在所需频带内进行频率规划。SNR的实测结果为71.602 dBFS，非常接近于Virtual Eval中的仿真结果71.953 dBFS。与之类似，实测的SFDR为91.831 dBc，非常接近于仿真结果88.978 dBc。

Virtual Eval能够准确地预测硬件行为，表现极为出色。您只需一把舒适的椅子，一杯热茶或咖啡，即可预测出器件行为。特别是对于带有DDC的ADC（如AD9680），Virtual Eval能够很好地仿真ADC的各种性能（包括镜像和谐波），便于用户进行频率规划，并且尽可能将这些干扰信号保持在频带外。随着载波聚合和直接射频采样得到越来越多的应用，工具箱内备有类似于Virtual Eval的工具将会使您的工作得心应手。此类工具能够准确地预测ADC性能，帮助系统设计人员为某些应用（如通信系统、军事/航空航天雷达系统以及许多其他类型的应用）设计进行适当的频率规划。建议您充分利用ADI新一代ADC器件的数字信号处理功能优势。同时建议您使用Virtual Eval来规划您的下一个设计，提前构想预期性能。

Jonathan Harris [jonathan.harris@analog.com]是ADI公司（北卡罗来纳州格林斯博罗）太空产品部门的一名产品应用工程师。在射频行业从事产品支持工作超过10年。Jonathan拥有奥本大学电子工程硕士学位和北卡罗来纳大学夏洛特分校电子工程学士学位。闲暇时，他喜欢骑摩托车、参加大学橄榄球运动、移动音频，以及陪伴家人。



Jonathan Harris

新一代SAR ADC解决精密数据采集信号链设计的难点

作者：Maithil Pachchigar和Alan Walsh

共享    

简介

许多应用都要求采用精密数据采集信号链以数字化模拟数据，从而实现数据的精确采集和处理。精密系统设计师面临越来越大的压力，需要找到创新的办法，提高性能、降低功耗，同时还要在小型PCB电路板上容纳更高的电路密度。本文旨在讨论精密数据采集信号链设计中遇到的常见难点，探讨如何运用新一代16位/18位、2 MSPS、精密逐次逼近寄存器(SAR) ADC解决这些难点。AD4000/AD4003 (16位/18位) ADC基于ADI的高级技术设计而成，集成了多种简单易用的特性，具有多种系统级优势，有助于降低信号链功耗，降低信号链复杂性，提高通道密度，同时还能提高性能水平。本文将重点讨论数据采集子系统性能和设计挑战，说明该ADC系列如何在多个终端市场形成应用级影响。

常见的信号链设计难点

图1显示了在构建精密数据采集系统时使用的典型信号链。要求精密数据采集系统的应用(如自动化测试设备、机械自动化、工业和医疗仪器仪表)呈现出通常被认为在技术上相冲突的共同趋势。例如，系统设计师被迫在性能上妥协，以维持紧张的系统功率预算，或者在电路板上保留较小的面积以实现高通道密度。这些精密数据采集信号链的系统设计师在多个方面面临着共同的挑战：驱动SAR ADC输入；保护ADC输入以使其免受受过压事件影响；用单电源降低系统功耗；用低功耗微控制器和/或数字隔离器实现更高的系统吞吐量等。

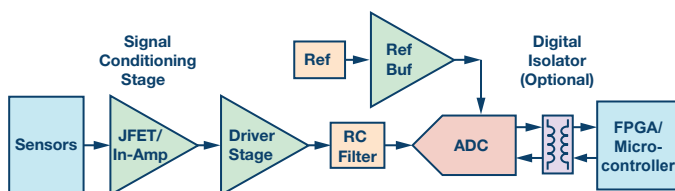


图1. 典型的精密数据采集信号链

受开关电容输入结构影响，高分辨率精密SAR ADC的驱动一直是个棘手的问题。系统设计师需要密切关注ADC驱动器数据手册，了解噪声、失真、输入/输出电压上裕量/下裕量、带宽和建立时间等技术规格。一般地，采用的高速ADC驱动器需要具备宽带宽、低噪声和高功率等特征，以便在可用采集时间内建立SAR ADC输入的开关电容反冲。这项要求会大幅减少用于驱动ADC的可用放大器选择，不得不在性能/功率/面积方面进行大幅妥协。另外，

选择一款合适的RC滤波器置于驱动器与ADC输入之间，这项要求又对放大器选择和性能构成了进一步的限制。ADC驱动器输出与SAR ADC输入之间需要用RC滤波器来限制宽带噪声，减少电荷反冲的影响。一般情况下，系统设计师需要花费大量时间去评估信号链，确保所选ADC驱动器和RC滤波器能切实驱动ADC，以实现所需性能。

在功耗敏感型应用(如电池供电仪器仪表)中，通常需要用低压单电源来运行系统。这虽然最大限度地降低了电路的功耗，但却给放大器前端带来了上裕量和下裕量问题。这意味着，可能无法使用ADC输入的全部范围，因为驱动放大器无法一直驱动到地，也无法一直驱动到ADC输入范围的上限，结果会降低整个系统的性能。这种情况可以通过提高电源电压来弥补，但其代价是会增加功耗，或者造成系统的动态范围性能下降。

多数ADC模拟输入(IN+和IN-)除ESD保护二极管以外没有过压保护电路。在放大器电轨大于 V_{REF} 且小于地的应用中，输出有可能超过器件的输入电压范围。在过压事件中，两个连接REF的模拟输入(IN+或IN-)引脚之间的ESD保护二极管正向偏置连接REF的输入引脚并使其短路，有可能使基准电压源过载，导致器件损毁，或者干扰在多个ADC之间共用的基准电压源。结果就需要为ADC输入添加肖特基二极管一类的保护电路，避免过压条件损害ADC。不幸的是，肖特基二极管可能会因漏电流而增加失真及其他误差。

精密应用在连接ADC的处理器方面有着不同的需求。出于安全考虑，有些应用需要使用电气隔离机制，并在ADC与处理器之间使用数字隔离器来实现这个目的。这种处理器选择和隔离需求对用于连接ADC的数字接口的效率形成了限制。一般地，低端处理器/FPGA或低功耗微控制器都拥有较低的串行时钟速率。这可能导致ADC的吞吐量低于预期，因为在输出转换结果之前存在较长的ADC转换延时。数字隔离器也可能限制在隔离栅上可以实现的最大串行时钟速率，因为隔离器中的传播延迟会限制ADC吞吐量。在这些情况下，最好使用既可实现更高吞吐速率，又无需大幅增加串行时钟速率的ADC。

AD4000/AD4003精密SAR ADC系列可以解决常见设计挑战

AD4000/AD4003系列是基于SAR架构的快速、低功耗、单电源、16位/18位精密ADC。

AD4000/AD4003精密ADC系列将高性能与简单易用的特性独特地结合在一起,可以降低系统复杂性,简化信号链BOM,并大幅缩短上市时间(见图2)。借助该系列,设计师可以解决精密数据采集系统的系统级技术挑战,并且无需做出重大折衷。例如,留给用户更长的采集时间、高输入阻抗(Z)模式和跨度压缩模式等特性在AD4000/AD4003 ADC系列中的结合可以减少与ADC驱动器级设计相关的挑战,增加ADC驱动器选择的灵活性。这样就可以降低系统总功耗,提高密度,缩短客户设计周期。通过SPI接口写入配置寄存器,可以使能/禁用多数简单易用的特性。注意,AD4000/AD4003 ADC系列与10引脚AD798x/AD769x ADC系列引脚兼容。

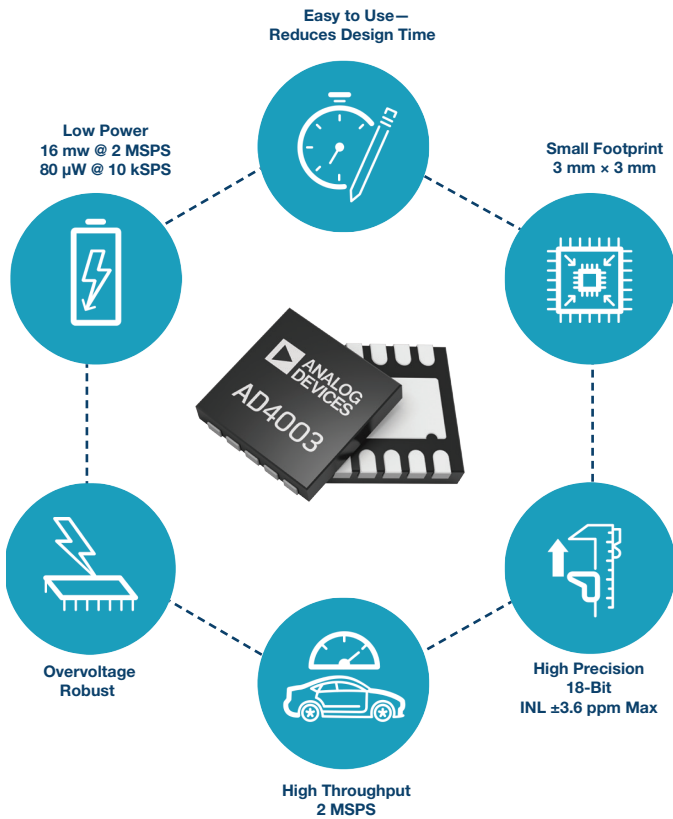


图2. AD4000/AD4003 ADC的主要优势

AD4000/AD4003 ADC简单易用的特性

长采集阶段

AD4000/AD4003 ADC拥有更短的转换时间290 ns, ADC会在当前转换过程结束前100 ns返回采集阶段。SAR ADC周期时间由转换阶段和采集阶段构成。在转换阶段, ADC电容DAC与ADC输入断开, 以执行SAR转换。输入在采集阶段重新连接, ADC驱动器必须在下一个转换阶段开始之前将输入建立至正确的电压。较长的采集阶段可以降低对驱动放大器的建立要求, 并且允许较低的RC滤波器截止频率, 这意味着可以使用噪声较高且/或功率/带宽较低的放大器。可以在RC滤波器中使用较大的R值和较小的对应C值, 减少放大器稳定性问题, 同时也不会大幅影响失真性能。较大的R值有助于在过压条件下保护ADC输入; 同时还能降低放大器中的动态功耗。

高输入阻抗模式

为了达到高分辨率精密SAR ADC数据手册中列示的最佳性能, 系统设计师通常不得不使用专用的高功率、高速放大器来驱动其精密应用中的传统型开关电容SAR ADC输入。这是在精密数据采集信号链设计中经常遇到的难点之一。高Z模式的优势在于, 能在慢速(<10 kHz)或直流类信号条件下支持低输入电流, 并且可在高达100 kHz的输入频率范围内实现更高的失真(THD)性能。

AD4000/AD4003 ADC集成了一个高Z模式, 在采集开始时, 可以在电容DAC切换回输入时减少非线性电荷反冲。在使能高Z模式时, 电容DAC在转换结束时充电, 以保持上次采样的电压。这一过程可以减少转换过程的任何非线性电荷效应, 该效应会影响到下次采样前在ADC输入端采集的电压。

图3所示为AD4000/AD4003 ADC在高Z模式使能/禁用时的输入电流。低输入电流使ADC比市场上现有的传统SAR ADC更易驱动, 即便是在高Z模式禁用的情况下。如果将图3中高Z模式禁用时的输入电流与上一代AD7982 ADC的输入电流进行比较, 则会发现, AD4003已经将1 MSPS条件下的输入电流降低了4倍。高Z模式使能时, 输入电流进一步降至次微安级。在输入频率超过100 kHz时, 或者在多路复用输入时, 应禁用高Z模式。

借助AD4000/AD4003 ADC降低的输入电流, 就能以比传统SAR高得多的源阻抗来驱动。这意味着, RC滤波器中的电阻值可以比传统SAR设计大10倍。

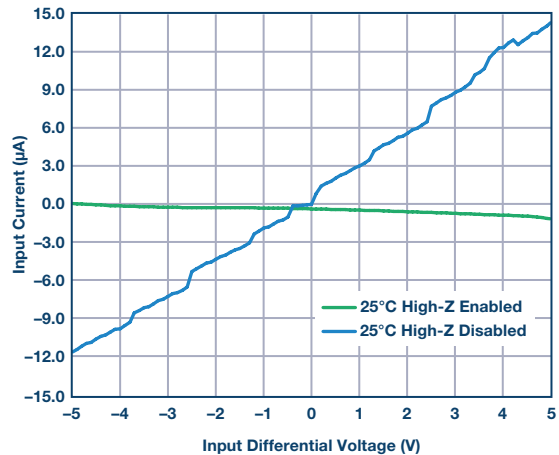


图3. 在高Z使能/禁用条件下的AD4003 ADC输入电流与输入差分电压

如图4所示, AD4000/AD4003 ADC允许用带较低截止频率的RC滤波器的多种低功率/带宽精密放大器来驱动ADC, 消除了使用专用高速ADC驱动器的必要性, 并且可以降低精密低带宽应用(信号带宽<10 kHz)的系统功耗、尺寸和成本。最终, AD4000/AD4003允许基于目标信号带宽, 而非基于开关电容SAR ADC输入的建立要求来选择ADC之前的放大器和RC滤波器。

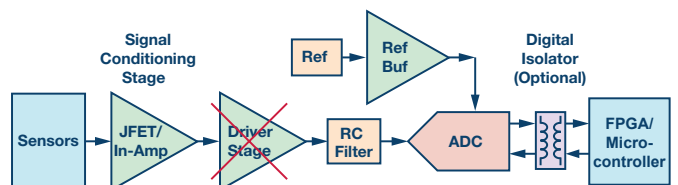


图4. 传统精密信号链

图5和图6所示为AD4003ADC的SNR和THD性能，其中，在使能/禁用高Z及各种不同RC滤波器值的情况下，以2 MSPS的全速吞吐量驱动AD4003ADC时，使用的是ADA4077 ($I_{\text{QUIESCENT}}=400\mu\text{A}/\text{放大器}$)、ADA4084 ($I_{\text{QUIESCENT}}=600\mu\text{A}/\text{放大器}$)和ADA4610 ($I_{\text{QUIESCENT}}=1.5\text{mA}/\text{放大器}$)精密放大器。在2.27MHz RC带宽和1kHz输入信号条件下使能高Z时，这些放大器可实现96 dB至99 dB的典型SNR以及优于-110 dB的典型THD。在使能高Z模式时，甚至在R值大于200Ω时，THD约改善了10 dB。即使在超低RC滤波器截止频率条件下，最高SNR也接近99 dB。

在使能高Z时，ADC消耗约2mW/MSPS的额外功耗，但这仍然显著低于使用ADA4807-1一类的专用ADC驱动器时的功耗，从而可以节省PCB电路板面积和物料成本。对于多数系统，前端通常会限制信号链可以实现的整体交流/直流性能。从图5和图6所选的精密放大器数据手册中可以看出，精密放大器自身的噪声和失真性能在某个输入频率下主导着SNR和THD规格。然而，带高Z模式的AD4003 ADC可以极大地增加驱动器放大器的选择，包括信号调理级中使用的精密放大器，同时还可提高RC滤波器选择的灵活性。例如，当AD4003 ADC的高Z使能并配合ADA4084-2驱动器放大器使用一个4.42 MHz宽带输入滤波器时，SNR性能约为95 dB。如果用498 kHz滤波器对ADC驱动器噪声进行强力滤波，SNR可提升3 dB，至98 dB。AD7982 ADC在较低RC截止频率下的SNR性能下降是因为该ADC输入未在较短的采集时间内消除反冲。

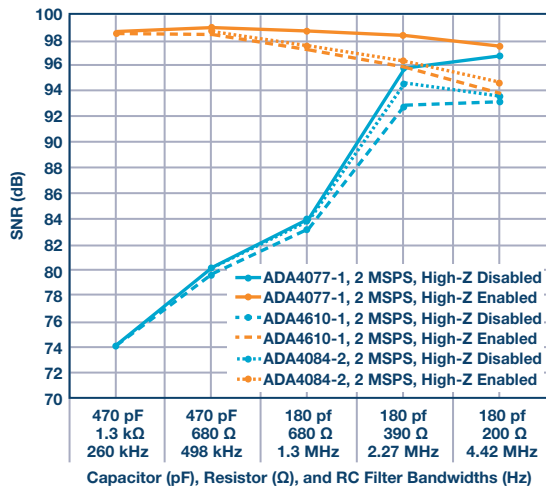


图5. 使用ADA4077、ADA4084和ADA4610精密放大器时的SNR与RC带宽

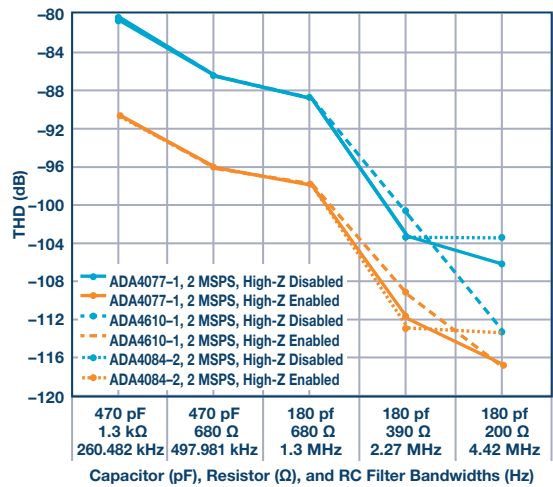


图6. 使用ADA4077、ADA4084和ADA4610精密放大器时的THD与RC带宽

图7(a)表明，系统设计师可以使用功率低2.5倍的ADC驱动器ADA4077（相比ADA4807），在高Z模式禁用时，AD4003 ADC仍然能取得约97 dB的SINAD（比AD7982 ADC高3 dB）。即使RC带宽增加至2.9 MHz，ADA4077放大器也无法直接驱动AD7982 ADC并取得最佳性能。如果用较低的RC带宽截止频率强力滤波，驱动器无法在可用采集时间内消除ADC反冲，ADC SINAD性能因而下降。在禁用或使能高Z模式时，AD4003 ADC的开关电容反冲大幅缩减，在1 MSPS时的采集时间长2.5倍，因此，其SINAD性能仍然大幅优于AD7982 ADC。

在使能高Z模式时，在较低RC滤波器截止频率下使用两个ADC驱动器，AD4003 ADC的SINAD性能较好，这有助于在目标信号宽带较低时，消除更多来自上游信号链组件的宽带噪声。在不使能高Z模式时，RC滤波器截止频率与SINAD性能之前存在折衷。

跨度压缩

AD4000/AD4003 ADC集成了一个跨度压缩模式，对仅用一个单电源为SAR ADC驱动器供电的系统非常有用。该模式可以消除ADC驱动器对负电源的要求，同时还能维持ADC的全分辨率，减少功耗，降低电源设计复杂程度。如图8所示，ADC可执行数字缩放功能，映射从0 V至 $0.1 \text{ V} \times V_{\text{REF}}$ 的零电平代码，以及从 V_{REF} 至 $0.9 \times$

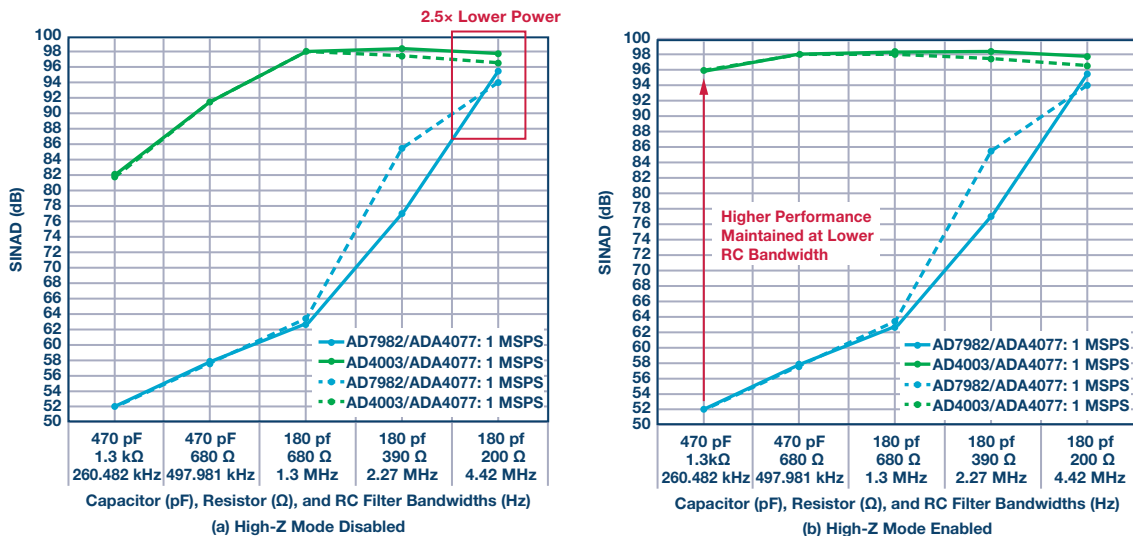


图7. 使用ADA4077和ADA4807时AD4003 ADC和AD7982 ADC放大器驱动器的比较：在禁用和使能高Z模式时的SINAD与RC带宽 ($F_s = 1 \text{ MSPS}$, $f_{\text{IN}} = 1 \text{ kHz}$)

V_{REF} 的满量程代码。在减小的输入范围内，AD4000/AD4003 ADC的SNR约为 -1.9 dB ($20 \cdot \log(4/5)$)。举例来说，对于采用5V单电源且典型基准电压为4.096 V的子系统，满量程输入范围为 ~ 0.41 V至3.69 V，为驱动放大器提供了充足的裕量。

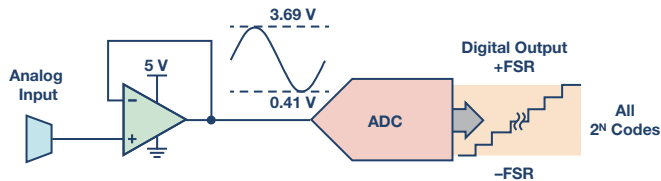


图8. AD4000/AD4003 ADC跨度压缩工作模式

过压箝位

在放大器电轨大于 V_{REF} 且小于地电压的应用中，输出可以超出器件的输入电压范围。当正输入超过范围时，电流通过D1流入REF（见图9），对基准电压源形成干扰。甚至更加糟糕的是，可能将基准电压源拉高至绝对最大基准值的水平，因而可能损坏器件。

当模拟输入超过基准电压 ~ 400 mV时，AD4000/AD4003 ADC的内部箝位电路将开启，电流将通过箝位流入地，防止输入进一步升高而可能损坏器件。

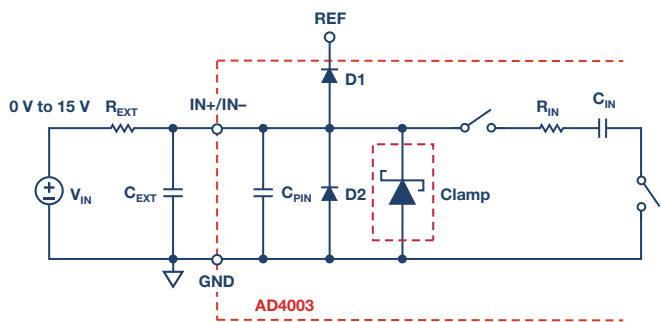


图9. AD4003 ADC等效模拟输入电路

如图9所示，AD4000/AD4003 ADC的内部过压箝位电路有一个较大的外部电阻($R_{EXT} = 200\Omega$)，可以消除外部保护二极管的必要性（并由此消除额外电路板空间的必要性）。箝位在D1之前开启，其最大吸电流能力为50 mA。箝位电路通过将输入电压箝位在安全工作范围中来防止器件损坏，同时避免对基准电压源造成干扰，这对在多个ADC之间共用基准电压源的系统来说尤其重要。

高效数字接口

AD4000/AD4003 ADC有一个灵活的数字串行接口，有七种不同的模式，并且具有寄存器编程能力。其Turbo模式允许用户在ADC仍在转换时开始输出上次转换的结果，如图10所示。短转换时间和Turbo模式相结合，可实现较低的SPI时钟速率，简化隔离解决方案，降低数字隔离器的延迟要求，增加处理器选择，包括低端处理器/FPGA或者串行时钟速率相对低的低功耗微控制器。例如，运行于1 MSPS时，AD4003 ADC可以使用比AD7982 ADC慢2.5倍的SPI时钟速率（25 MHz相比于66 MHz）。用户可以写/读回寄存器位，以使能AD4000/AD4003 ADC简单易用的特性，可以在转换结

果上附加一个6位的状态字，实现诊断和寄存器读回。串行接口规格完全支持低至1.8 V的逻辑电平，可以在这些条件下实现2 MSPS全速吞吐量。使能Turbo模式时，要在2 MSPS条件下运行AD4003 ADC，需要的最低SCK速率为75 MHz。

AD4000/AD4003 ADC性能

AD4000/AD4003 ADC采用1.8 V工作电压，在2 MSPS下的典型功耗为14mW/16mW，线性度非常出色，最大值为 ± 1.0 LSB (± 3.8 ppm)，保证18位无失码。图11所示为AD4003 ADC的典型INL与代码性能。AD4003 ADC可在高达奈奎斯特的超宽输入频率范围内实现比AD7982 ADC更出色的SINAD性能（图12），使系统设计师能开发出带宽更宽、精度更高的仪器仪表设备。AD4000/AD4003 ADC采用小型10引脚封装（提供3 mm \times 3 mm LFCSP和3 mm \times 5 mm MSOP两种选项），与AD798x/AD769x ADC系列引脚兼容。

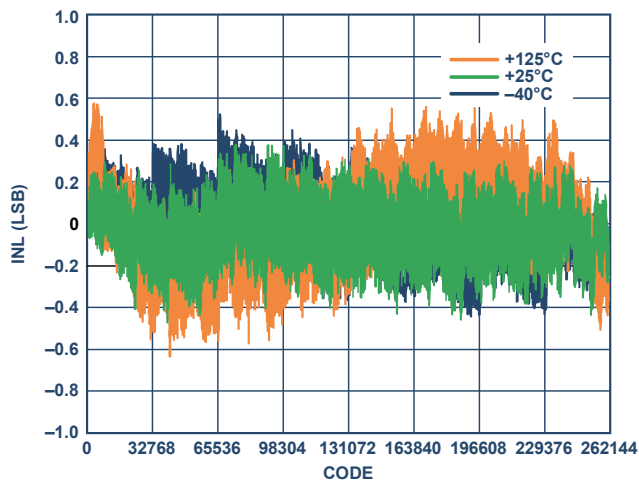


图11. AD4003 ADC INL与代码的关系

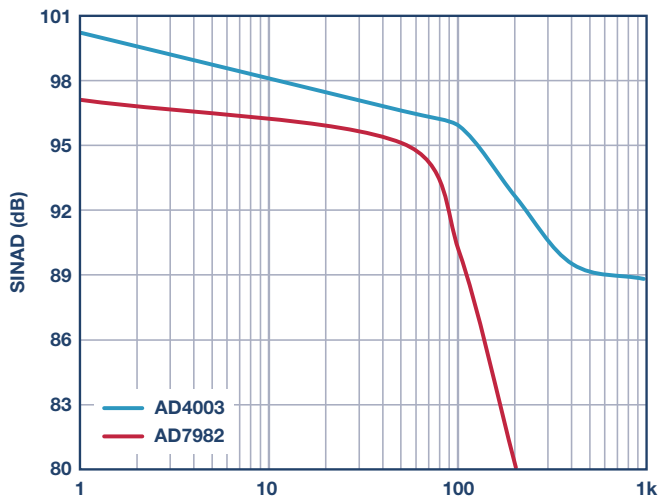


图12. AD4003 ADC和AD7982 ADC SINAD与输入频率的关系

AD4000/AD4003 ADC在每个转换阶段结束时自动关断；因此，其功耗和吞吐量呈线性变化关系，如图13所示。这一特性使得该器件非常适合低采样速率（甚至低至几赫兹）和电池供电的便携式和可穿戴式系统。即使在低占空比应用中，第一个转换结果也始终有效。

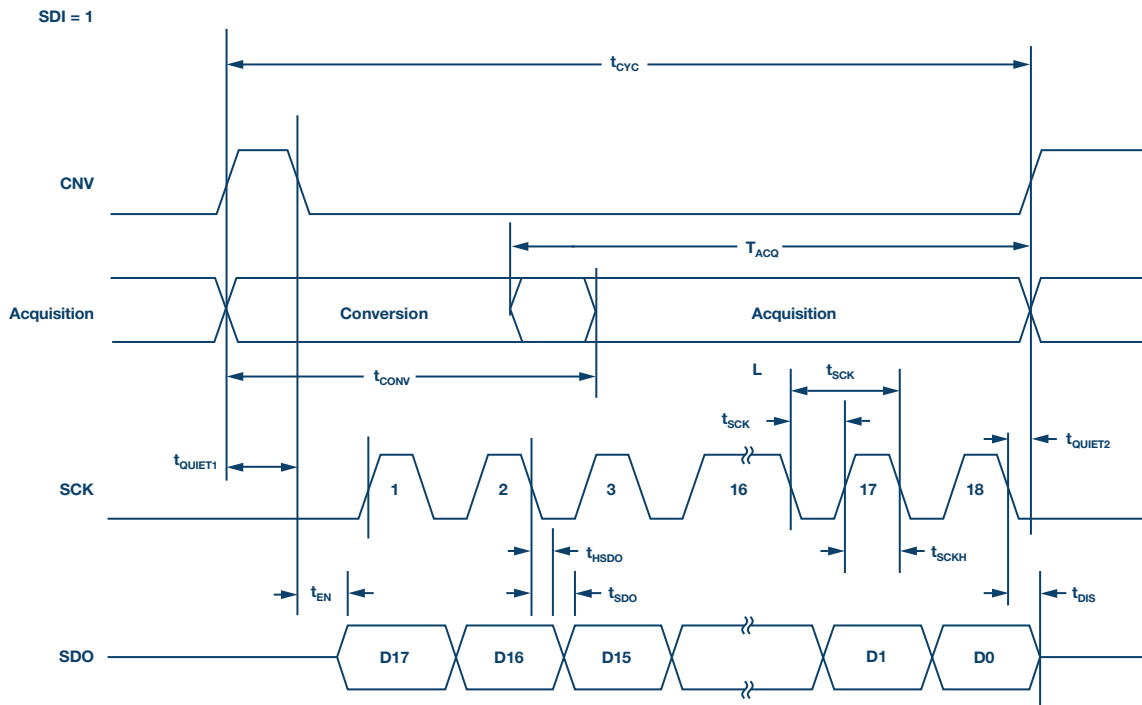


图10. AD4003 ADC的Turbo工作模式

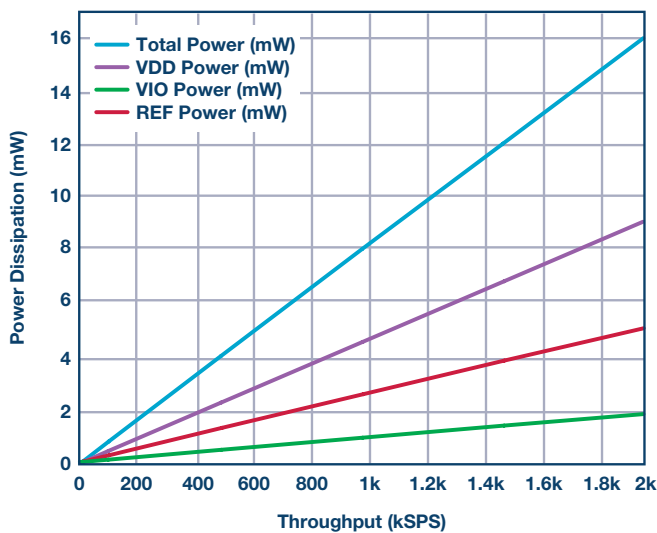


图13. AD4003 ADC功耗与吞吐量的关系

系统应用

AD4000/AD4003 ADC系列集简单易用的特性、高性能、小尺寸和低功耗等特点于一身，是诸多精密控制和测量系统应用的理想选择，如图14所示。AD4000/AD4003 ADC可以降低测量不确定性，提高可重复性，支持高通道密度，并能提高自动化测试设备、自动化机械控制设备和医疗成像设备的吞吐效率。这款ADC非常适合需要更高频率性能以捕获快速瞬变和飞行时间信息的系统，比如功率分析仪、质谱仪等应用。

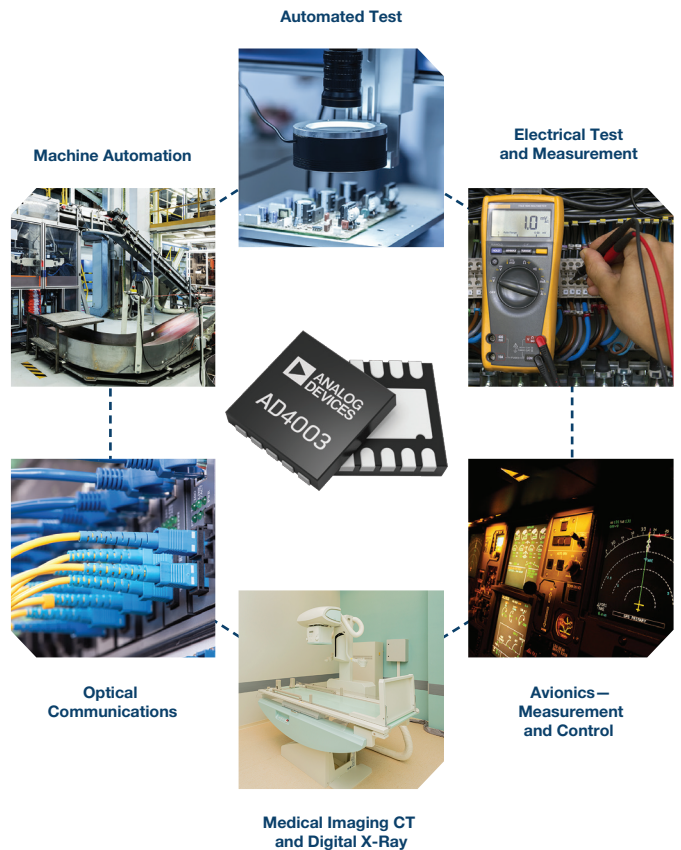


图14. AD4000/AD4003 ADC终端系统应用

总结

借助AD4000/AD4003 ADC系列，设计师可以解决精密数据采集系统的系统级技术挑战，无需做出重大折衷，还能缩短整个系统的设计时间。AD4000/AD4003 ADC的高性能可以提高测量精度，其小尺寸和低系统级散热则可实现更高的密度。

Maithil Pachchigar [maithil.pachchigar@analog.com]是ADI公司在美国马萨诸塞州威明顿市的仪器仪表部、航空航天和防务业务部的应用工程师。2010年加入ADI公司以来，他致力于仪器仪表、工业、医疗保健和能源行业的精密ADC产品系列工作和客户支持。自2005年以来，Maithil一直在半导体行业工作，并已发表多篇技术论文。Maithil于2003年获印度S.V.国家技术学院电子工程学士学位，2006年获圣何塞州立大学的电气工程硕士学位，2010年获硅谷大学MBA学位。



Maithil Pachchigar

Alan Walsh [alan.walsh@analog.com]是ADI公司的应用工程师。他于1999年加入ADI公司，就职于美国马萨诸塞州威明顿市的精密转换器应用部。他拥有都柏林大学电子工程学士学位。



Alan Walsh

突破PLC DCS多通道模拟输入通道间隔离、高密度和EMI高辐射的设计障碍

作者：Van Yang、Songtao Mu和Derrick Hartmann

共享    

简介

在高端工厂自动化应用中（如油气厂和电厂），常会要求多路采集通道与通道之间进行隔离，其中高耐压、小尺寸、低EMI、高可靠性和低成本等要求在通道间隔离设计中别具挑战性。通常目前现有成熟方案，标准模块实现的通道密度往往仅限于四个通道或八个通道，通道间隔离只能承受数百伏特耐压。

本文将简要讨论在过程控制中模拟量输入模块中的隔离问题以及其传统解决方法，然后将提出一种替代性的高密度、易于设计的通道间隔离模拟输入模块的完整解决方案。测试结果表明，这个16通道、2.5kVrms通道间隔离演示模块可以轻松通过EN55022 Class B和Class A的IEC辐射标准。

过程控制模拟量输入模块中的隔离

电气隔离原理是以物理和电气方式分开两个电路，使二者之间无直接传导路径，但仍然可以交换数据和电源。这通常是通过变压器、光耦合器或电容来实现的。隔离用于保护电路和人，隔断接地环路，提高共模电压和噪声抑制性能。

一般地，过程控制的输入要么采用组块隔离，要么采用通道间隔离（见图1）。对于组块隔离，多路输入通道组合在一起以共用一组隔离器，包括电源隔离和信号隔离。与通道间隔离相比，这样可以节省成本，但限制了组中通道间的共模耐压，这意味着这些通道和设备将被建议安装在相同区域中。通道间隔离（如图1右侧所示）相比前者在适用稳定性等方面会大大改善。话虽如此，每通道却需要更高的成本，因此工厂设计人员必须仔细评估和权衡。

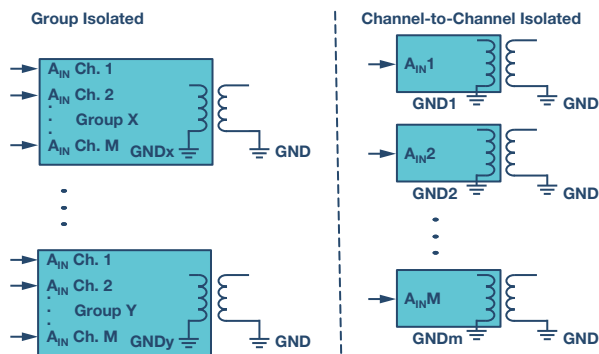


图1. 组隔离和通道间隔离

在通道间隔离设计中，每个通道都需要专用的电源隔离和信号隔离。隔离是限制输入模块通道密度、EMI、成本和可靠性的主要因素之一。在之前的新设计中，每个通道用数字隔离器来实现数据隔离，典型的数字隔离器（如ADuM141E）有四个隔离数据通道，采用16引脚SOIC (6.2mm×10mm)封装。但是，每个通道仍然需要电源隔离。接下来，我们就来讨论一下三种传统的电源隔离方法：多抽头变压器、推挽式设计和隔离式DC-DC模块的优缺点。

图2所示为带有一个多抽头变压器的反激式隔离DC-DC架构：一个反激式转换器驱动变压器，在抽头上产生多个输出。这是一种成熟的电源架构，但在过程控制应用中有六大劣势：

1. 变压器需要具有多个抽头和降低EMI的屏蔽层。在小尺寸封装中很难实现这一目标并保证足够的可靠性。
2. 反馈控制环路只能使用一路通道，意味着只能对其他通道进行更为松散的调控。为了确保工作的可靠性，就需要对此进行仔细的评估。
3. 通道密度很大程度上受到具体变压器放置方案的限制。对于来自各个抽头输出端的电源，变压器置于模拟输入模块的中央，每个输入通道围绕变压器呈扇形排列，将模拟输入模块卡通道限制为四个或八个。
4. 来自其中一路通道的干扰噪声可能通过变压器抽头之间的耦合扩散到其他通道中。
5. 隔离所能够承受耐压等级。多抽头变压器只能实现几百伏特的通道间隔离，除非其采用特殊绝缘材料或设计，然而那样做会大幅增加变压器成本。
6. 定制变压器取得UL/CSA认证的成本很高。

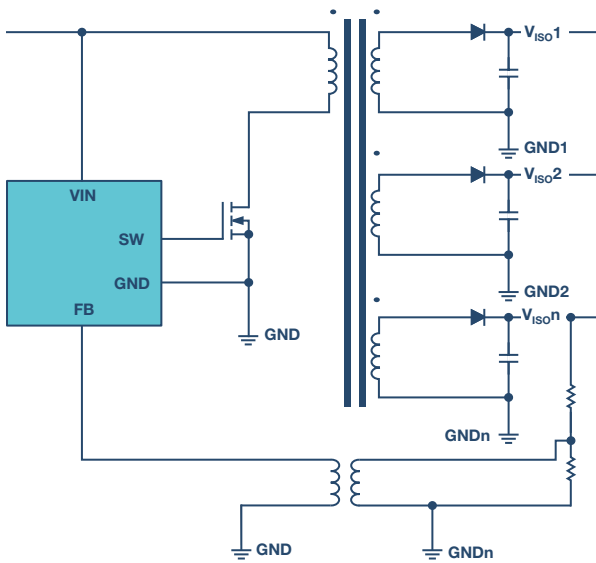


图2. 多抽头变压器电源隔离设计

第二种方法是每个通道使用独立的变压器，并用推挽法来隔离各个通道。这种方法不使用反馈，而用适当调节的电源（如7 V）来驱动各个变压器，然后用LDO在副边做进一步调节。这种方法是可行的，因为副边上的电流消耗相对较低，使得充分调节成为可能。

这种方法的不足之一是需要进行预调节，每个通道还要使用额外的元件。所选变压器必须符合要求的隔离额定值。预调节、变压器、开关和每个通道需要的LDO会占用电路板空间，增加成本。同时还需要进行大量评估，确保各个条件下都已达到充分调节。

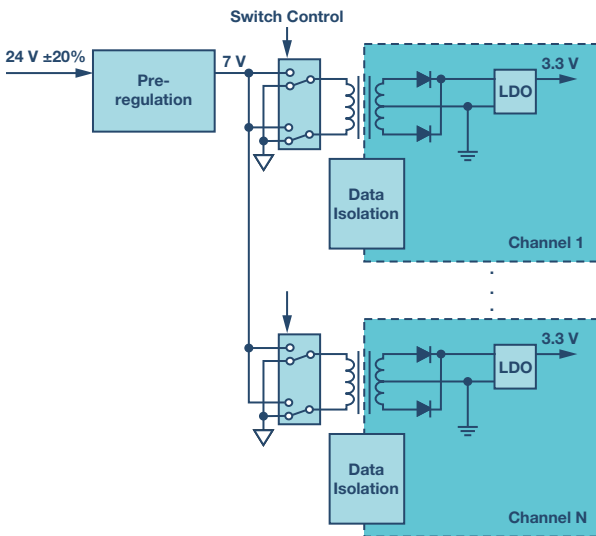


图3. 推挽式隔离设计

使用经UL/CSA认证的表贴式隔离DC-DC模块可以大幅简化隔离式电源设计的复杂性，并使隔离耐压电压等级有一定程度提升。即

便如此，其成本仍然较高，而且体积并不能有效减少，并且一般只能通过EN55022 A类标准。这些模块也可能存在传导性电磁干扰问题，因为多数模块的PWM频率为降低电磁辐射干扰都低于1 MHz。同时，多数过程控制模拟量输入模块的模拟侧电流消耗不到10 mA，远远低于市场上的多数隔离式电源模块标称值。

上面讨论的三种传统方法都难以同时达到隔离性能和成本要求。这些方法还要求每个通道采用独立的数据隔离器，进一步增加了空间要求和成本。如果电源隔离可以作为数据隔离器的一部分，则结果会怎样？事实上这一点可以做到，并且也已经成为现实。

ADI iCoupler®技术和iso Power®技术广泛用于工业和汽车市场，这两种技术可以集成到单个封装中。以ADuM5411为例（其功能框图如图4所示），该器件采用7.8 mm × 8.2 mm 24引脚TSSOP封装，包括完整的电源隔离和四个数据隔离通道。其输出功率高达150 mW，足以满足模拟输入信号调理和数字化的要求，并能通过2500 V rms UL1577隔离标准。另外，CMTI（共模瞬变抗扰度）大于75 kV/μs，使其成为存在高瞬变电压和电流的恶劣工业环境（如电厂）的理想选择。

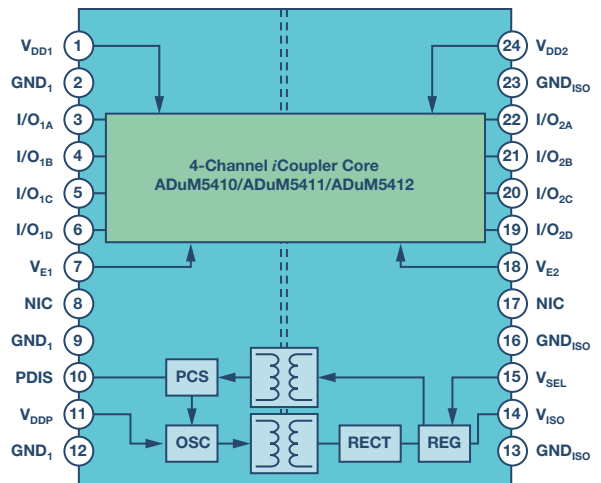


图4. ADuM5411功能框图

基于数据和电源隔离的高度集成，模拟量输入模块设计得以大幅简化，同时还能实现更高的通道密度；可以在传统隔离八通道空间里实现16个或以上的隔离通道数量。

我们用这种方案设计了一个16通道的通道间隔离的温度输入模块（见图5），并进行了EMI相关的测试。模块中的ADuM5411器件为16路温度输入通道分别提供隔离电源和数据。热电偶和/或RTD测量是用高度集成的温度前端IC（AD7124或AD7792）实施的，比分立式设计更加节省空间。ADP2441将24 V背板电源转换成3.3 V的低电压源用于驱动MCU、触摸屏和ADuM5411。每个输入通道只需要63.5 mm × 17.9 mm的面积。

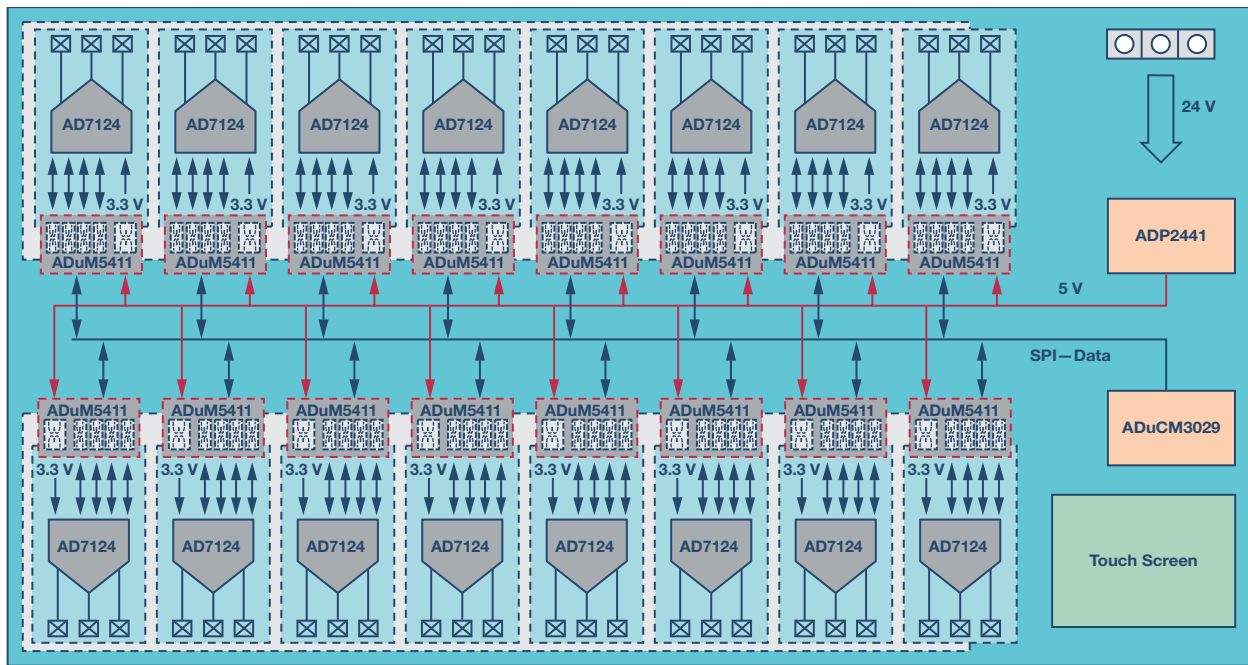


图5. 16通道的通道间隔离温度输入模块功能框图

ADuM5411的布局设计

ADuM5411所用开关频率为125 MHz。由于通道数量较多，所以我们特别注意，以确保电路板能顺利通过EN5022 ClassB的电磁辐射标准测试。

为了尽可能减少辐射，我们采取的原则就是尽量降低功耗、缩短电流环路返回路径，减少共模影响。我们使用了超低功耗集成式温度前端IC降，这意味着，隔离现场侧消耗的功率会非常小，由此达到减少辐射能量的目的。完全活跃状态下，AD7124的功耗仅为0.9 mA。而为了缩短电流返回环路，我们同时采用了铁氧体磁珠和少量的旁路电容。

铁氧体磁珠是在源头控制辐射信号的一种有效方法，因为它会形成比PCB走线高得多的阻抗。如图6所示，铁氧体磁珠与ADuM5411的引脚串联（电源引脚起到主要作用）。铁氧体磁珠的频率响应是一个很重要的考虑因素，我们使用的铁氧体磁珠是BLM15HD182SN1，其频率范围在100 MHz至1 GHz之间的阻抗大于2 kΩ。铁氧体磁珠应尽量靠近ADuM5411焊盘。VISO路径上的E9和GNDISO路径上的E10上的铁氧体磁珠是必不可少的。

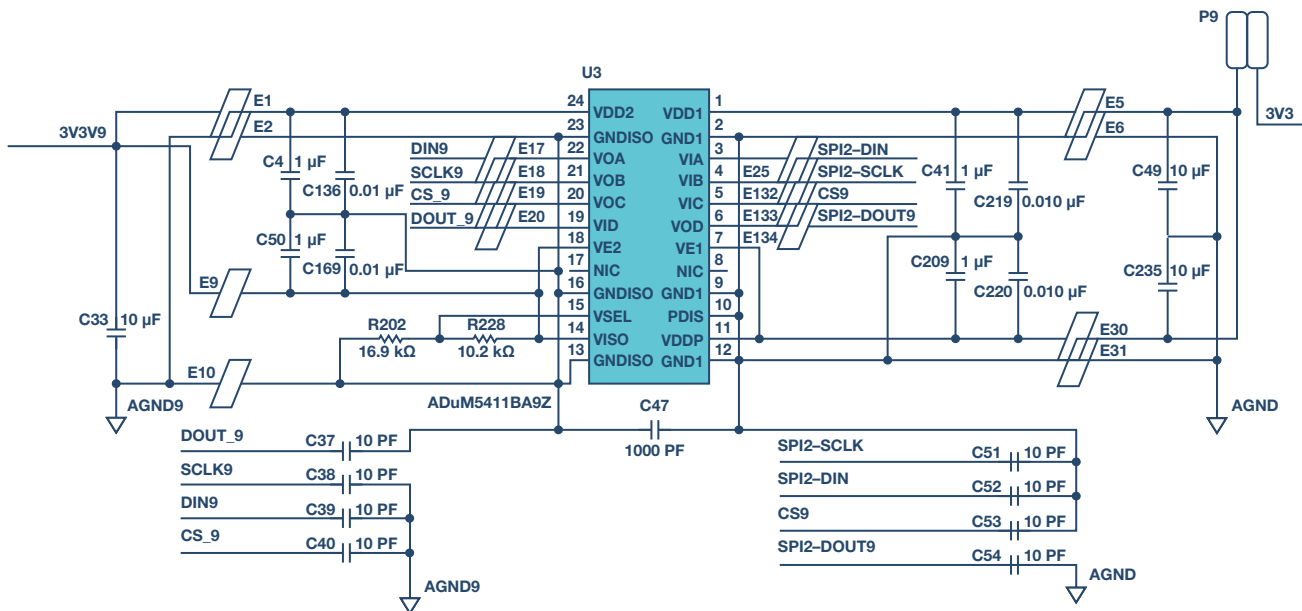


图6. ADuM5411原理图

也可以用耦合电容来提供低阻抗的返回路径，从而减少辐射。一种方法是在隔离栅上使用表贴式高压电容，确保符合爬电距离、电气间隙和耐受电压标准。Murata、Vishay等供应商均提供此类电容。受安装电容带来的寄生的电感影响，这种方法仅在不超过200 MHz左右的频率下有效。为此，一种更有效的技术是在ADuM5411下方的PCB电路板内构建一个旁路电容。其可以是浮动式旁路电容，也可以是重叠式旁路电容，如图7所示。

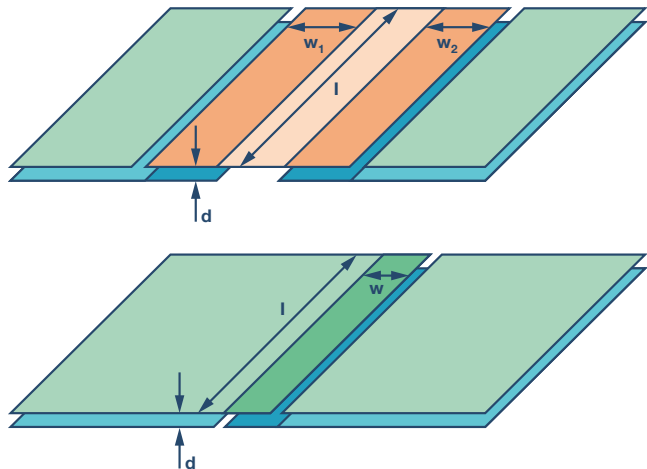


图7. 浮动式旁路电容与重叠式旁路电容

浮动式旁路电容集成了两个串行电容，即C1和C2。总电容通过公式1计算。

$$C = \frac{C1 \times C2}{C1 + C2}, C1 = \frac{lw_1\epsilon}{d}, C2 = \frac{lw_2\epsilon}{d}$$

其中：

ϵ 为PCB绝缘材料的介电常数，FR4材料为4.5。

对于重叠式旁路电容，其电容通过公式2计算。

$$C1 = \frac{lw\epsilon}{d}, \epsilon$$

其中：

ϵ 为PCB绝缘材料的介电常数，FR4材料为 4×10^{-1} F/m。

在材料、面积和距离相同的条件下，浮动式旁路电容的总电容值为重叠式旁路电容的一半，但绝缘材料的厚度则增加了一倍。依据IEC60950 2.10.6.4，加强绝缘要求内层绝缘材料的最低厚度为0.4 mm (15.74 mil)，但基本绝缘无此类要求。由于ADuM5411仅提供2.5 kVrms的基本隔离，所以，我们选择了重叠式旁路电容以实现电容值的最大化。因相同的原因，内层的厚度也控制在5 mil。

16通道的通道间温度输入模块PCB采用的是一块6层的电路板。为了兼顾机械和EMI性能，顶层和底层的厚度控制为20 mil，内层控制为5 mil，如图8所示。

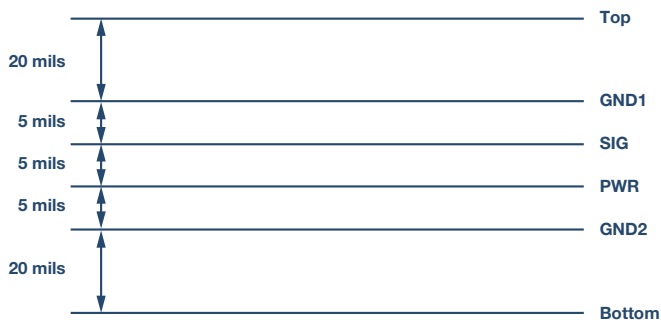


图8. 六层PCB堆栈分配

如图9所示，重叠式旁路电容的各层集成在GND1、SIG、PWR和GND2中。GND1和PWR上的各层连接至ADuM5411的副边，SIG和GND2中的各层连接至ADuM5411的原边。这意味着，GND1与SIG、SIG与PWR、PWR与GND2之间共形成了三个并行的旁路电容。重叠区宽4.5 mm，长17 mm，即总旁路电容为72 pF。

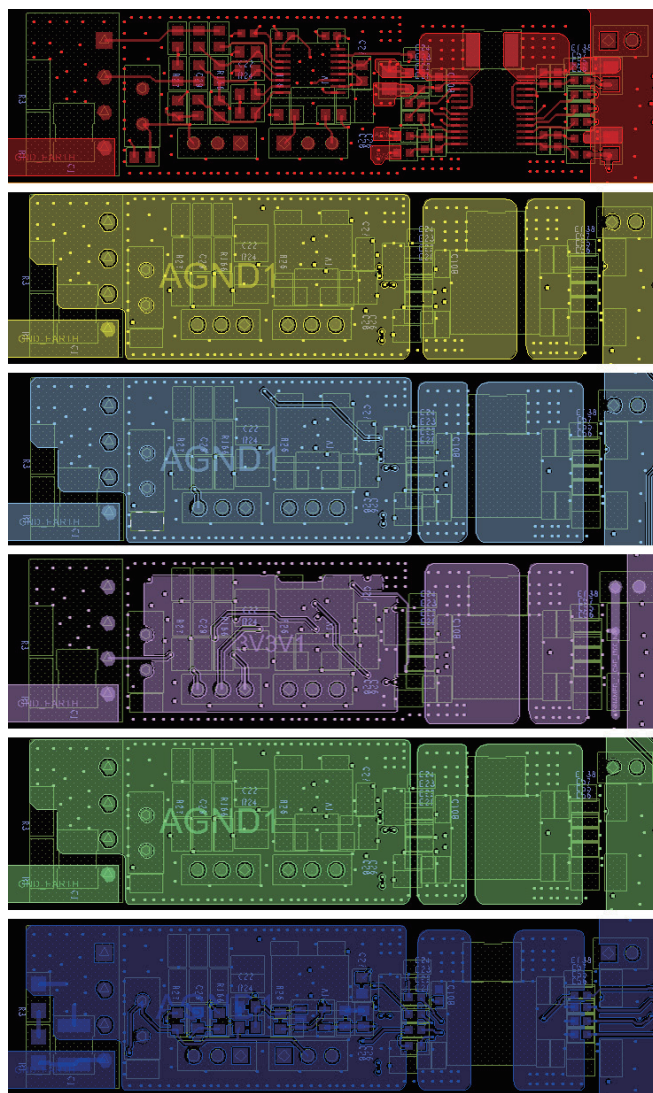


图9. ADuM5411区域的六层PCB布局

基于EN55022规格的测试结果

根据EN55022规范在10m条件下执行两组EMI测试。对于第一个测试，带stitching电容的电路板使用情况如图10所示。图11显示了测试结果，该测试通过了EN55022 ClassB的标准，裕量约为11.59 dB。对于第二个测试，使用了不带stitching电容的电路板，而将3kV、150pF外部高压电容KEMET C1812C102KHRACTU安装在电路板上。图12显示了测试结果——通过了EN55022 Class B的标准，裕量为0.82 dB，距离Class A的阈值还是有足够多的余量。

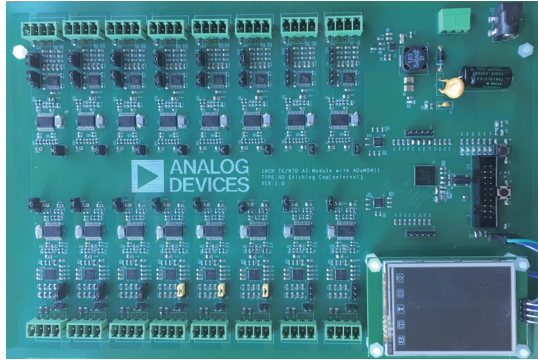


图10. PCB中内置无安规电容的旁路电容

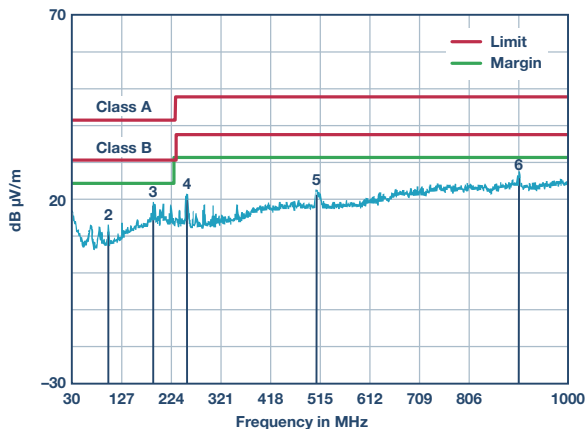


图11. EN55022 B类测试结果 (PCB中内置旁路电容)

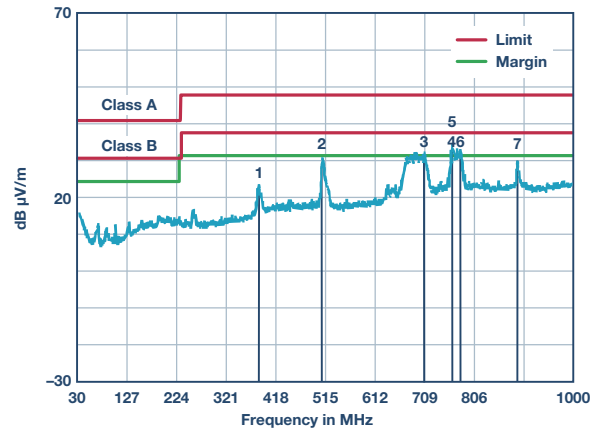


图12. EN55022 B类测试结果 (无旁路电容, 有安规电容PCB)

测试结果证明，相比高压电容，IC下的stitching电容是更有效的去耦合方法。

结语

通道间隔离往往被视为高端过程控制系统设计中的一项挑战。相比传统数字和电源分别隔离的方法，ADI的isoPower技术和iCoupler技术可以大幅提高通道密度，还大大简化了设计工作，可以提高通道稳定性和可靠性。利用PCB中内置的stitching电容或安装在PCB旁边的高压电容，可以轻松地控制EMI辐射以便通过EN55022 B类或A类标准，这是一项技术上的突破。

参考文献

ADuM5411数据手册，ADI公司。

AN-0971，关于利用isoPower器件控制辐射的建议，ADI公司。

AN-1349，将ADM2582E/ADM2587E RS-485/RS-422收发器辐射降至最低的PCB实施指南，ADI公司。

Van Yang [van.yang@analog.com] Van Yang是ADI上海公司的一名现场应用工程师。他于2015年加入ADI公司，负责为中国医疗和工业客户提供支持。加入ADI公司之前，Van曾在德州仪器公司担任了四年现场应用工程师。Van在2011年从武汉华中科技大学获得通信和信息系统专业硕士学位。业余时间他酷爱篮球和徒步旅行。



Van Yang

Songtao Mu [songtao.mu@analog.com] Songtao Mu是ADI公司工业自动化部的系统应用工程师，工作地点在中国上海。加盟ADI公司之前，他在施耐德电气有限公司担任了8年硬件设计工程师。他毕业于中国哈尔滨工业大学，获工业自动化学士学位。



Songtao Mu

Derrick Hartmann [derrick.hartmann@analog.com] Derrick Hartmann是ADI公司工业自动化部的系统应用工程师，工作地点在麻萨诸塞州威明顿市。Derrick前是ADI公司工业DAC产品系列的产品应用工程师。Derrick毕业于爱尔兰利默里克大学，获得电子工程学位。



Derrick Hartmann

该作者的其它文章：

[PLC评估板简化工业过程控制系统的设计](#)

随时了解模拟对话

获取工学新动态，激发设计新思路！

通过订阅模拟对话，最先获取解决实际设计挑战所需的最新技术、应用和系统级见解。请务必告知您的朋友！

analog.com/cn/analogdialogue

EngineerZone®支持社区

与社区中的ADI技术专家互动，提出您棘手的设计问题，浏览我们丰富的知识库。

ezchina.analog.com

中国技术支持中心

电话: 4006 100 006

邮箱: china.support@analog.com



全球总部

One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部

上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司

深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司

北京市海淀区
西小口路 66 号
中关村东升科技园
B-6 号楼 A 座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司

湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2017 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. BRL10006sc-0-3/17

analog.com/cn

